INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE INGENIERÍA MECÁNICA Y ELÉCTRICA

SECCIÓN DE ESTUDIOS DE
POSGRADO E INVESTIGACIÓN

IMPLEMENTACIÓN DE UN INVERSOR DE TRES NIVELES UTILIZANDO LA MODULACIÓN POR VECTORES ESPACIALES

T E S I S

QUE PARA OBTENER EL GRADO DE:

MAESTRO EN CIENCIAS

CON ESPECIALIDAD EN INGENIERÍA ELÉCTRICA

PRESENTA:

ING. JOSÉ DARÍO BETANZOS RAMÍREZ

DIRECTOR DE TESIS:

DR. JAIME JOSÉ RODRÍGUEZ RIVAS

MÉXICO, D. F. JULIO DE 2010

SIP-14

INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

ACTA DE REVISIÓN DE TESIS

En la Ciudad de MEXICO siendo las 17:00 horas del día 10 del mes de Junio del 2010 se reunieron los miembros de la Comisión Revisora de Tesis, designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de la: E. S. I. M. E. ZAC. para examinar la tesis titulada:

"IMPLEMENTACIÓN DE UN INVERSOR DE TRES NIVELES UTILIZANDO LA MODULACIÓN POR VECTORES ESPACIALES"

Presentada por el alumno:

BETANZOS	RAMÍREZ	JOSÉ DARÍO
Apellido paterno	Apellido materno	Nombre(s)

Con registro:

A	0	8	0	4	4	2

aspirante de:

MAESTRÍA EN CIENCIAS EN INGENIERÍA ELÉCTRICA

Después de intercambiar opiniones, los miembros de la Comisión manifestaron ***APROBAR LA DEFENSA DE LA TESIS***, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

DIRECTOR(A) DE TESIS

DR. JAIME JOSÉ RODRÍGUEZ RIVAS

DR. DAVID ROMERO ROMERO
PRESIDENTE

DR. RAÚL ANGEL CORTÉS MATEOS
secretario

DR. FERMIN PASCUAL ESPINO CORTÉS
SEGUNDO VOCAL

DR. SAÚL LÓPEZ ARÉVALO
TERCER VOCAL

PRESIDENTE DEL COLEGIO DE PROFESORES

DR. JAIME ROBLES GARCÍA

INSTITUTO POLITÉCNICO NACIONAL

COORDINACIÓN GENERAL DE POSGRADOS E INVESTIGACIÓN

CARTA CESIÓN DE DERECHOS

En la Ciudad de México, Distrito Federal, el día 10 del mes de Junio del año 2010, el que suscribe **Ing. José Darío Betanzos Ramírez** alumno del Programa de Maestría en Ciencias con especialidad en Ingeniería Eléctrica con número de registro A080442, adscrito a la Sección de Estudios de Posgrado e Investigación de la ESIME Unidad Zacatenco, manifiesta que es autor intelectual del presente Trabajo de Tesis bajo la dirección del **Dr. Jaime José Rodríguez Rivas** y cede los derechos del trabajo intitulado: **Implementación de un Inversor de Tres Niveles Utilizando la Modulación por Vectores Espaciales**, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, graficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección: dropms@hotmail.com; jjrodriguezr@ipn.mx.

Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.

José Darío Betanzos Ramírez
Nombre y firma

DEDICATORIA

Este trabajo de tesis está dedicado a mi familia a quienes les debo todo lo que soy.

A usted mamá, por educarme a pesar de todas las adversidades, por estar siempre al pendiente de mi y por manifestarme su apoyo de forma incondicional.

A ti hermana, por que tal vez no he sabido ser un buen hermano y aún así de una u otra forma me has mostrado tu cariño.

A ti hermano, son tantas cosas que te podría decir, sin embargo todo se resume en que eres una gran persona, a la que quiero, admiro y respeto. Soy muy afortunado de tenerte como hermano.

CON CARIÑO

AGRADECIMIENTOS

En primer lugar doy gracias a Dios, por proporcionarme los medios necesarios para culminar este proyecto de vida, el cual comenzó desde hace ya algunos años. Gracias por permitirme llegar a este momento.

Al Instituto Politécnico Nacional, en especial a la Sección de Estudios de Posgrado e Investigación de la Escuela Superior de Ingeniería Mecánica y Eléctrica, por el apoyo ofrecido para la realización del presente trabajo de tesis.

Al Dr. Jaime José Rodríguez Rivas, por todas las enseñanzas y consejos brindados antes y durante mi estancia en está gran institución. Y además por siempre manifestarme su confianza y apoyo de manera incondicional. Gracias.

A los Dres.: Raúl Ángel Cortés Mateos, Fermín Pascual Espino Cortés, Edgar Peralta Sánchez, David Romero Romero, y Saúl López Arévalo, por las sugerencias y correcciones realizadas durante la revisión de la presente tesis.

A los profesores de la SEPI – ESIME – ZACATENCO, por todos sus conocimientos transmitidos.

A mis compañeros y amigos, quienes de alguna forma me brindaron su apoyo incondicional durante todos estos años de estudio.

GRACIAS.

RESUMEN

En este trabajo se presenta la modulación vectorial del ancho de los pulsos en un inversor de tres niveles fuente de voltaje.

En el desarrollo de esta tesis se abordan por separado, los aspectos que tiene que ver con el Hardware y el Software.

En lo que respecta al Hardware, en primer lugar se realiza un estudio detallado del inversor de tres niveles con fijación del neutro también conocido como inversor con diodos de fijación. En esta primera parte se estudia la configuración y el principio de operación del inversor.

Después se desarrolla el análisis e implementación de las diferentes etapas que integran un accionamiento de una máquina de CA, poniéndose especial énfasis en el inversor de tres niveles. Por lo que, en este trabajo se muestra el diseño y caracterización del circuito rectificador, el filtro de entrada, la configuración del inversor de tres niveles, los circuitos de control de los interruptores y el circuito de protección del inversor.

En lo que respecta al control del inversor de tres niveles, en primer lugar se estudian las técnicas de modulación del ancho de los pulsos más utilizadas tales como, la modulación basada en portadora modificada y la modulación vectorial convencional. Además, en esta parte también se analiza la técnica de modulación vectorial simplificada, la cual es utilizada para controlar al inversor de tres niveles.

Después se estudian las diferentes etapas requeridas para desarrollar al algoritmo computacional SVM simplificado, el cual es generado utilizando el DSP56F8037 de Freescale®.

Posteriormente se desarrolla un proceso de validación, con lo cual se verifica que el algoritmo SVM simplificado funciona correctamente.

Finalmente se obtienen resultados experimentales al controlar el inversor de tres niveles utilizando el algoritmo desarrollado. Adicionalmente, en este trabajos se muestran resultados obtenidos al controlar el inversor de tres niveles aplicando la técnica de modulación de portadoras en contrafase y utilizando la tarjeta DS1103 de dSPACE®.

ABSTRACT

This thesis presents the study of the space-vector pulse-width modulation of a three-level voltage-source inverter.

Hardware and software are addressed independently through the development of this thesis.

Regarding the hardware, a detailed study of the three-level neutral point clamped inverter also known as diode clamped inverter is carried out. Configuration and operation principles are described in this first part.

In a further step an analysis and experimental validation of all of the stages comprising an AC electric motor drive are carried out with major attention paid to the three-level inverter. Therefore this thesis describes the design and analysis of the rectifier circuit, input filter, topology of the three-level neutral point clamped inverter, control circuits of the switching devices and protection circuit of the inverter.

Regarding the three-level inverter controller, as a first step the most widely used pulse-width modulation techniques are studied such as level-shifted carrier modulation and the conventional space vector modulation. In addition, the simplified space vector modulation technique is also analysed, which is the one used to control the three-level inverter.

Additionally the different stages needed to develop the SVM computational algorithm are studied. The algorithm is implemented on a Freescale® DSP56F8037.

Finally the algorithm developed is validated experimentally by controlling the three-level inverter. Experimental results of controlling the three-level inverter by using the technique of level-shifted carrier modulation implemented on the development board DS1103 from dSPACE® are also presented.

CONTENIDO

RESUMEN ..... **i**
ABSTRACT ..... **ii**
CONTENIDO ..... **iii**
LISTA DE FIGURAS ..... **vi**
LISTA DE TABLAS ..... **ix**
GLOSARIO DE TÉRMINOS ..... **x**
CAPITULO 1 ..... **1**
INTRODUCCIÓN **1**
1.1 ANTECEDENTES Y GENERALIDADES 1
1.2 OBJETIVOS 3
1.3 JUSTIFICACIÓN 3
1.4 ESTADO DEL ARTE 4
1.4.1 Configuración de Inversores Multinivel 4
1.4.2 Control de los Inversores Multinivel 5
1.5 APORTACIONES DE LA TESIS 8
1.6 ESTRUCTURA DE LA TESIS 8
CAPITULO 2 ..... **10**
TÉCNICAS PWM EN INVERSORES DE TRES NIVELES **10**
2.1 INTRODUCCIÓN 10
2.2 INVERSOR DE TRES NIVELES 11
2.2.1 Configuración del Inversor 11
2.2.2 Estados de los Interruptores 12
2.2.3 Proceso de conmutación 13
2.3 CONTROL DEL INVERSOR DE TRES NIVELES 16
2.4 MODULACIÓN SPWM 16
2.4.1 Modulación PWM Basada en Portadora Modificada 17
2.5 MODULACIÓN SVM CONVENCIONAL 19
2.5.1 Vectores Espaciales 19
2.5.2 Cálculo de los Tiempos de Aplicación 22
2.5.3 Relación entre la Posición del $\vec{V}_{ref}$ y los Tiempos de Aplicación 25
2.5.4 Secuencia de Conmutación 26
2.5.5 Variación del Voltaje en el Punto Neutro Debida a los Estados de Conmutación 26
2.5.6 Secuencia de Conmutación con Variación Mínima de Voltaje en el Punto Neutro 28
2.6 MODULACIÓN SVM SIMPLIFICADA 31
2.6.1 Selección del Hexágono 32
2.6.2 Corrección del Vector de Referencia 33
CAPITULO 3 ..... **35**
IMPLEMENTACIÓN DEL INVERSOR DE TRES NIVELES **35**
3.1 INTRODUCCIÓN 35
3.2 RECTIFICADOR Y FILTRO DE ENTRADA 36
3.2.1 Rectificador 36

3.2.2 CÁLCULO DE LOS PARÁMETROS DEL RECTIFICADOR 38
3.2.3 FILTRO CAPACITIVO 39
3.2.4 CÁLCULO DE LOS PARÁMETROS DEL FILTRO CAPACITIVO 40
3.2.5 CONSIDERACIONES ADICIONALES 41
3.3 INVERSOR DE TRES NIVELES CON FIJACION DEL NEUTRO 44
3.4 GENERACIÓN DE LAS SEÑALES PWM 47
3.4.1 DESCRIPCIÓN PERIFÉRICA DEL DSP56F8037 48
3.5 GENERACIÓN DE LAS SEÑALES COMPLEMENTARIAS 49
3.6 ACONDICIONAMIENTO DE LAS SEÑALES DE CONTROL 51
3.6.1 AISLAMIENTO DE LAS SEÑALES DE CONTROL 51
3.6.2 CIRCUITO MANEJADOR DE COMPUERTAS 53
3.6.3 CÁLCULO DE LA RESISTENCIA DE COMPUERTA 61
3.7 CIRCUITO DE PROTECCIÓN 63
3.7.1 PRINCIPALES TIPOS DE FALLA 63
3.7.2 SENSOR DE CORRIENTE 66
3.7.3 CIRCUITO DETECTOR DEL NIVEL DE SOBRECORRIENTE 68
3.7.4 CIRCUITO INHIBIDOR DEL IR2110 69
3.2.2 LÓGICA DE RESTABLECIMIENTO DEL SISTEMA 71
CAPITULO 4 74
PROGRAMACIÓN DEL DSP 74
4.1 INTRODUCCIÓN 74
4.2 OBTENCIÓN DEL VECTOR DE REFERENCIA 75
4.2.1 GENERACIÓN DE LAS SEÑALES DE REFERENCIA 77
4.2.2 CONTROL DE AMPLITUD Y FRECUENCIA 78
4.3 SECUENCIA DE IDENTIFICACIÓN DE HEXAGONOS 82
4.4 CORRECCIÓN Y OBTENCIÓN DEL VECTOR DE REFERENCIA EN EL ESPACIO VECTORIAL DE DOS NIVELES 84
4.5 TÉCNICA DE MODULACIÓN SVM DE DOS NIVELES 86
4.5.1 ANÁLISIS DE LA RUTINA DE MODULACIÓN SVM UTILIZADA 86
4.6 OBTENCIÓN DE LAS SEÑALES DE CONTROL 94
CAPITULO 5 104
ANALISIS DE RESULTADOS 104
5.1 INTRODUCCIÓN 104
5.2 VALIDACIÓN DEL ALGORITMO SVM 104
5.2.1 RUTINA SVM DE DOS NIVELES 104
5.2.2 PROCESO DE VALIDACIÓN 105
5.3 CONTROL DEL INVESOR DE TRES NIVELES APLICANDO LA TÉCNICA DE MODULACIÓN SVM 115
5.3.1 CARGA RESISITIVA 115
5.4 CONTROL DEL INVERSOR DE TRES NIVELES APLICANDO LA TÉCNICA DE MODULACIÓN APOD 118
CAPITULO 6 122
CONCLUSIONES Y RECOMENDACIONES 122
6.1 INTRODUCCIÓN 122
6.2 CONCLUSIONES 122
6.3 APORTACIONES 123
6.4 RECOMENDACIONES PARA TRABAJOS FUTUROS 124

6.5 PUBLICACIONES 125
REFERENCIAS 126
APÉNDICE A 131
REPRESENTACIÓN FRACCIONARIA 131
A.1 INTRODUCCIÓN 131
A.2 REPRESENTACIÓN FRACCIONARIA EN FORMATO DE PUNTO FIJO 131
A.2.1 FORMATO NÚMERICO DIGITAL $Q_{m,n}$ (Q_n) 131
APÉNDICE B 133
SECUENCIAS DE CONMUTACIÓN 133
APÉNDICE C 145
SIMULACIÓN EN PSCAD DEL INVERSOR DE TRES NIVELES 145
C.1 INTRODUCCIÓN 145
C.2 MODULACIÓN BASADA EN PORTADORA MODIFICADA 145
C.2.1 ESQUEMA DE MODULACIÓN PD 145
C.2.2 ESQUEMA DE MODULACIÓN APOD 146
C.2.3 COMPARACIÓN DE SEÑALES MODULADORAS Y PORTADORAS 146
APÉNDICE D 149
PROGRAMA SVM SIMPLIFICADO 149
APÉNDICE E 159
DIAGRAMAS ELÉCTRICOS 159
APÉNDICE F 162
HOJAS DE DATOS 162

LISTA DE FIGURAS

Figura 1-1. Aplicaciones de los inversores multinivel. 2
Figura 1-2. Principales configuraciones de inversores multinivel. 4
Figura 1-3. Clasificación de las técnicas de modulación en inversores multinivel 6
Figura 2-1. Inversor de tres niveles NPC. 11
Figura 2-2. Estados de conmutación, señales de compuerta y voltaje polar v_{AZ} 13
Figura 2-3. Voltajes polares y voltaje de línea del inversor de tres niveles NPC. 13
Figura 2-4. Transición de los estados de conmutación [O] a [P] 14
Figura 2-5. Esquemas de modulación basados en portadora modificada. a) PD; b) APOD. 17
Figura 2-6. Voltaje polar y de línea. a) Aplicando modulación PD; b) Aplicando modulación APOD. 18
Figura 2-7. Diagrama vectorial del inversor de tres niveles. 22
Figura 2-8. Sectores del diagrama vectorial del inversor de tres niveles 23
Figura 2-9. Vectores espaciales que conforman al sector I 24
Figura 2-10 Relación entre la posición del $\vec{V}_{ref}$ y los tiempos de aplicación. 26
Figura 2-11 Efecto de los estados de conmutación en la variación del voltaje en el punto neutro 27
Figura 2-12. Secuencia de conmutación de siete segmentos. 29
Figura 2-13. División del sector I para minimizar la variación del voltaje en el punto neutro. 29
Figura 2-14. Diagrama vectorial del inversor de tres niveles NPC.. 31
Figura 2-15. Selección de hexágonos 32
Figura 2-16. Desplazamiento del vector de referencia original 33
Figura 2-17. Espacio vectorial de tres niveles normalizado 34
Figura 3-1. Diagrama a bloques de un accionamiento de una máquina de CA 35
Figura 3-2. Rectificador trifásico de onda completa con carga resistiva 36
Figura 3-3. Formas de onda del rectificador trifásico de onda completa con carga resistiva 37
Figura 3-4. Filtro capacitivo 40
Figura 3-5. Circuito rectificador y filtro de entrada implementado. 43
Figura 3-6. Esquema físico y eléctrico del módulo 40MT120UH. 45
Figura 3-7. Configuración del inversor de tres niveles NPC 46
Figura 3-8. Diagrama a bloques del DSP56F8037 47
Figura 3-9. Circuito generador de las señales complementarias con inserción de tiempo muerto 49
Figura 3-10. Señales complementarias con la inserción del tiempo muerto requerido 50
Figura 3-11. Conexión del buffer y el LED del optoacoplador. 52
Figura 3-12. Etapa de aislamiento de las señales de control correspondientes a una rama del inversor 53
Figura 3-13. Conexión tipica del IR2110 54
Figura 3-14. Diagrama a bloques del circuito manejador de compuertas IR2110 55
Figura 3-15. Comportamiento del circuito bootstrap en un inversor de dos niveles 56
Figura 3-16. Circuito bootstrap en un inversor de tres niveles 57

Figura 3-17. Comportamiento del circuito bootstrap al estar presente el estado de conmutación P 58
Figura 3-18. Comportamiento del circuito bootstrap al estar presente el estado de conmutación O..... 59
Figura 3-19. Comportamiento del circuito bootstrap al estar presente el estado de conmutación N..... 59
Figura 3-20. Secuencia de conmutación y voltaje polar de la fase a del inversor de tres niveles..... 60
Figura 3-21. Nomenclatura del IGBT..... 61
Figura 3-22. Hardware necesario para controlar una rama del inversor de tres niveles NPC.. 63
Figura 3-23. Trayectoria de la sobrecorriente propiciada por un corto circuito de línea a línea 64
Figura 3-24. Trayectoria de la sobrecorriente propiciada por el disparo indeseado de algunos IGBT's 65
Figura 3-25. Trayectoria de la sobrecorriente propiciada por una falla a tierra 65
Figura 3-26. Localización de los sensores de corriente..... 66
Figura 3-27. Técnica de medición y esquema físico del sensor de corriente LTS 25-NP.... 67
Figura 3-28. Curva de comportamiento y configuración del sensor LTS 25-NP..... 67
Figura 3-29. Circuito detector de ventana utilizando el comparador LM339. 68
Figura 3-30. Señales de deshabilitación 70
Figura 3-31. Circuito de habilitación y deshabilitación del sistema de potencia 71
Figura 3-32. Circuito generador de la lógica de restablecimiento del sistema de potencia . 72
Figura 3-33. Circuito generador de la lógica de restablecimiento final 73
Figura 4-1. Diagrama de flujo general del algoritmo SVM de tres niveles..... 74
Figura 4-2. Espacio bifásico [α, β] de tres niveles 75
Figura 4-3. a) Señales de Referencia [α, β]; b) Trayectoria resultante del vector de…….. referencia. 76
Figura 4-4. Construcción de las señales de referencia en el DSP. 77
Figura 4-5. Diagrama de flujo necesario para generar las señales de referencia..... 79
Figura 4-6. Diagrama de flujo correspondiente al control V/F constante 81
Figura 4-7. Redefinición del área de los hexágonos de dos niveles..... 82
Figura 4-8. Transformación del sistema bifásico al sistema trifásico 83
Figura 4-9. Diagrama de flujo de la secuencia de identificación de hexágonos. 84
Figura 4-10. Vectores que apuntan a los hexágonos de dos niveles 85
Figura 4-11. Diagrama de flujo del algoritmo de corrección del vector de referencia..... 87
Figura 4-12. Diagrama eléctrico del inversor de dos niveles. 88
Figura 4-13. Diagrama vectorial del inversor de dos niveles..... 89
Figura 4-14. Proyección del vector de referencia en el sector I. 90
Figura 4-15. Secuencia de conmutación SVM con alineación de centros..... 92
Figura 4-16. Diagrama de flujo de la rutina SVM de dos niveles..... 93
Figura 4-17. Voltajes con señales fundamentales. a) Voltaje polar; b) Voltaje de línea..... 93
Figura 4-18. Definición de las 36 áreas que conforman al espacio vectorial de tres niveles… 94
Figura 4-19. Secuencia de conmutación con alineación de centros correspondiente al área 1 del espacio vectorial de tres niveles.. 96

Figura 4-20. Secuencias de conmutación correspondientes a los espacios vectoriales de dos y tres niveles 96
Figura 4-21. Secuencias de conmutación con alienación de centros correspondientes a las áreas 2, 12 y 17 97
Figura 4-22. Secuencias de conmutación correspondientes a las áreas 2, 12 y 7; considerando los espacios vectoriales de dos y tres niveles. 98
Figura 4-23. Estados de los interruptores del inversor de tres niveles cuando generan la secuencia de conmutación correspondiente al área 1. 99
Figura 4-24. Disposición de las señales de control de la fase A del inversor, las cuales generan una secuencia de conmutación que alterna entre los estados: a) P-O; b) O-N. 100
Figura 4-25. Diagrama de flujo del algoritmo de asignación de las señales de control principales 103
Figura 5-1. Voltaje polar y señal fundamental en un inversor de dos niveles. 104
Figura 5-2. Voltaje de línea y señal fundamental en un inversor de dos niveles 105
Figura 5-3. Voltaje de fase en la carga y señal fundamental en un inversor de dos niveles. 105
Figura 5-4. Trayectorias del vector de referencia. 106
Figura 5-5. Áreas involucradas cuando el vector de referencia sigue la Trayectoria_1 107
Figura 5-6. Señales obtenidas por el algoritmo de validación para m=100% 107
Figura 5-7. Intervalo_1 comprendido entre 0º y 120º con m=100% 108
Figura 5-8. Intervalo_2 comprendido entre 120º y 240º con m=100% 108
Figura 5-9. Intervalo_3 comprendido entre 240º y 360º con m=100% 109
Figura 5-10. Áreas involucradas cuando el vector de referencia sigue la Trayectoria_2 109
Figura 5-11. Señales obtenidas por el algoritmo de validación con m=80% 110
Figura 5-12. Intervalo_1 comprendido entre de 0º y 90º, con m=80%. 110
Figura 5-13. Intervalo_2 comprendido entre 90º y 180º, con m=80%. 111
Figura 5-14. Intervalo_3 comprendido entre 180º y 270º, con m=80%. 111
Figura 5-15. Intervalo_4 comprendido entre 270º y 360º, con m=80% 112
Figura 5-16. Áreas involucradas cuando el vector de referencia sigue la Trayectoria_3 112
Figura 5-17. Señales obtenidas por el algoritmo de validación con m=50%. 113
Figura 5-18. Intervalo_1 comprendido entre 0º y 120º, con m=50% 113
Figura 5-19. Intervalo_2 comprendido entre 120º y 240º, con m=50% 114
Figura 5-20. Intervalo_3 comprendido entre 240º y 360º, con m=50% 114
Figura 5-21. Diagrama eléctrico general 115
Figura 5-22. Prototipo del inversor de tres niveles NPC-VSI. 116
Figura 5-23. Voltaje polar @ F_C=10KHz y m=100%. 116
Figura 5-24. Voltaje de línea @ F_C=10KHz y m=100% 117
Figura 5-25. Voltaje de fase en la carga @ F_C=10KHz y m=100% 117
Figura 5-26. Voltaje polar @ F_C=1KHz y m=80% 117
Figura 5-27. Voltaje de línea @ F_C=1KHz y m=80%. 118
Figura 5-28. Voltaje de fase en la carga @ F_C=1KHz y m=80% 118
Figura 5-29. Diagrama a bloques del control APOD de un inversor de tres niveles NPC-VSI 119
Figura 5-30. Voltaje polar @ F_C=1KHz y m=80% 120
Figura 5-31. Voltaje de línea @ F_C=1KHz y m=80% 120
Figura 5-32. Voltaje de fase en la carga @ F_C=1KHz y m=80% 120
Figura 5-33. Voltaje polar @ F_C=1KHz y m=80% 121

Figura 5-34. Voltaje de línea @ F_C=1KHz y m=80% 121
Figura 5-35. Voltaje de fase en la carga @ F_C=1KHz y m=80% 121
Figura A-1. Representación numérica en formato Q_{12} 131
Figura A-2. Correspondencia entre los valores decimales y la representación digital 132
Figura B-1. Secuencias de conmutación correspondientes a las áreas 1, 2 y 3. 133
Figura B-2. Secuencias de conmutación correspondientes a las áreas 4, 5 y 6 134
Figura B-3. Secuencias de conmutación correspondientes a las áreas 7, 8 y 9 135
Figura B-4. Secuencias de conmutación correspondientes a las áreas 10, 11 y 12 136
Figura B-5. Secuencias de conmutación correspondientes a las áreas 13, 14 y 15 137
Figura B-6. Secuencias de conmutación correspondientes a las áreas 16, 17 y 18 138
Figura B-7. Secuencias de conmutación correspondientes a las áreas 19, 20 y 21 139
Figura B-8. Secuencias de conmutación correspondientes a las áreas 22, 23 y 24 140
Figura B-9. Secuencias de conmutación correspondientes a las áreas 25, 26 y 27 141
Figura B-10. Secuencias de conmutación correspondientes a las áreas 28, 29 y 30 142
Figura B-11. Secuencias de conmutación correspondientes a las áreas 31, 32 y 33 143
Figura B-12. Secuencias de conmutación correspondientes a las áreas 34, 35 y 36 144
Figura C-1. Señales de control y señales portadoras requeridas para aplicar el esquema de modulación PD 145
Figura C-2. Señales de control y señales portadoras requeridas para aplicar el esquema de modulación APOD 146
Figura C-3. Señales de control PWM de la fase a 146
Figura C-4. Inversor de tres niveles NPC-VSI con sus correspondientes bloques de disparo 147
Figura C-5. Formas de onda de voltaje en el inversor al utilizar el esquema de modulación PD 148
Figura C-5. Formas de onda de voltaje en el inversor al utilizar el esquema de modulación APOD 148
Figura E-1. Diagrama eléctrico del circuito de control del inversor de tres niveles 159
Figura E-2. Diagrama eléctrico del circuito de protección del inversor de tres niveles 160
Figura E-3. Diagrama eléctrico de una rama del inversor, en el que se incluye el circuito aislador, el circuito manejador de compuertas y el circuito de deshabilitación. 161

LISTA DE TABLAS

TABLA 1.4-1. Técnicas de modulación aplicables a las configuraciones multinivel 8
TABLA 2.2-1. Definición de los estados de conmutación. 12
TABLA 2.5-1. Vectores espaciales correspondientes a los estados de conmutación del inversor de tres niveles NPC. 21
TABLA 2.5-2. Cálculo de los tiempos de aplicación cuando el $\vec{V}_{ref}$ está en el sector I. 25
TABLA 2.5-3. Secuencia de conmutación de siete segmentos para el sector I-2a. 30
TABLA 2.5-4. Secuencia de conmutación de los Sectores I y II. 30
TABLA 2.6-1. Condiciones que determinan la selección de cada hexágono. 33
TABLA 2.6-2. Componentes normalizadas que corrigen el vector de referencia $\vec{V}_{ref}^{3}$ 34
TABLA 3.2-1. Especificaciones principales del termistor SL32 0R530. 42
TABLA 3.5-1. Estados de conmutación del inversor de tres niveles. 49
TABLA 3.5-2. Elementos y componentes utilizados en el circuito generador de señales complementarias con la inserción del tiempo muerto. 50
TABLA 3.6-1. Descripción del circuito manejador de compuertas IR2110 55
TABLA 3.6-2. Características de los circuitos bootstrap ante los estados de conmutación P, O y N. 60
TABLA 3.7-1. Tipos de fallas y principales causas que provocan una sobrecorriente en un accionamiento de una máquina de CA. 64
TABLA 3.7-2. Estado del IR2110 en función de la señal de habilitación $\bar{E}$. 70
TABLA 3.7-3. Condiciones de habilitación y deshabilitación del sistema. 71
TABLA 3.7-4. Comportamiento de las señales del circuito de restablecimiento 72
TABLA 3.7-5. Comportamiento de las señales del circuito de restablecimiento final 73
TABLA 4.2-1. Representación fraccionaria en formato Q15. 81
TABLA 4.4-1. Componentes normalizadas que corrigen el vector de referencia $\vec{V}_{ref}^{3}$. 85
TABLA 4.5-1. Voltajes de fase, voltajes de línea y componentes bifásicas normalizadas correspondientes a cada vector espacial. 89
TABLA 4.5-2. Determinación de las expresiones t_1 y t_2 para todos los sectores. 91
TABLA 4.5-3. Asignación de los ciclos útiles a cada una de las fases del inversor 92
TABLA 4.6-1. Estados de conmutación del inversor de tres niveles. 94
TABLA 4.6-2. Definición explicita de las áreas que conforman el espacio vectorial de tres niveles. 95
TABLA 4.6-3. Características de las secuencias de conmutación en las 36 áreas del espacio vectorial de tres niveles. 101
TABLA 4.6-4. Disposición de las señales de control principales. 102

GLOSARIO DE TÉRMINOS

ADC	Convertidor analógico-digital (Analog-Digital Converter)
APOD-PWM	Modulación de ancho de pulso con disposición alterna de fase (Alternate Phase Opposition Disposition *Pulse Width Modulation*)
BJT	Transistor Bipolar de Unión (*Bipolar Junction Transistor*)
CA	Corriente alterna
CD	Corriente directa
C_{d1}	Capacitor de entrada 1
C_{d2}	Capacitor de entrada 2
CHB	Puente H en cascada (Cascaded H-bridge)
CMOS	Transistor complementario de oxido de metal (Complementary Metal Oxide Semiconductor)
CSI	Fuente de corriente (Current Source Inverter)
C_{td}	Capacitor que determina el tiempo muerto, [F]
DAC	Convertidor digital-analógico (Digital-Analog Converter)
D_{A1}	Diodo en anti-paralelo correspondiente al interruptor 1 de la rama A
D_{A2}	Diodo en anti-paralelo correspondiente al interruptor 2 de la rama A
D_{A3}	Diodo en anti-paralelo correspondiente al interruptor 3 de la rama A
D_{A4}	Diodo en anti-paralelo correspondiente al interruptor 4 de la rama A
dv/dt	Relación de cambio de voltaje con respecto al tiempo
DSP	Procesador digital de señales (Digital Signal Processor)
DTC	Control directo del torque (Direct Torque Control)
D_{ZA1}	Diodo fijador 1 de la rama A
D_{ZA2}	Diodo fijador 2 de la rama A
E	Voltaje de capacitor de entrada, [V]
$\bar{E}$	Entrada de habilitación del buffer
FC	Capacitor Flotante (Flying Capacitor)
FR	Factor de rizo
f_1	Frecuencia fundamental de salida del inversor, [Hz]
GND	Referencia de la fuente de alimentación
$GND_{\_CON}$	Referencia de la fuente de alimentación del control
GTO	Tiristor conmutado por compuerta (Gate Turn-Off Thyristor)
i_A	Corriente de fase del inversor, [A]
I_F	Corriente a través del diodo, [A]
IGBT	Transistor bipolar de compuerta aislada (*Insulated Gate Bipolar Transistor)*
IGCT	Tiristor conmutado por compuerta integrada (Integrated Gate-Commutated Thyristor)
Io	Corriente promedio

LED	Diodo emisor de luz (*Light Emmiter Diode*)
LS-PWM	Modulación de ancho de pulso con desplazamiento de nivel (Level Shifted *Pulse Width Modulation*)
LSTTL	Lógica transistor-transistor schotttky de baja potencia (Low Power Schottky Transistor-Transistor Logic)
m	índice de modulación
ma	índice de modulación
N	Estado de conmutación negativo
NIVEL_1	Nivel de voltaje de salida del circuito detector de ventana 1
NIVEL_2	Nivel de voltaje de salida del circuito detector de ventana 2
NPC	Fijación del Punto Neutro (*Neutral Point Clamped*)
NTC	Coeficiente de temperatura negativo (Negative Temperature Coefficient)
O	Estado de conmutación cero
P	Estado de conmutación positivo
PD-PWM	Modulación de ancho de pulso con disposición de fase (Phase Disposition *Pulse Width Modulation*)
POD-PWM	Modulación de ancho de pulso con oposición de fase (Phase Opposition Disposition *Pulse Width Modulation*)
PSCAD	Diseño Asistido por Computador de Sistemas de Potencia (Power System Computer Aided Design)
PS-PWM	Modulación de ancho de pulso con desplazamiento de fase (Phase Shifted *Pulse Width Modulation*)
PWM	Modulación de ancho de pulso (Pulse Width Modulation)
Q_{GC}	Carga de gate-colector, [C]
Q_{GE}	Carga de gate-emisor, [C]
R_L	Resistencia de carga, [Ω]
R_G	Resistencia de compuerta, [Ω]
R_{td}	Resistencia que determina el tiempo muerto, [Ω]
R_{TH}	Resistencia del termistor, [Ω]
S_{A1}	Interruptor 1 de la rama A
S_{A2}	Interruptor 2 de la rama A
S_{A3}	Interruptor 3 de la rama A
S_{A4}	Interruptor 4 de la rama A
SHE	Eliminación selectiva de armónicos *(Selective Harmonic Elimination)*
SPWM	Modulación de ancho de pulso senoidal (*Sinusoidal Pulse Width Modulation*)
SVPWM	Modulación de ancho de pulso por vector espacial (*Space Vector Pulse Width Modulation*)
SVM	Modulacion por vector espacial (*Space Vector Modulation*)
t_1	Ciclo útil 1, [s]

t_2	Ciclo útil 2, [s]
t_3	Ciclo útil 3, [s]
t_1	Ciclo útil de vector adyacente activo 1, [s]
t_2	Ciclo útil de vector adyacente activo 2, [s]
T_a	Tiempo de aplicación a, [s]
T_a	Tiempo de aplicación b, [s]
T_a	Tiempo de aplicación c, [s]
t_{Alto}	Tiempo en nivel alto, [s]
t_{Bajo}	Tiempo en nivel bajo, [s]
t_d	Tiempo muerto (died-time)
TH	Termistor
T_{PHL}	Tiempo de propagación al estado bajo
T_{PLH}	Tiempo de propagación al estado alto
t_{phase_A}	Ciclo útil correspondiente a la fase A, [s]
t_{phase_B}	Ciclo útil correspondiente a la fase B, [s]
t_{phase_C}	Ciclo útil correspondiente a la fase C, [s]
T_S	Periodo de conmutación, [s]
t_{SW}	Tiempo de conmutación. [s]
$\vec{V}_{ref}^{2}$	Vector de referencia en el espacio vectorial de dos niveles
$\vec{V}_{ref}^{3}$	Vector de referencia en el espacio vectorial de tres niveles
v_a	Voltaje de la fase a, [V]
v_b	Voltaje de la fase b, [V]
v_c	Voltaje de la fase c, [V]
v_{AZ}	Voltaje polar de la rama A, [V]
v_{AB}	Voltaje de línea entre las fases A y B, [V]
v_{An}	Voltaje de la fase A con respecto al neutro de la carga, [V]
v_{BC}	Voltaje de línea entre las fases B y C, [V]
v_{Bn}	Voltaje de la fase B con respecto al neutro de la carga, [V]
v_{BZ}	Voltaje polar de la rama B, [V]
V_{CC}	Fuente de alimentación
v_{CZ}	Voltaje polar de la rama C, [V]
v_{CA}	Voltaje de línea entre las fases C y A, [V]
v_{Cn}	Voltaje de la fase C con respecto al neutro de la carga, [V]
V_d	Voltaje del bus de *CD* , [V]
V_{d_max}	Voltaje máximo a la salida del rectificador, [V]
V_{d_min}	Voltaje mínimo a la salida del rectificador, [V]
V_F	Caída de voltaje en el diodo, [V]
v_{gA1}	Señal de compuerta del interruptor A1

v_{gA2}	Señal de compuerta del interruptor A2
v_{gA3}	Señal de compuerta del interruptor A3
v_{gA4}	Señal de compuerta del interruptor A4
V_{LL}	Voltaje de línea, [V]
v_{nZ}	Voltaje en el neutro de la carga con respecto al punto Z del inversor, [V]
V_{REF_H}	Voltaje de referencia de nivel alto, [V]
V_{REF_L}	Voltaje de referencia de nivel bajo, [V]
$V_{r\_(p-p)}$	Voltaje de rizo pico a pico, [V]
V_{r_pmax}	Voltaje pico máximo del rizo, [V]
V_{r_pmin}	Voltaje pico mínimo del rizo, [V]
$\vec{V}_{ref}^{3}$	Vector de referencia en el espacio vectorial de tres niveles
$\vec{V}_{ref}^{2}$	Vector de referencia en el espacio vectorial de dos niveles
v_Z	Voltaje en el punto neutro del inversor, [V]
v_α	Componente de voltaje en el eje α
v_β	Componente de voltaje en el eje β
v_α^3	Componente de voltaje α en el espacio vectorial de tres niveles
v_β^3	Componente de voltaje β en el espacio vectorial de tres niveles
V_S	Voltaje de fase, [V]
v_{SA1}	Voltaje a través del interruptor A1, [V]
v_{SA2}	Voltaje a través del interruptor A2, [V]
v_{SA3}	Voltaje a través del interruptor A3, [V]
v_{SA4}	Voltaje a través del interruptor A4, [V]
VSI	Fuente de voltaje (Voltage Source Inverter)
THD	Distorsión armónica total (Total Harmonic Distortion)
W	Energía, [J]
w	Velocidad angular, [rad]
Z	Punto intermedio entre capacitores de entrada
θ	Ángulo de desplazamiento.
Θ_3	Ángulo de desplazamiento en el espacio vectorial de tres niveles
3D-SVM	Modulación por vector espacial tridimensional (*3D Space Vector Modulation*)

CAPÍTULO 1

INTRODUCCIÓN

1.1 ANTECEDENTES Y GENERALIDADES

En la actualidad las máquinas eléctricas son parte fundamental en los controles de velocidad. Los sistemas de control de velocidad tienen diversas aplicaciones tales como: bombas, ventiladores, elevadores, vehículos eléctricos, aplicaciones domesticas, sistemas de transporte, sistemas de propulsión de barcos, etc. Es por ello que con el paso del tiempo se ha buscado que los controles de velocidad brinden mayores niveles de eficiencia a costos más accesibles. Sin embargo como la evolución de las máquinas eléctricas ha sido lenta, los resultados más significativos se han obtenido del estudio de los controladores de las máquinas eléctricas (convertidores electrónicos de potencia) [1].

Las máquinas eléctricas que convierten la energía eléctrica a energía mecánica y viceversa, pueden ser clasificadas de acuerdo a su tipo de alimentación en: máquinas de CD y máquinas de CA. Las aplicaciones industriales en donde están involucradas las máquinas eléctricas son clasificadas en aplicaciones de velocidad variable y en aplicaciones de velocidad constante. Hasta hace algunas décadas las máquinas de CD se habían utilizado en aplicaciones de velocidad variable, principalmente porque el controlador de CD es muy simple y fácil de incorporar, lo cual no ocurría con las máquinas de CA por lo que eran preferidas en aplicaciones de velocidad constante. Sin embargo con los recientes avances de los dispositivos semiconductores de potencia, con la incorporación de los dispositivos procesadores de señales (DSP's del inglés Digital Signal Processor) y en consecuencia con la generación de las diferentes técnicas de control, se lograron desarrollar controladores estáticos de CA, los cuales hicieron posible la utilización de las máquinas de CA en aplicaciones de velocidad variable lo que antes era algo prácticamente inalcanzable [1], [3].

Desde hace algunas décadas se ha mostrado un gran interés en la incorporación de las máquinas de CA en aplicaciones de velocidad variable, debido a que presentan ventajas significativas sobre las máquinas de CD tales como: menor costo, menor mantenimiento y menor inercia en el rotor. Es por ello que se han realizado muchos estudios, de los que han surgido diferentes técnicas de control que buscan mejorar y en los últimos años superar el desempeño y la eficiencia de las máquinas de CA sobre las máquinas de CD. Es importante mencionar que aunque actualmente las máquinas de CD siguen utilizándose en aplicaciones de velocidad variable, progresivamente están siendo reemplazadas por máquinas de CA [2]-[4].

El controlador de CA también conocido en la literatura como variador de frecuencia, está constituido fundamentalmente por un circuito inversor, y este a su vez está conformado por dispositivos semiconductores de potencia. Los inversores pueden ser clasificados en dos grupos de acuerdo a su fuente de alimentación; los inversores alimentados por fuente de voltaje (VSI, del inglés, Voltage Source Inverter) y los inversores alimentados por fuente de corriente (CSI, del inglés, Current Source Inverter). Los inversores producen formas de ondas trifásicas definidas para la carga; el inversor VSI produce una forma de onda de voltaje, mientras que el inversor CSI produce una forma de onda de corriente. En este trabajo el estudio se centrará en los inversores VSI, ya que actualmente son los más utilizados en la industria [4].

Tradicionalmente se han utilizado inversores VSI de dos niveles, sin embargo, el incremento en la demanda de energía eléctrica ha propiciado la aparición de nuevas configuraciones multinivel capaces de manejar altos niveles de potencia. Aunque en la actualidad existen dispositivos semiconductores capaces de soportar elevados niveles de voltaje y corriente, son dispositivos que aún se encuentran en desarrollo y por lo tanto no son muy confiables. Es por ello que es preferible utilizar inversores multinivel constituidos por dispositivos semiconductores que soportan niveles medios de potencia pero que tecnológicamente están bien desarrollados [50].

El inversor multinivel presenta grandes ventajas en comparación con el bien conocido inversor de dos niveles. Estas ventajas están enfocadas principalmente en mejorar la calidad de la señal de salida, además de incrementar la potencia nominal del inversor. La calidad del voltaje de salida del inversor, aumenta al incrementar el número de niveles y con esto se consigue reducir de forma importante el contenido armónico de la señal de salida [7], [8], [53].

Por lo antes mencionado los inversores multinivel son muy atractivos en la industria, y actualmente investigadores de todo el mundo están haciendo grandes esfuerzos por mejorar el desempeño de estas configuraciones en aspectos como: la simplificación del control [9], [10], el desarrollo de algoritmos que buscan disminuir el contenido armónico en la señal de salida [11], [12], el balanceo del voltaje en los capacitores [13], [14] y la disminución del rizo de la corriente de salida [15], [16].

Es importante mencionar que las configuraciones de inversores multinivel más comunes son: el inversor con fijación del neutro (NPC del inglés Neutral Point Clamped) [17], el inversor con capacitor flotante (FC del inglés Flying Capacitor) [18], y el inversor en cascada (CHB del inglés Cascaded H-bridge).

Finalmente, algunas aplicaciones en las que se utilizan ampliamente los inversores multinivel se muestran en la Fig. 1-1.

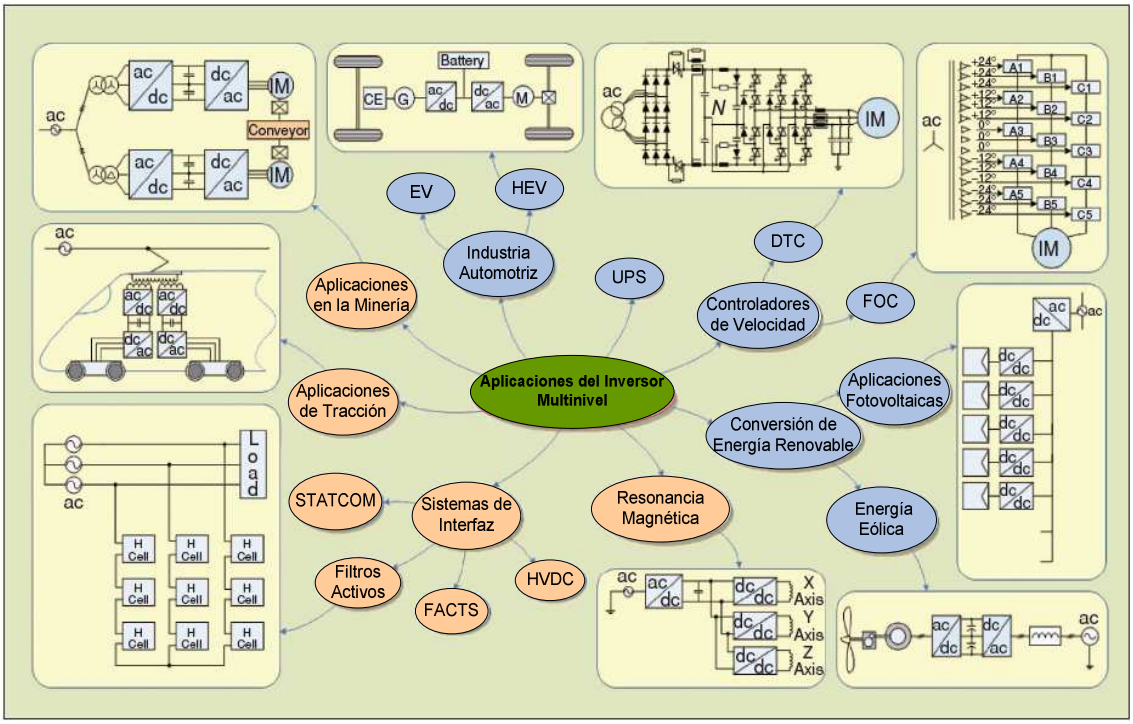


Figura 1-1. Aplicaciones de los Inversores Multinivel [50].

1.2 OBJETIVOS

El presente trabajo de tesis busca satisfacer tres objetivos generales los cuales son expuestos a continuación:

- Desarrollar un algoritmo computacional que genere las señales de control para un inversor de tres niveles NPC-VSI, utilizando el DSP56F8037 y aplicando la técnica de modulación SVM.

- Rediseñar e implementar los circuitos de control de un inversor de tres niveles NPC-VSI, en el cual se incluyan las protecciones necesarias.

- Obtener resultados experimentales al controlar el inversor de tres niveles implementado, utilizando el algoritmo SVM desarrollado.

1.3 JUSTIFICACIÓN

En los últimos años, el estudio de los inversores multinivel ha sido el centro de atención de numerosos investigadores de todo el mundo, quienes han buscado mejorar el desempeño que brindan dichas configuraciones.

Las principales ventajas que presentan los inversores multinivel en comparación con el inversor de dos niveles y las cuales justifican su reciente interés son: el menor contenido armónico generado en la señal de salida y los mayores niveles de potencia que son capaces de manejar. Es por ello que los inversores multinivel actualmente constituyen un área de investigación muy activa tanto en la electrónica de potencia como en la teoría del control.

Aunque hasta el día de hoy se han realizado numerosas investigaciones en lo que respecta al control de los inversores multinivel, aún quedan muchos retos que enfrentar entre los cuales se encuentran: extender las estrategias de modulación convencional a las configuraciones multinivel, disminuir la complejidad de los algoritmos de control y la posibilidad de aprovechar los grados de libertad que se obtienen al tener un número mayor de estados de conmutación [6], [7], [30], [31]. Por lo tanto, es preciso seguir realizando estudios que generen nuevas aportaciones y de ahí la importancia del desarrollo del presente trabajo de tesis.

En este trabajo de tesis se ha implementado un inversor de tres niveles NPC-VSI, ya que además de ser la configuración multinivel que más se utiliza en la industria, es la que mejor compensa la relación costo beneficio [20], [21], [22], [50].

En lo que se refiere al control del inversor de tres niveles NPC-VSI, se utilizará la técnica de modulación SVM, ya que entre sus mayores virtudes estan: un amplio rango de modulación lineal, reducción de las pérdidas por conmutación y además brinda la posibilidad de controlar la variación de voltaje en el punto neutro de entrada del inversor NPC [47].

1.4 ESTADO DEL ARTE

1.4.1 CONFIGURACIÓN DE INVERSORES MULTINIVEL

La introducción de los inversores multinivel se dio en el año de 1981 con el trabajo desarrollado por A. Nabae, I. Takahashi y H. Akagi [17]. Hasta este momento los esfuerzos por mejorar la eficiencia en los controladores de CA se habían centrado únicamente en el desarrollo de las técnicas de control PWM. Sin embargo en este trabajo los autores desarrollan por primera vez la configuración del inversor con fijación del neutro (NPC), con la cual buscan alcanzar elevados niveles de eficiencia en el controlador de CA.

La configuración del inversor NPC, está conformada por dispositivos de conmutación "principales", que operan como interruptores PWM en un inversor de dos niveles y por dispositivos de conmutación "auxiliares", los cuales permiten fijar a la terminal de salida un potencial neutral. En el inversor NPC el voltaje de salida está conformado por tres niveles de voltaje, de ahí que más tarde también es conocido como inversor de tres niveles. Después de analizar los resultados obtenidos, se observa que el voltaje de salida en el inversor NPC presenta menor contenido armónico en comparación con el que proporciona un inversor convencional de dos niveles. Debido a que los resultados obtenidos fueron satisfactorios, se realizaron estudios para desarrollar configuraciones NPC multinivel generalizadas. Destacan los trabajos realizados por P. M. Bhagwat y N. S. Choi [23], [24], los cuales tienen el propósito de reducir aún más la distorsión armónica en la señal de salida, pero sin disminuir la potencia del inversor.

Después de algunos años surgieron numerosas topologías multinivel con diferentes características a la configuración NPC y las que más han trascendido son la configuración de capacitor flotante (FC) y la configuración en cascada (CHB). La configuración FC desarrollada por T.A. Meynard y H. Foch [18], está conformada por capacitancias flotantes, que tiene la función de fijar el voltaje de bloqueo en los interruptores. La configuración CHB está constituida por inversores monofásicos con fuentes de CD independientes y una de sus primeras aplicaciones estuvo en la estabilización de plasma, trabajo publicado por M. Marchesoni [25].

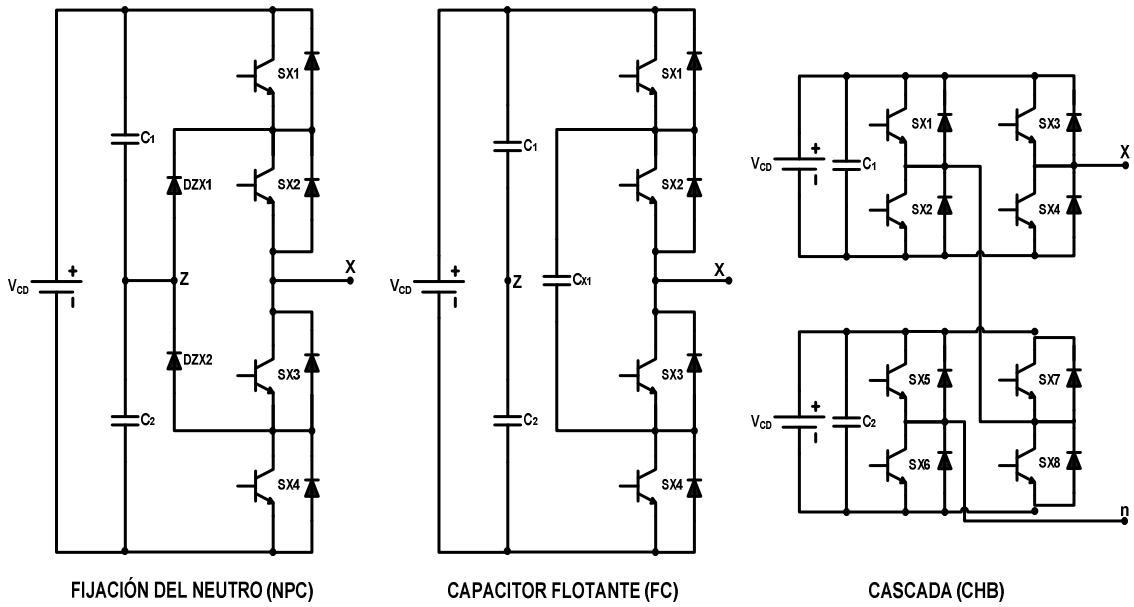


Figura 1-2. Principales Configuraciones de Inversores Multinivel.

En la referencia [50] se menciona que la elección de cada configuración multinivel está en función de la aplicación en donde va a ser implementada.

Particularmente los inversores NPC encuentran un importante mercado en los sistemas de control de velocidad de alta potencia, los cuales ofrecen soluciones para industrias tales como: la petrolera, la metalúrgica, la minera, la marina y la química. Un ejemplo se muestra en el trabajo desarrollado por J. Rodríguez, J. Pontt, G. Alzamora, N. Becker, O. Einenkel y A Weinsteinen [26]. En este trabajo se presenta la implementación de una banda transportadora de minerales, que es controlada por medio de un sistema de control de velocidad de CA y la cual tuvo lugar en la mina "Los Pelambres" en Chile. En el desarrollo del sistema de control de velocidad se analizaron diferentes alternativas tales como, el control de un motor asíncrono utilizando cicloconvertidores, el control de un motor de inducción jaula de ardilla (squierrel-cage) a partir de un inversor CSI, y finalmente la opción que fue desarrollada por ser la más eficiente y confiable, el control del motor de inducción jaula de ardilla utilizando un inversor de tres niveles NPC-VSI. El inversor NPC está constituido por tiristores GTO (Gate Turn-Off Thyristor) y maneja ocho motores de 2.5 MVA. En este trabajo el inversor también es utilizado como rectificador y esto permite regenerar energía hacia la red eléctrica con un factor de potencia muy cercano a la unidad.

Otra aplicación importante fue desarrollada por J. P. Lyons, V. Vlatkovic, P. M. Espelage, F. H. Boettner, and E. Larsen [27]. En este trabajo se utilizaron dos configuraciones NPC las cuales están destinadas al servicio de unos trenes de laminación. En esta ocasión las configuraciones NPC están constituidas por tiristores IGCT'S (Integrated Gate-Commutated Thyristor). El factor de potencia unitario además de la baja distorsión armónica de la corriente de la red son las principales ventajas que presenta el inversor en comparación con los cicloconvertidores.

Finalmente es importante comentar que aunque se ha hecho énfasis en que las configuraciones multinivel se encuentran en aplicaciones que manejan altos niveles de potencia, no puede descartarse que su utilización se extienda hacia las aplicaciones de baja potencia y una primera aproximación podría considerar al trabajo desarrollado por B. A. Welchko, M. B. de R. Correa y T. A. Lipo [28] y [29].

1.4.2 CONTROL DE LOS INVERSORES MULTINIVEL

En las últimas décadas la mayoría de los estudios realizados referentes a los inversores multinivel, se han concentrado en analizar las técnicas de modulación utilizadas para controlar a los dispositivos semiconductores. Entre los retos más importantes que se han planteado se encuentran: extender las estrategias de modulación tradicionales a las configuraciones multinivel, disminuir la complejidad de los algoritmos al controlar un número mayor de dispositivos semiconductores, y la posibilidad de aprovechar los grados de libertad que se obtienen al tener un mayor número de estados de conmutación [6], [7], [30], [31].

Los algoritmos de modulación se pueden dividir principalmente en dos grupos dependiendo del dominio en que sean desarrollados: el dominio de los vectores espaciales en el cual el principio de operación se fundamenta en la generación de un vector de voltaje, y el dominio del tiempo, el cual se basa en la generación de niveles de voltaje teniendo como marco de referencia al tiempo. En la Fig. 1-3, se muestra un amplio panorama de las diferentes técnicas de modulación.

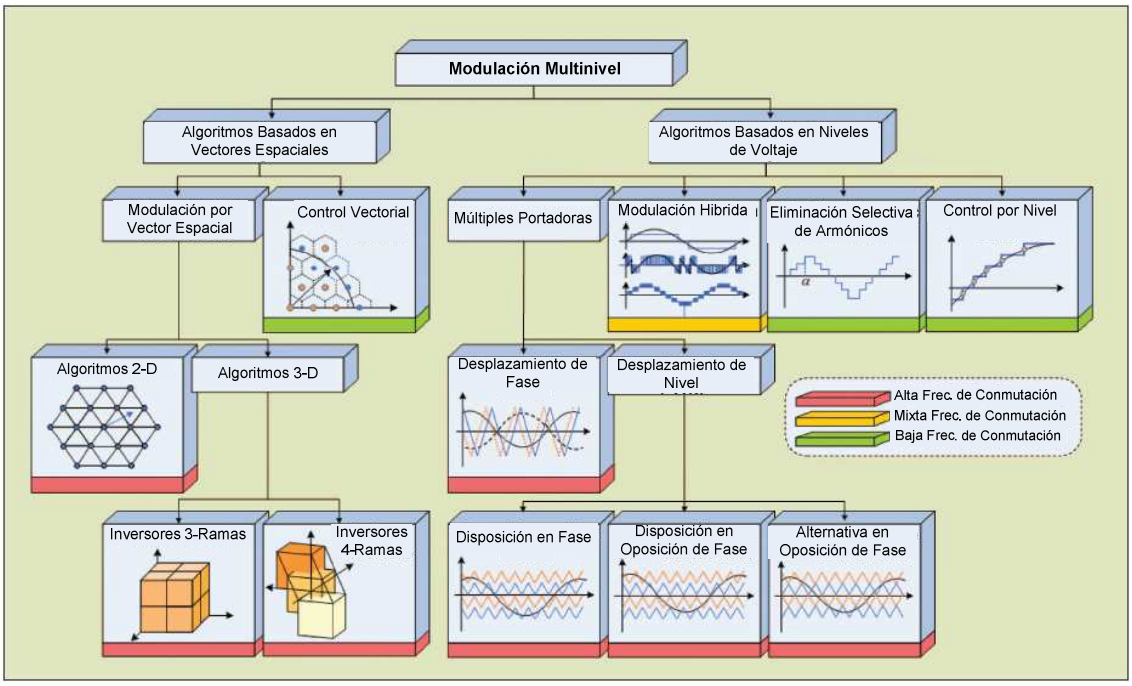


Figura 1-3. Clasificación de las técnicas de modulación en inversores multinivel [50].

Las primeras estrategias de modulación multinivel que se utilizaron se limitaban a generar señales escalonadas [7]. Las ventajas que presenta este tipo de modulación son su fácil implementación y la baja frecuencia de operación lo cual permite utilizar dispositivos que operan a bajas frecuencias de conmutación. Sin embargo la señal de salida presenta un alto contenido armónico y la respuesta dinámica es lenta. Otro inconveniente no menos importante es la necesidad de tener un voltaje de entrada variable, para que con ello sea posible regular el voltaje de salida.

La modulación senoidal PWM (SPWM) también conocida como PWM subarmónica, es una de las técnicas más ampliamente estudiada y empleada en aplicaciones industriales [4]. La modulación SPWM se obtiene a partir de la comparación de señales senoidales con dos o más señales triangulares. El numero de las señales triangulares también conocidas como señales portadoras depende del número de niveles del inversor [32]. En función del arreglo de las señales portadoras se derivan algunas otras técnicas tales como: la modulación PWM con desplazamiento de fase (PS-PWM) en donde las señales portadoras se encuentran desfasadas, y la modulación PWM con desplazamiento de nivel (LS-PWM) en donde las señales portadoras están ordenadas verticalmente. A su vez, dentro de la técnica de modulación LS-PWM se desprenden las siguientes: la modulación con disposición de fase (PD-PWM) en la cual todas las portadoras están en fase, la modulación con oposición de fase (POD-PWM), y la modulación con disposición alternativa de fase (APOD-PWM) [33]-[36], las cuales se observan en la Fig. 1-3.

La técnica de eliminación selectiva de armónicos (SHE del inglés Selective Harmonic Elimination) ha sido muy aplicada en convertidores multinivel que manejan altos niveles de potencia, debido a que reduce en gran medida las pérdidas por conmutación [37]-[39]. Sin embargo, los algoritmos SHE llegan a ser muy complejos para diseñar e implementar en inversores con gran número de niveles (arriba de cinco) ya que aumenta el número de ángulos de conmutación y en consecuencia el número de ecuaciones que se deben resolver. La técnica de modulación vectorial del ancho de los pulsos (SVPWM o SVM) utilizada en el control de los inversores multinivel actualmente es la más

estudiada [40]-[44]. En esta estrategia de modulación, cada uno de los estados del inversor (en función de la posición de los interruptores) se representan mediante un vector de voltaje y el conjunto de vectores obtenidos conforman al diagrama vectorial del inversor multinivel. El objetivo de la técnica SVM es generar un vector de voltaje de referencia a partir de la combinación de vectores espaciales, obteniendo de esta forma un voltaje de salida promedio igual al voltaje de referencia en un periodo de conmutación [44]. Entre las ventajas más importantes que presenta esta técnica de modulación se encuentran, la mayor amplitud de voltaje que se puede alcanzar en la zona lineal en comparación con la modulación SPWM, además de la disminución de las pérdidas por conmutación al utilizar una secuencia de conmutación apropiada. En sus inicios el desarrollo de la técnica SVM requería de grandes tiempos de procesamiento. Es por ello que se han desarrollado algoritmos los suficientemente rápidos para completarse en un periodo de modulación, dejando tiempo suficiente para ejecutar otras actividades como sensar variables y realizar cálculos de control [43], [45], [46], [47].

En la configuración NPC, el voltaje entre los capacitores de entrada debe ser el mismo, sin embargo, determinadas condiciones de operación provocan variaciones del voltaje y esto afecta el desempeño del inversor. Es por ello que se han realizado numerosos estudios que buscan minimizar este problema y algunas de las aportaciones más importantes se encuentran en [48], [49].

Un algoritmo eficiente computacionalmente que además minimiza la variación del voltaje en el punto neutro, fue desarrollado por J. Seo, C. Choi y D. Hyun [19]. En este trabajo los autores desarrollan un algoritmo simplificado SVM aplicado a un inversor de tres niveles, el cual se basa en la simplificación del diagrama vectorial de tres a dos niveles. Una vez que se aplica el método de simplificación, es posible ejecutar los procedimientos restantes considerando un inversor convencional de dos niveles, reduciendo en gran medida el tiempo de ejecución del algoritmo.

La técnica de modulación SVM tridimensional (3D-SVM) presentada en [51] es una generalización de la recién comentada estrategia SVM bidimensional. La estrategia SVM bidimensional es utilizada cuando el sistema de potencia es balanceado y por lo tanto, los vectores espaciales se localizan en el plano (α,β). Sin embargo si el sistema es desbalanceado o si hay armónicos de secuencia cero o de tercer orden es necesario generalizar a un espacio tridimensional. En general, la técnica 3D-SVM es útil en sistemas con o sin neutro, con cargas desbalanceadas y para la generación de cualquier control vectorial en 3D. La estrategia propuesta en [51], es la primer técnica 3D-SVM para convertidores multinivel que permite el cálculo en tiempo real del vector más cercano al vector de referencia requerido. La complejidad del algoritmo es baja además de que es independiente del número de niveles del inversor.

Finalmente, los inversores de cuatro ramas están encontrando relevancia en los últimos años, y un algoritmo optimizado y generalizado 3D-SVM para inversores multinivel es mostrado en [52]. La técnica propuesta permite optimizar la secuencia de conmutación minimizando el número de conmutaciones en el inversor.

Es importante mencionar, que no todas las técnicas de modulación previamente comentadas son apropiadas para todas las configuraciones multinivel, en realidad algunos algoritmos no se pueden implementar en determinadas configuraciones. Por lo tanto para finalizar, en la tabla 1.4-1 se muestran las compatibilidades entre las estrategias de modulación y las configuraciones multinivel.

TABLA 1.4-1 TÉCNICAS DE MODULACIÓN APLICABLES A LAS CONFIGURACIONES MULTINIVEL

TÉCNICA DE MODULACIÓN	**CONFIGURACIONES MULTINIVEL**		
	NPC	FC	CHB
SVM	✓	✓	✓
LS-PWM	✓	✓	--
PS-PWM	*x*	✓	✓
SHE	✓	✓	✓
✓ **Aplicable/Recomendado** *x* **No aplicable** -- **Aplicable/No Recomendado**			

1.5 APORTACIONES DE LA TESIS

Las principales aportaciones que presenta este trabajo de tesis son las siguientes:

- Diseño y caracterización de los circuitos de control y de protección del inversor de tres niveles NPC-VSI.
- Implementación y caracterización de la tarjeta que incorpora el puente rectificador, el filtro de entrada y las medidas de protección pertinentes.
- Desarrollo del algoritmo SVM simplificado, el cual determina las señales de control del inversor de tres niveles, a partir de una rutina SVM de dos niveles.
- Desarrollo de un algoritmo de validación, el cual permite verificar el correcto desempeño del algoritmo SVM simplificado.

1.6 ESTRUCTURA DE LA TESIS

En este apartado se detalla la estructura del presente trabajo de tesis, indicando el contenido de cada capítulo.

- Capítulo 2. Técnicas PWM en inversores de tres niveles

  En este capítulo en primer lugar se desarrolla un análisis detallado de la operación de la configuración del inversor de tres niveles NPC-VSI. Después se analizan las principales técnicas de modulación PWM en inversores de tres niveles NPC-VSI, considerando ventajas y desventajas entre ellas. Finalmente se analiza brevemente la técnica de modulación SVM simplificada, la cual será utilizada para controlar al inversor de tres niveles NPC-VSI.

- Capítulo 3. Implementación del Inversor de Tres Niveles NPC-VSI

  En este capítulo se realiza el diseño y la caracterización de las diferentes etapas que integran a un accionamiento de una máquina de CA, poniéndose especial énfasis en la configuración del inversor NPC-VSI.

- Capítulo 4. Programación del DSP

  En este capítulo se desarrolla en forma detallada el algoritmo computacional SVM simplificado, el cual genera las señales de control del inversor de tres niveles NPC-VSI a partir de una rutina SVM de dos niveles.

  Capítulo 5 Resultados Experimentales

  En este capítulo se presentan los resultados experimentales obtenidos al implementar el inversor de tres niveles y al desarrollar el algoritmo SVM simplificado.

- Capítulo 6 Conclusiones y Recomendaciones

  En este capítulo se enumeran las conclusiones, las principales aportaciones y algunas recomendaciones para trabajos futuros derivadas del desarrollo del presente trabajo de tesis.

Los apéndices incluyen una breve descripción de la representación fraccionaria en formato de punto fijo, las secuencias de conmutación requeridas en el espacio vectorial de tres niveles, la simulación del inversor de tres niveles NPC-VSI utilizando el software PSCAD, los diagramas eléctricos de los circuitos diseñados, los programas realizados en el DSP que generan las señales de control y las hojas de especificaciones de los dispositivos electrónicos utilizados.

CAPÍTULO 2

TÉCNICAS PWM EN INVERSORES DE TRES NIVELES

2.1 INTRODUCCIÓN

El desarrollo de los controladores de CA capaces de manejar potencias altas y niveles medios de voltaje se dio a mediados de los años 80, propiciado principalmente por el avance en los dispositivos semiconductores de potencia y el desarrollo de las nuevas configuraciones de inversores multinivel. En la actualidad la mayoría de los inversores instalados operan en el rango de potencia de 1 MW a 4 MW y en el rango de voltaje que va de 3.3 kV a 6.6 kV [5].

Los inversores multinivel presentan numerosas ventajas en comparación con los inversores convencionales de dos niveles y por ello es justificable el reciente interés en la implementación de estas nuevas configuraciones.

VENTAJAS

- El contenido armónico en la señal generada es menor.
- Los cambios de voltaje son más pequeños, y esto permite reducir los esfuerzos eléctricos en la carga asociados a las variaciones abruptas de voltaje (dV/dt).
- Son capaces de manejar mayores niveles de voltaje y por lo tanto mayores niveles de potencia.
- Los dispositivos semiconductores de potencia pueden ser controlados de forma escalonada, por lo que es posible reducir la frecuencia de conmutación y así también las pérdidas por conmutación.

Sin embargo aunque las ventajas de los inversores multinivel son significativas, también es importante considerar cuales son algunas de sus desventajas.

DESVENTAJAS

- El número de dispositivos semiconductores de potencia y los correspondientes circuitos de control aumentan.
- Los niveles de voltaje a la entrada deben ser producidos por fuentes aisladas o a partir de la conexión serie de capacitores.

Una vez consideradas las ventajas e inconvenientes que presentan las configuraciones multinivel; se ha observado que el inversor de tres niveles NPC también conocido como inversor Diode-Clamped de tres niveles, es la configuración multinivel que más se utiliza en la industria por ser la que mejor compensa la relación costo beneficio. En la actualidad el inversor de tres niveles NPC es utilizado ampliamente en aplicaciones de tracción, en la marina y en trenes de laminación [21], [26], [27], [66].

En este capítulo inicialmente se analizará de forma detallada la operación de la configuración del inversor de tres niveles NPC, después se desarrollaran las principales técnicas de control SPWM y SVPWM y finalmente se analizará la técnica SVM simplificada, misma que se utilizó para controlar al inversor de tres niveles que fue implementado.

2.2 INVERSOR DE TRES NIVELES

2.2.1 CONFIGURACIÓN DEL INVERSOR

En la Fig. 2-1, se observa la configuración del inversor de tres niveles NPC-VSI [17]. Con objeto de simplificar el análisis, únicamente se hará referencia a la rama A del inversor NPC, sin embargo el mismo comportamiento se mantiene para las ramas B y C. Como se puede observar, la rama A esta conformada por cuatro interruptores S_{A1} a S_{A4} con sus correspondientes diodos en anti-paralelo D_{A1} a D_{A4}. En la actualidad los dispositivos transistores bipolares de compuerta aislada (IGBT's del inglés Insulated Gate Bipolar Transistor) o tiristores conmutados por compuerta (GCT's del inglés Gate Commutated Thyristors) pueden ser utilizados como interruptores.

En la entrada del inversor están conectados dos capacitores en serie, los cuales se encargan de dividir el voltaje de la fuente V_d proporcionando un punto neutro Z. Los diodos conectados al punto neutro, D_{ZA1} y D_{ZA2} son conocidos con el nombre de diodos fijadores o diodos de fijación. Cuando los interruptores S_{A2} y S_{A3} están cerrados, la terminal de salida A del inversor es conectada al punto neutro a través de alguno de los diodos de fijación. El voltaje a través de los capacitores es E, y normalmente es la mitad del voltaje total de la fuente V_d.

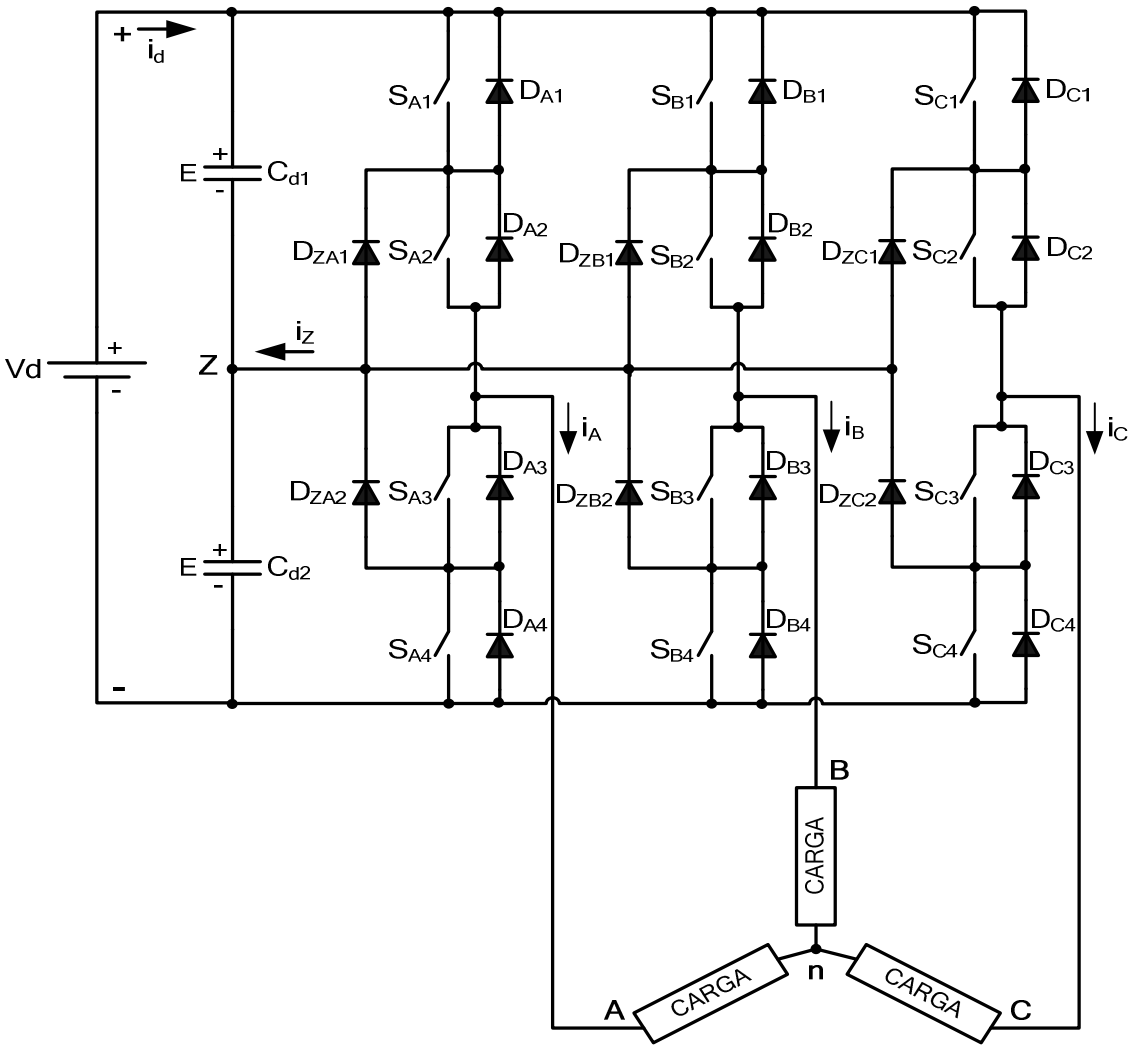


Figura 2-1. Inversor de tres niveles NPC.

2.2.2 ESTADOS DE LOS INTERRUPTORES

El modo en que operan los interruptores del inversor NPC puede ser representado a partir de los estados de conmutación tal y como se muestra en la Tabla 2.2-1. Analizando la rama A se tiene que, el estado de conmutación 'P' indica que los interruptores superiores (S_{A1} y S_{A2}) están cerrados y el voltaje polar del inversor $v_{AZ,}$ el cual se mide del punto A con respecto al punto Z, es +E, mientras que el estado de conmutación 'N' indica que los dos interruptores inferiores (S_{A3} y S_{A4}) conducen, generando un voltaje terminal v_{AZ}=-E. Lo mismo sucede para las ramas B Y C.

El estado de conmutación 'O' implica que los interruptores que están en medio S_{A2} y S_{A3} están cerrados y el voltaje terminal v_{AZ} es llevado a cero a través de alguno de los diodos fijadores. Dependiendo de la dirección de la corriente de fase i_A, uno de los dos diodos fijadores está en conducción. Considerando una corriente de fase positiva (i_A>0), implica que el diodo D_{ZA1} es forzado a conducir, y la terminal A es conectada al punto neutro Z a través de la conducción de D_{ZA1} y S_{A2}.

Como se puede observar en la Tabla 2.2-1, los interruptores S_{X1} y S_{X3} (X=A,B,C) operan en forma complementaria, cuando uno se cierra el otro se debe abrir y viceversa. Lo mismo sucede con S_{X2} y S_{X4}, mantienen estados complementarios.

En la Fig. 2-2, se muestra un ejemplo de los estados de conmutación y las señales de compuerta, donde v_{gA1} a v_{gA4} son las señales de las compuertas de los interruptores S_{A1} a S_{A4} respectivamente. Las señales de compuerta pueden ser generadas por modulación basada en múltiples portadoras, modulación a partir de vectores espaciales, o esquemas de eliminación selectiva de armónicos. Como se puede observar, la forma de onda generada $v_{AZ,}$ tiene tres niveles de voltaje, +E, 0 y –E, de ahí que el inversor es conocido como inversor de tres niveles, mientras que el voltaje v_{AZ} generado por un inversor de dos niveles únicamente tiene dos niveles (+E y -E).

En la Fig. 2-3, se muestra como se obtiene la forma de onda del voltaje de línea. Los voltajes polares del inversor v_{AZ}, v_{BZ} y v_{CZ} son trifásicos y balanceados desfasados $2\pi/3$ entre sí. El voltaje de línea puede ser obtenido a partir de los voltajes polares de: $v_{AB}= v_{AZ}-v_{BZ}$. Como se puede observar, el voltaje de línea generado por el inversor de tres niveles está conformado por cinco niveles de voltaje (+2E, +E, 0, -E y -2E), mientras que el voltaje de línea generado por un inversor convencional de dos niveles únicamente tiene tres niveles (+2E, 0 y -2E).

TABLA 2.2-1 DEFINICIÓN DE LOS ESTADOS DE CONMUTACIÓN

Estados de Conmutación	Variable K_X	Estado de los Interruptores				Voltaje Polar v_{XZ}
		S_{X1}	S_{X2}	S_{X3}	S_{X4}	
P	1	ON	ON	OFF	OFF	E
O	0	OFF	ON	ON	OFF	0
N	-1	OFF	OFF	ON	ON	-E

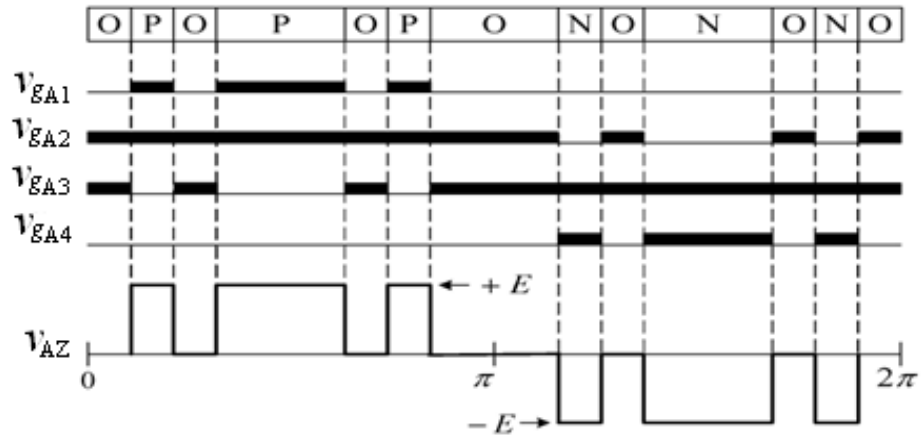


Figura 2-2. Estados de conmutación, señales de compuerta y voltaje polar v_{AZ}.

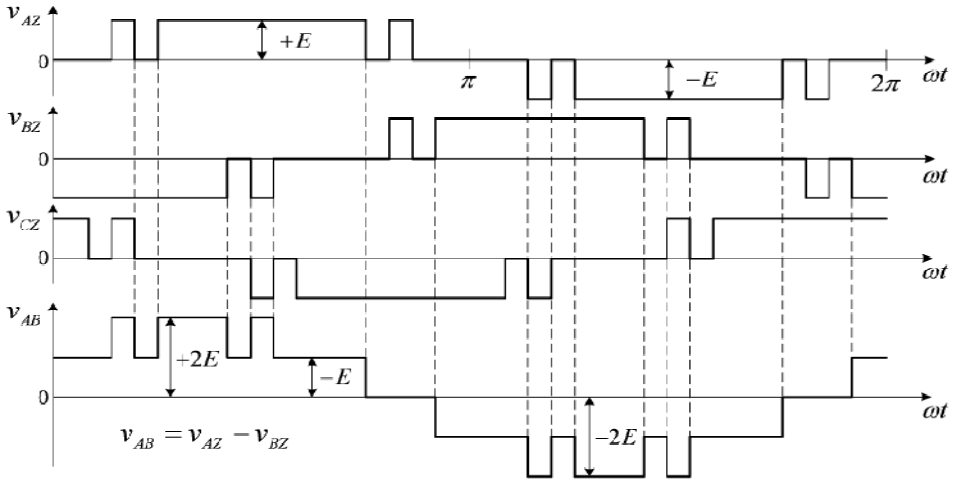


Figura 2-3. Voltajes polares y voltaje de línea del inversor de tres niveles NPC.

2.2.3 PROCESO DE CONMUTACIÓN

Para analizar la conmutación de los interruptores que conforman al inversor NPC, se considerará la transición de los estados de conmutación [O] a [P], abriendo el interruptor S_{A3} y cerrando S_{A1}. La Fig. 2-4a, muestra las señales de compuerta v_{gA1} a v_{gA4} para los interruptores S_{A1} a S_{A4} respectivamente. Al igual que en las señales de compuerta para los interruptores de un inversor de dos niveles, es necesario introducir un tiempo muerto td (td del inglés dead-time) para los interruptores que son controlados de forma complementaria, en este caso S_{A1} y S_{A3}.

En la Fig. 2-4b y 2-4c, se observa el diagrama eléctrico de la rama A del inversor NPC durante el proceso de la conmutación, donde cada uno de los interruptores tiene conectada una resistencia en paralelo para equilibrar el voltaje en estado estático. De acuerdo a la dirección de la corriente en la fase A, los siguientes dos casos son analizados.

Caso 1: Conmutación cuando $\mathbf{i_A > 0}$.

El proceso de conmutación es mostrado en la Fig. 2-4b. Antes de analizar el circuito se asume que:

a) La corriente de fase i_A es constante durante la conmutación debido a que se tiene una carga inductiva.
b) Los capacitores C_{d1} y C_{d2} son suficientemente grandes, y por lo tanto son capaces de mantener el voltaje E entre sus terminales.
c) Todos los interruptores son ideales.

En el estado de conmutación [O], los interruptores S_{A1} y S_{A4} están abiertos mientras que los interruptores S_{A2} y S_{A3} están en conducción. Como la corriente de fase es positiva, el diodo fijador D_{ZA1} es encendido. Los voltajes a través de los interruptores que están en conducción esta dado por $v_{SA2}=v_{SA4}=0$, mientras que el voltaje en cada uno de los interruptores que están abiertos es igual a E.

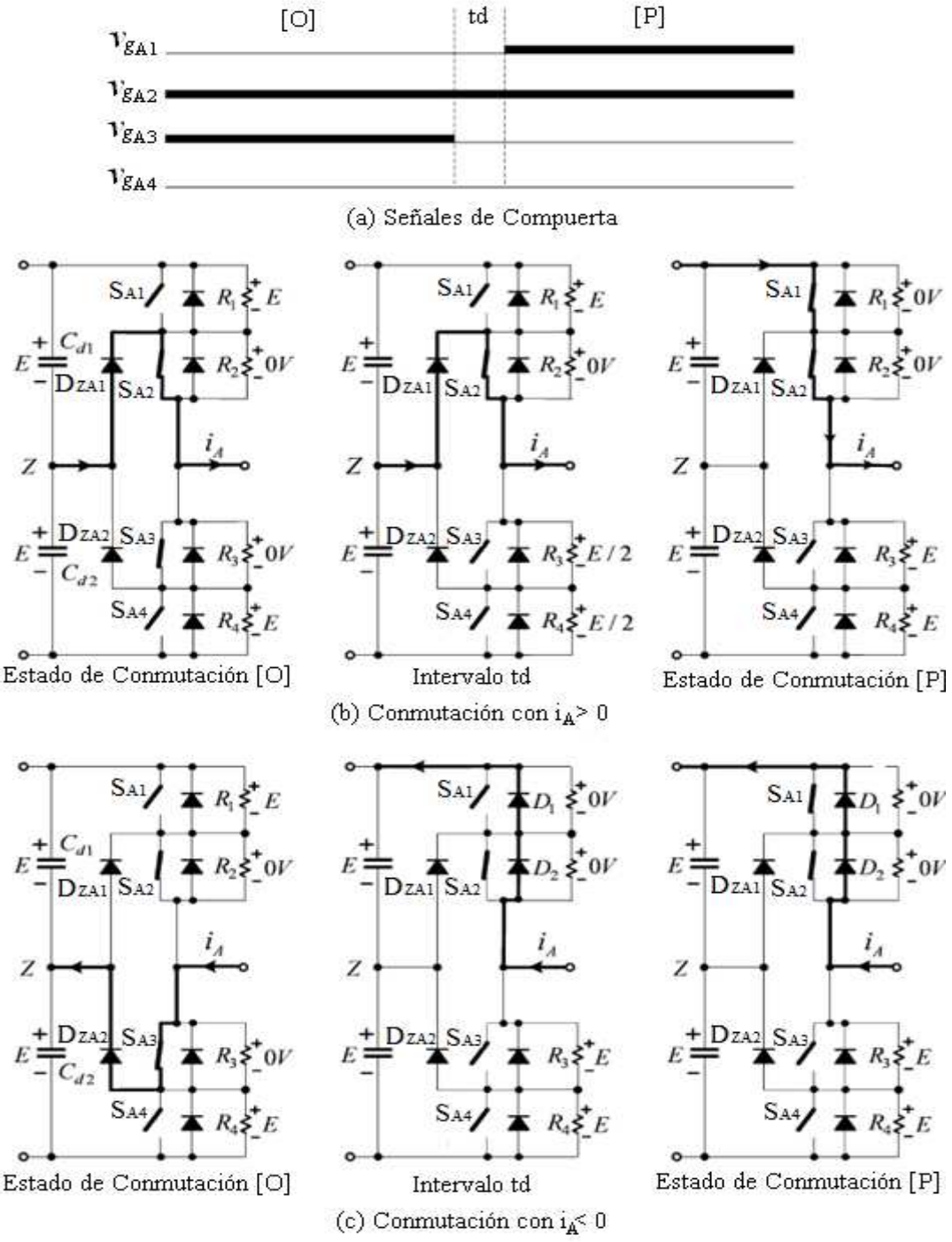


Figura 2-4. Transición de los estados de conmutación [O] a [P].

Durante el intervalo td, S_{A3} se está abriendo, sin embargo, el flujo de la corriente de fase i_A no cambia. Cuando S_{A3} está completamente abierto, los voltajes a través de S_{A3} y S_{A4} son $v_{SA3}=v_{SA4}=E/2$ ya que las resistencias R_3 y R_4 comparten el voltaje en estado estático.

En el estado de conmutación [P] el interruptor S_{A1} está cerrado ($v_{SA1}=0$). El diodo fijador D_{ZA1} es polarizado inversamente y por lo tanto sale de conducción. La corriente i_A es conmutada de D_{ZA1} a S_{A1}. Cuando S_{A3} y S_{A4} ya están apagados, los voltajes entre sus terminales son $v_{SA3}=v_{SA4}=E$.

Caso 2: Conmutación con $\mathbf{i_A<0}$.

El proceso de conmutación se puede observar en la Fig. 2-4c. En el estado de conmutación [O], S_{A2} y S_{A3} conducen, y el diodo fijador D_{ZA2} entra en conducción debido a que circula una corriente de fase i_A negativa. El voltaje a través de los interruptores que están apagados S_{A1} y S_{A4} es $v_{SA1}=v_{SA4}=E$.

Durante el intervalo de tiempo td, S_{A3} se está abriendo. Considerando que se tiene una carga inductiva, la corriente de fase i_A no puede cambiar su dirección de forma instantánea, por lo que los diodos D_{A1} y D_{A2} son polarizados directamente y con esto el voltaje entre las terminales de los interruptores S_{A1} y S_{A2} es $v_{SA1}=v_{SA2}=0$. En esta ocasión la corriente i_A fue conmutada de S_{A3} a los diodos. Durante el tiempo de apertura de S_{A3}, el voltaje a través de S_{A4} no será mayor que E por la presencia del diodo D_{ZA2}, y tampoco será menor que E, ya que durante la conmutación la resistencia equivalente de S_{A3} siempre es menor que la resistencia en estado abierto de S_{A4}. Por lo tanto, v_{SA3} se incrementa desde cero a E, mientras v_{SA4} se mantienen en E.

En el estado de conmutación [P], el cierre del interruptor S_{A1} no modifica la operación de circuito. Aunque S_{A1} y S_{A2} están cerrados, ellos no están conduciendo la corriente de fase i_A debido a que lo están haciendo los diodos D_{A1} y D_{A2}.

Con esto puede ser concluido que todos los interruptores que conforman al inversor NPC, soportan solo la mitad del voltaje total de entrada durante la conmutación del estado [O] a [P]. Lo mismo sucede para las transiciones restantes [P] a [O], [N] a [O] y [O] a [N]. Por lo tanto, los interruptores en el inversor NPC no tiene problemas dinámicos de voltaje.

Es necesario tener en cuenta que hay dos razones por las que está prohibida la transición entre los estados de conmutación [P] y [N]:

a) La transición involucra a los cuatro interruptores de una rama del inversor, dos que se cierran y dos que se abren, de manera que el voltaje dinámico entre ellos podría no ser el mismo.
b) Las pérdidas por conmutación se duplican.

Es importante mencionar que es posible omitir las resistencias R_1 a R_4, siempre y cuando los interruptores de los extremos (S_{X1} y S_{X4}) de cada rama del inversor, tengan menor corriente de fuga que los interruptores del centro (S_{X2} y S_{X3}). De esta forma los voltajes a través de los interruptores de los extremos, que tienden a ser mayores que los del centro, son fijados a E por medio de los diodos de fijación.

En resumen la configuración del inversor de tres niveles NPC presenta las siguientes características:

- No existe el problema de la repartición equitativa del voltaje en el estado dinámico. Cada uno de los interruptores del inversor NPC soporta únicamente la mitad del voltaje total de la fuente de entrada V_d durante la conmutación.
- Los voltajes en estado estático son iguales sin necesidad de incluir componentes adicionales. Se pueden mantener voltajes iguales en estado estático, siempre y cuando, los interruptores de los extremos tengan menor corriente de fuga que los interruptores del centro.
- La distorsión armónica (THD del inglés Total Harmonic Distortion) y el dV/dt son menores. El voltaje de línea está formado por cinco niveles de voltaje, lo cual produce menor contenido armónico y menores variaciones con respecto al tiempo (dV/dt), en comparación con el inversor de dos niveles operando con la misma magnitud del voltaje de alimentación y a la misma frecuencia de conmutación.

Sin embargo el inversor NPC tiene algunas desventajas como lo son; la necesidad de diodos fijadores, diseños de control PWM más complejos, así como, el problema del desbalance en el punto neutro.

2.3 CONTROL DEL INVERSOR DE TRES NIVELES

Una de las técnicas más utilizadas para controlar la señal de salida de un inversor, es la técnica de modulación PWM, la cual varía el ciclo de trabajo de los interruptores que operan a una alta frecuencia, pero que sin embargo generan una señal de voltaje o corriente que en promedio es de baja frecuencia. Las técnicas de modulación PWM de los inversores han sido un área de constante investigación y aun en estos días se siguen perfeccionando. Los objetivos principales de las técnicas de modulación son; controlar amplitud y frecuencia de la señal de salida, disminuir el contenido armónico, aumentar el aprovechamiento de la señal de entrada y controlar el desbalance del punto neutro en caso de ser necesario [6].

A continuación se analizarán las técnicas de modulación PWM más utilizadas para el control del inversor de tres niveles NPC.

2.4 MODULACIÓN SPWM

La modulación senoidal del ancho de los pulsos (SPWM del inglés Sinusoidal Pulse Width Modulation), es una de las técnicas más ampliamente estudiada y empleada en aplicaciones industriales, principalmente porque los resultados que ofrece son aceptables y además es muy fácil de implementar [4]. Al igual que en otras estrategias de modulación, el objetivo de la técnica SPWM es controlar magnitud y frecuencia de la señal de salida del inversor. El principio de operación de la modulación SPWM se basa en comparar una señal de control senoidal también llamada moduladora, con una señal triangular (la mayoría de las veces) también conocida como señal portadora, y de la comparación de estas dos señales se obtienen las señales de control de los interruptores del inversor.

La técnica de modulación SPWM ha sido muy estudiada y de ella se han derivado algunas otras estrategias en las cuales se utilizan diferentes señales portadoras o moduladoras [33], [34], [36].

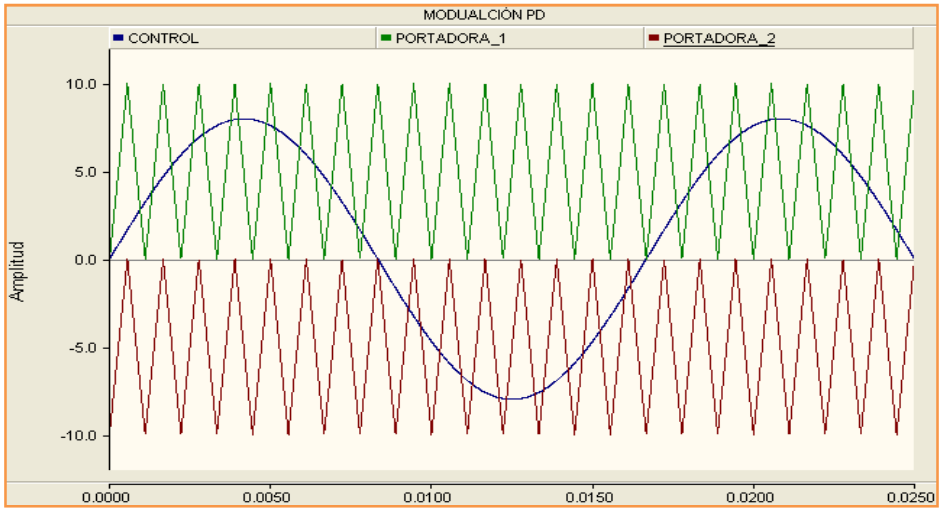
Para el control del inversor de tres niveles NPC, a continuación se analizará la técnica en la cual se modifican las señales portadoras.

2.4.1 MODULACIÓN PWM BASADA EN PORTADORA MODIFICADA

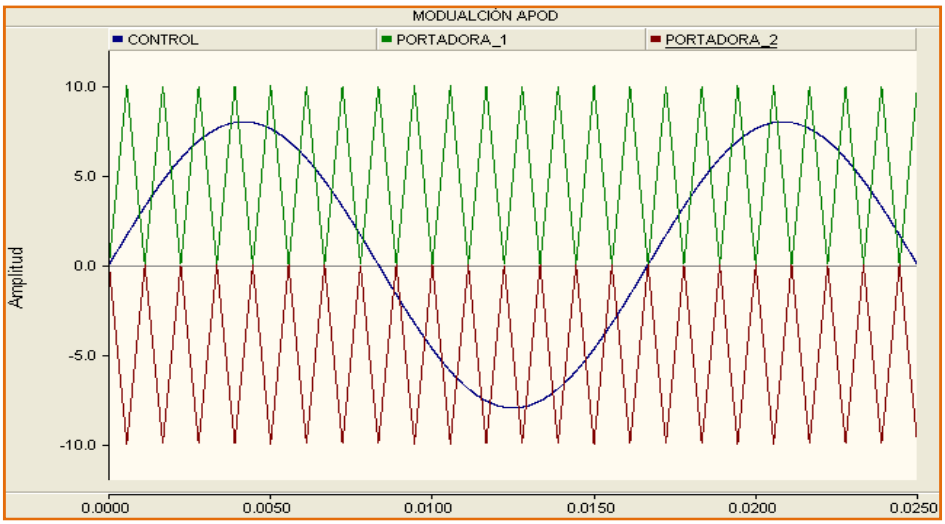
Esta técnica de modulación se basa en la modificación de las señales portadoras con el objetivo de disminuir el contenido armónico en la señal de salida [35]. Los dos esquemas de modulación que pueden ser aplicados en el control del inversor de tres niveles NPC son:

- Esquema de modulación de portadoras en fase (PD del inglés Phase Disposition).
- Esquema de modulación de portadoras en contrafase (APOD del inglés Alternative Phase Opposition Disposition).

El control del inversor de tres niveles NPC, requiere tres señales de control senoidales (una por fase) desfasadas $2\pi/3$, y dos señales portadoras en este caso señales triangulares, las cuales están distribuidas verticalmente [35]. En la Fig. 2-5a), y Fig. 2-5b), se muestra el arreglo de las señales portadoras y la señal de control para la rama A del inversor de tres niveles utilizando el esquema de modulación PD y APOD respectivamente.



a)



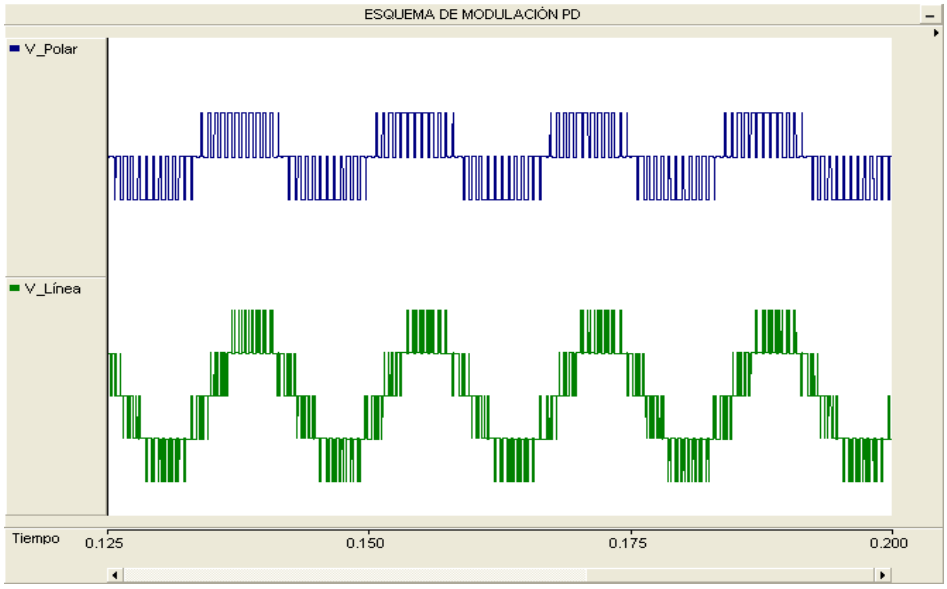
b)

Figura 2-5. Esquemas de modulación basados en portadora modificada. a) PD; b) APOD.

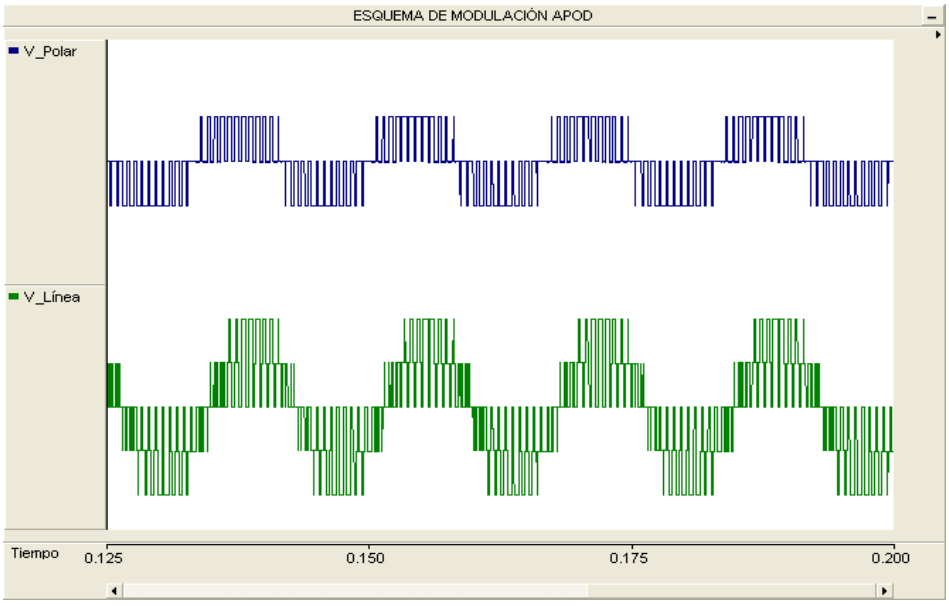
La señal de compuerta v_{g1} para el interruptor S_{A1} es generada a partir de la comparación entre la señal de control y la señal Portadora_1, la señal de compuerta v_{g2} para el interruptor S_{A2} es generada a partir de la comparación de la misma señal de control y la señal portadora_2, mientras que las señales de compuerta v_{g3} y v_{g4} para los interruptores S_{A3} y S_{A4} son los correspondientes estados complementarios de v_{g1} y v_{g2}.

En las Fig. 2-6a y Fig. 2-6b se muestran los voltajes polares y los voltajes de línea utilizando los esquemas de modulación PD y APOD respectivamente.

Finalmente es importante mencionar que es más recomendable utilizar el esquema de modulación PD, ya que el voltaje de línea que produce presenta un menor contenido armónico [5], [6]. Las señales fueron obtenidas después de haber simulado el inversor de tres niveles NPC (Ver Apéndice C) utilizando el software PSCAD® (del inglés Power System Computer Aided Design) [67].



(a)



(b)

Figura 2-6. Voltaje Polar y de Línea. (a) Aplicando modulación PD; (b) Aplicando modulación APOD.

2.5 MODULACIÓN SVM CONVENCIONAL

La estrategia de modulación por vectores espaciales (SVM del inglés Space Vector Modulation) fue desarrollada a mediados de los años 80's con el propósito de mejorar el rendimiento del inversor VSI [54]. En la actualidad la modulación SVM es muy utilizada en el control de inversores VSI, ya que en comparación con la técnica SPWM ofrece ventajas significativas, tales como, un mejor desempeño del inversor, menor contenido armónico en la señal de salida, mayor rango de modulación lineal, además de la posibilidad de controlar el voltaje en el punto neutro para el caso del inversor de tres niveles NPC [5], [6].

A continuación se abordará el esquema de modulación convencional SVM para el control del inversor de tres niveles NPC [5], a partir del cual se han desprendido numerosas variantes que buscan ser más eficientes [19], [55], [56].

2.5.1 VECTORES ESPACIALES

Anteriormente se definieron los estados de conmutación [P], [O] y [N], los cuales representan la operación de cada rama del inversor. El estado de conmutación [P] indica que los interruptores de arriba están cerrados, por lo que el voltaje polar de la rama correspondiente es positivo (+E), el estado de conmutación [O] indica que los interruptores del centro están cerrados, por lo que el voltaje polar es cero (0), y finalmente el estado de conmutación [N] indica que los interruptores de abajo están conduciendo y el voltaje polar es negativo (–E). Por lo tanto, considerando los estados de conmutación de las tres ramas, el inversor tiene en total 27 posibles combinaciones las cuales se encuentran resumidas en la Tabla 2.5-1.

Para establecer la relación entre los vectores espaciales y los estados de conmutación del inversor de tres niveles NPC mostrado en la Fig. 2-1, se realizará el siguiente análisis. Los voltajes polares pueden ser obtenidos de:

$$V_{XZ}(t) = K_x * E \tag{2-1}$$

Donde: K_x que está definida en la Tabla 2.2-1 puede tomar valores entre [1, 0, -1] dependiendo del estado de conmutación [P, O, N], y el sufijo $_X$ determina a que rama del inversor se hace referencia (x=A, B, C).

Los voltajes instantáneos de línea pueden ser obtenidos a partir la variable K_X de:

$$\begin{bmatrix} v_{AB}(t) \\ v_{BC}(t) \\ v_{CA}(t) \end{bmatrix} = E * \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} K_A \\ K_B \\ K_C \end{bmatrix} \tag{2-2}$$

Ahora bien, el voltaje instantáneo de fase al punto neutro de la carga esta dado por:

$$v_{Xn}(t) = v_{XZ}(t) - v_{nZ}(t) \tag{2-3}$$

Y asumiendo que el sistema trifásico es balanceado, se cumple que:

$$v_{An}(t) + v_{Bn}(t) + v_{Cn}(t) = 0 \tag{2-4}$$

Trabajando con (2-3) y (2-4), se obtiene que el voltaje del punto neutro de la carga al punto Z del inversor esta dado por:

$$v_{nZ}(t) = \frac{1}{3} * (v_{AZ}(t) + v_{BZ}(t) + v_{CZ}(t)) \tag{2-5}$$

Ahora sustituyendo (2-5) en (2-3), es posible obtener los voltajes instantáneos de fase en la carga a partir de:

$$\begin{bmatrix} v_{An}(t) \\ v_{Bn}(t) \\ v_{Cn}(t) \end{bmatrix} = \begin{bmatrix} 2/3 & -1/3 & -1/3 \\ -1/3 & 2/3 & -1/3 \\ -1/3 & -1/3 & 2/3 \end{bmatrix} \begin{bmatrix} v_{AZ}(t) \\ v_{BZ}(t) \\ v_{CZ}(t) \end{bmatrix} \tag{2-6}$$

Desde el punto de vista matemático, uno de los voltajes de fase es redundante, dado que conociendo dos de ellos es posible calcular fácilmente el tercero (2-4). Por lo tanto, es posible transformar el sistema trifásico a su equivalente bifásico [5].

$$\begin{bmatrix} v_{\alpha}(t) \\ v_{\beta}(t) \end{bmatrix} = \frac{2}{3} * \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_{An}(t) \\ v_{Bn}(t) \\ v_{Cn}(t) \end{bmatrix} \tag{2-7}$$

Comúnmente se utilizan los coeficientes 2/3 ó $\sqrt{2/3}$. La ventaja principal de utilizar 2/3, es que una vez realizada la transformación, las magnitudes de los voltajes del sistema bifásico serán iguales a las magnitudes de los voltajes del sistema trifásico [5]. Es importante mencionar que la matriz 2-7, también es conocida como matriz de transformación de Clarke.

Un vector espacial puede ser representado en el plano α-β en términos de los voltajes bifásicos.

$$\vec{V}(t) = v_{\alpha}(t) + jv_{\beta}(t) \tag{2-8}$$

Ahora sustituyendo (2-7) en (2-8), tenemos:

$$\vec{V}(t) = \frac{2}{3}\left[v_{An}(t)e^{j0} + v_{Bn}(t)e^{j2\pi/3} + v_{Cn}(t)e^{j4\pi/3}\right] \tag{2-9}$$

Donde: $e^{jx} = \cos x + j \sin x$, y x = 0, 2π/3 o 4π/3.

Para el estado de conmutación [PNN], los voltajes de fase en la carga obtenidos a partir de (2-6) son:

$$v_{An}(t) = \frac{2}{3}V_d\,, \qquad v_{Bn}(t) = -\frac{1}{3}V_d\,, \qquad v_{Cn}(t) = -\frac{1}{3}V_d \tag{2-10}$$

Donde: V_d=2E.

Por lo tanto el vector espacial correspondiente, denotado como $\vec{V}_1$ puede ser obtenido sustituyendo (2-10) en (2-9) y se obtiene:

$$\vec{V}_1 = \frac{2}{3}V_d e^{j0} \tag{2-11}$$

Siguiendo el mismo procedimiento, se pueden calcular los vectores restantes.

Los 27 estados de conmutación listados en la Tabla 2.5-1, corresponden a los 19 vectores de voltaje, los cuales representan el diagrama de vectores espaciales del inversor de tres niveles NPC y el cual es mostrado en la Fig. 2-7.

TABLA 2.5-1. VECTORES ESPACIALES CORRESPONDIENTES A LOS ESTADOS DE CONMUTACIÓN DEL INVERSOR DE TRES NIVELES NPC

Vector Espacial		Estado de Conmutación		Coordenadas del Vector		Clasificación del Vector	Magnitud del Vector
				V_α	V_β		
$\overrightarrow{V_0}$		[PPP][OOO][NNN]		0	0	Vector Cero	0
		Tipo_P	Tipo_N			Vector Chico	$\frac{1}{3}V_d$
$\overrightarrow{V_1}$	$\overrightarrow{V_{1P}}$	[POO]		$1/3\,V_d$	0		
	$\overrightarrow{V_{1N}}$		[ONN]	$1/3\,V_d$	0		
$\overrightarrow{V_2}$	$\overrightarrow{V_{2P}}$	[PPO]		$1/6\,V_d$	$1/\sqrt{12}\,V_d$		
	$\overrightarrow{V_{2N}}$		[OON]	$1/6\,V_d$	$1/\sqrt{12}\,V_d$		
$\overrightarrow{V_3}$	$\overrightarrow{V_{3P}}$	[OPO]		$-1/6\,V_d$	$1/\sqrt{12}\,V_d$		
	$\overrightarrow{V_{3N}}$		[NON]	$-1/6\,V_d$	$1/\sqrt{12}\,V_d$		
$\overrightarrow{V_4}$	$\overrightarrow{V_{4P}}$	[OPP]		$-1/3\,V_d$	0		
	$\overrightarrow{V_{4N}}$		[NOO]	$-1/3\,V_d$	0		
$\overrightarrow{V_5}$	$\overrightarrow{V_{5P}}$	[OOP]		$-1/6\,V_d$	$-1/\sqrt{12}\,V_d$		
	$\overrightarrow{V_{5N}}$		[NNO]	$-1/6\,V_d$	$-1/\sqrt{12}\,V_d$		
$\overrightarrow{V_6}$	$\overrightarrow{V_{6P}}$	[POP]		$1/6\,V_d$	$-1/\sqrt{12}\,V_d$		
	$\overrightarrow{V_{6N}}$		[ONO]	$1/6\,V_d$	$-1/\sqrt{12}\,V_d$		
$\overrightarrow{V_7}$		[PON]		$1/2\,V_d$	$1/\sqrt{12}\,V_d$	Vector Mediano	$\frac{\sqrt{3}}{3}V_d$
$\overrightarrow{V_8}$		[OPN]		0	$1/\sqrt{3}\,V_d$		
$\overrightarrow{V_9}$		[NPO]		$-1/2\,V_d$	$1/\sqrt{12}\,V_d$		
$\overrightarrow{V_{10}}$		[NOP]		$-1/2\,V_d$	$-1/\sqrt{12}\,V_d$		
$\overrightarrow{V_{11}}$		[ONP]		0	$-1/\sqrt{3}\,V_d$		
$\overrightarrow{V_{12}}$		[PNO]		$1/2\,V_d$	$-1/\sqrt{12}\,V_d$		
$\overrightarrow{V_{13}}$		[PNN]		$2/3\,V_d$	0	Vector Grande	$\frac{2}{3}V_d$
$\overrightarrow{V_{14}}$		[PPN]		$1/3\,V_d$	$1/\sqrt{3}\,V_d$		
$\overrightarrow{V_{15}}$		[NPN]		$-1/3\,V_d$	$1/\sqrt{3}\,V_d$		
$\overrightarrow{V_{16}}$		[NPP]		$-2/3\,V_d$	0		
$\overrightarrow{V_{17}}$		[NNP]		$-1/3\,V_d$	$-1/\sqrt{3}\,V_d$		
$\overrightarrow{V_{18}}$		[PNP]		$1/3\,V_d$	-$1/\sqrt{3}\,V_d$		

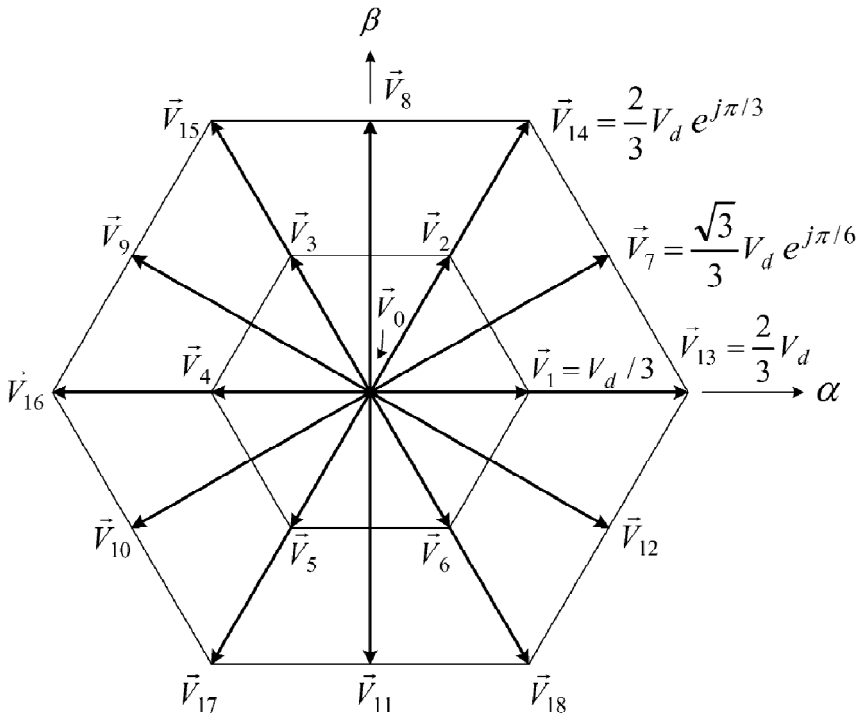


Figura 2-7. Diagrama vectorial del inversor de tres niveles.

En base a la magnitud, los vectores espaciales pueden ser clasificados en cuatro grupos:

- Vectores Cero ($\vec{V}_0$), representados por los tres estados de conmutación [PPP], [OOO] y [NNN]. La magnitud del vector $\vec{V}_0$ es cero.
- Vectores Chicos ($\vec{V}_1$ a $\vec{V}_6$), con magnitud de $V_d/3$. Cada vector chico tiene dos estados de conmutación, uno en el que está presente el estado [P] y en el otro el estado [N], y por lo tanto son clasificados como vectores chicos del tipo P y del tipo N.
- Vectores Medianos ($\vec{V}_7$ a $\vec{V}_{12}$), en los cuales la magnitud es de $\sqrt{3}\,V_d/3$.
- Vectores Grandes ($\vec{V}_{13}$ a $\vec{V}_{18}$), con magnitud de $2V_d/3$.

Finalmente es importante mencionar que los vectores chicos, medianos y grandes, también son conocidos como vectores activos, ya que su magnitud es diferente de cero.

2.5.2 CÁLCULO DE LOS TIEMPOS DE APLICACIÓN

Para facilitar el cálculo de los tiempos de aplicación, el diagrama de vectores espaciales de la Fig. 2-7, puede ser dividido en seis sectores triangulares (I a VI), y a su vez cada uno de ellos puede ser subdividido en cuatro regiones (1 a 4) tal y como se muestra en la Fig. 2-8. Además, en la Fig. 2-8 también se pueden observar los estados de conmutación asociados a cada vector espacial. Observe que los vectores activos y los vectores cero no se mueven, por ello también son conocidos como vectores estacionarios. Por el contrario, el vector de referencia ($\vec{V}_{ref}$) que se desea generar y que también es mostrado en la Fig. 2-8, gira a una velocidad angular que está determinada por:

$$w = 2\pi f_1 \tag{2-12}$$

Donde: f_1 es la frecuencia fundamental del voltaje de salida del inversor.

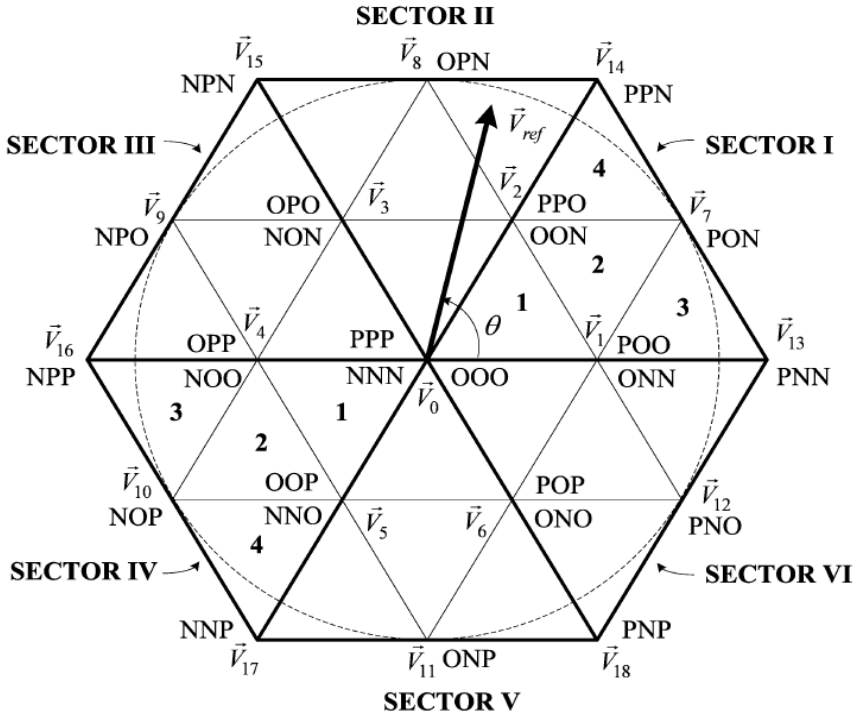


Figura 2-8. Sectores del diagrama vectorial del inversor de tres niveles.

Para una determinada magnitud y posición, el $\vec{V}_{ref}$ puede ser representado a partir de los tres vectores estacionarios más cercanos, y en base a ello los estados de conmutación del inversor pueden ser seleccionados por medio de las señales de compuerta de los correspondientes interruptores. Cuando el $\vec{V}_{ref}$ pasa a través de los diferentes sectores y regiones del diagrama de vectores espaciales, diferentes interruptores son cerrados y abiertos. De esta forma cuando el $\vec{V}_{ref}$ da un giro en el diagrama de vectores espaciales, el voltaje de salida del inversor completa un ciclo en el tiempo. Por lo tanto la frecuencia de salida del inversor depende de la velocidad de giro del $\vec{V}_{ref}$, mientras que, la amplitud del voltaje de salida es controlada por medio de la magnitud del $\vec{V}_{ref}$.

El tiempo de aplicación de los vectores estacionarios representa la relación de tiempo en la que un determinado interruptor está cerrado o abierto durante un periodo de conmutación T_S. El cálculo del tiempo de aplicación de los vectores espaciales se basa en que el producto del voltaje de referencia $\vec{V}_{ref}$ y el periodo de conmutación T_S, debe ser igual a la suma del voltaje multiplicado por el intervalo de tiempo de los vectores seleccionados. Considerando que el $\vec{V}_{ref}$ se encuentra en la región 2 del sector I como se muestra en la Fig. 2-9, los tres vectores más próximos son $\overrightarrow{V_1}$, $\overrightarrow{V_2}$, y $\overrightarrow{V_7}$, por lo tanto se cumple que:

$$\overrightarrow{V_1}T_a + \overrightarrow{V_7}T_b + \overrightarrow{V_2}T_c = \vec{V}_{ref}\,T_s \tag{2-13}$$

$$T_a + T_b + T_c = T_s$$

Los vectores espaciales de voltaje $\vec{V}_1$, $\vec{V}_2$, $\vec{V}_7$, y $\vec{V}_{ref}$ que se observan en la Fig. 2-9 pueden ser expresados como:

$$\vec{V}_1 = \frac{1}{3}V_d, \quad \vec{V}_2 = \frac{1}{3}V_d e^{j\pi/3}, \quad \vec{V}_7 = \frac{\sqrt{3}}{3}V_d e^{j\pi/6}, \quad y \quad \vec{V}_{ref} = V_{ref}e^{j\theta} \tag{2-14}$$

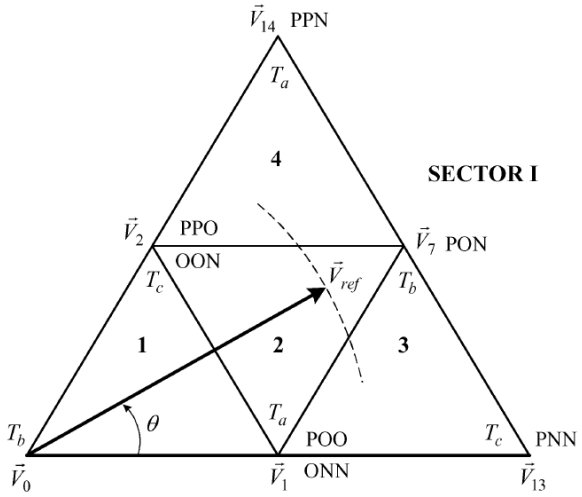


Figura 2-9. Vectores Espaciales que conforma el Sector I

Ahora sustituyendo (2-14) en (2-13) se tiene:

$$\frac{1}{3}V_d T_a + \frac{\sqrt{3}}{3}V_d e^{j\pi/6} T_b + \frac{1}{3}V_d e^{j\pi/3} T_c = V_{ref} e^{j\theta} T_s \tag{2-15}$$

Expandiendo (2-15):

$$\frac{1}{3}V_d T_a + \frac{\sqrt{3}}{3}V_d \left(\cos\frac{\pi}{6} + j\sin\frac{\pi}{6}\right) T_b + \frac{1}{3}V_d \left(\cos\frac{\pi}{3} + j\sin\frac{\pi}{3}\right) T_c \tag{2-16}$$
$$= V_{ref}(\cos\theta + j\sin\theta) T_s$$

Agrupando los términos real e imaginario de (2-16), se obtiene:

$$Re:\ T_a + \frac{3}{2}T_b + \frac{1}{2}T_c = 3\frac{V_{ref}}{V_d}(\cos\theta) T_s$$
$$Im:\ \frac{3}{2}T_b + \frac{\sqrt{3}}{2}T_c = 3\frac{V_{ref}}{V_d}(\sin\theta) T_s \tag{2-17}$$
$$T_a + T_b + T_c = T_s$$

Resolviendo (2-17):

$$T_a = T_s[1 - 2m_a \sin\theta]$$
$$T_b = T_s\left[2m_a \sin\left(\frac{\pi}{3} + \theta\right) - 1\right] \tag{2-18}$$
$$T_c = T_s\left[1 - 2m_a \sin\left(\frac{\pi}{3} - \theta\right)\right]$$

Donde: m_a es el índice de modulación y está definido como:

$$m_a = \sqrt{3}\frac{V_{ref}}{V_d} \tag{2-19}$$

La magnitud máxima del $\vec{V}_{ref}$ en la zonal lineal de modulación, corresponde al radio del más grande círculo que puede ser trazado dentro del hexágono y el cual coincide con la magnitud de los vectores medianos, tal y como se muestra en la Fig. 2-8.

$$V_{ref,max} = \sqrt{3}\frac{V_d}{3} \tag{2-20}$$

Sustituyendo (2-20) en (2-19), se obtiene que el índice máximo de modulación en la zona lineal es:

$$m_a = \sqrt{3}\frac{V_{refmax}}{V_d} = 1 \tag{2-21}$$

Por lo que el rango del índice de modulación m_a es:

$$0 \leq m_a \leq 1 \tag{2-22}$$

En la Tabla 2.5-2, se muestran las ecuaciones que determinan los tiempos de aplicación de los vectores espaciales, considerando que el $\vec{V}_{ref}$ se encuentra en el sector I del espacio vectorial. Sin embargo, las ecuaciones mostradas también pueden ser utilizadas para calcular los tiempos de aplicación de los vectores, cuando el $\vec{V}_{ref}$ se encuentre en algún otro de los sectores restantes (II a VI), siempre y cuando un múltiplo de $\pi/3$ le sea sustraído al ángulo de desplazamiento Θ, tal que el valor resultante este en el rango de:

$$0 \leq \theta \leq \frac{\pi}{3} \tag{2-23}$$

2.5.3 Relación entre la Posición del $\vec{V}_{ref}$ y los Tiempos de Aplicación

Para demostrar la relación entre la posición del $\vec{V}_{ref}$ y los tiempos de aplicación, observar el ejemplo mostrado en la Fig. 2-10. Considerando que el $\vec{V}_{ref}$ apunta al centro de la región 4, punto que es referenciado con la letra Q, implica que los tiempos de los tres vectores más cercanos $\vec{V}_2$, $\vec{V}_7$, y $\vec{V}_{14}$ deben ser iguales dado que la distancia desde el punto Q a cualquiera de ellos es la misma. Esto puede ser verificado sustituyendo m_a=0.882 y Θ=49.1º, en las ecuaciones mostradas en la Tabla 2.5-2, y los tiempos de aplicación obtenidos son $T_a = T_b = T_c = 0.333T_s$.

Cuando el $\vec{V}_{ref}$ se mueve a través de la línea punteada hacía el $\vec{V}_2$, la influencia del $\vec{V}_2$ sobre el $\vec{V}_{ref}$ es más pronunciada, lo que se traduce en un mayor tiempo de aplicación del $\vec{V}_2$. Cuando el $\vec{V}_{ref}$ es igual al $\vec{V}_2$, el tiempo de aplicación T_c para el $\vec{V}_2$ es el valor máximo ($T_c = T_s$) mientras que los valores de T_a y T_b para los vectores $\vec{V}_{14}$ y $\vec{V}_7$ respectivamente, son igual cero.

TABLA 2.5-2. CÁLCULO DE LOS TIEMPOS DE APLICACIÓN CUANDO EL $\vec{V}_{ref}$ ESTÁ EN EL SECTOR I

Región	T_a		T_b		T_c	
1	$\vec{V}_1$	$T_s\left[2m_a \sin\left(\frac{\pi}{3}-\theta\right)\right]$	$\vec{V}_0$	$T_s\left[1-2m_a \sin\left(\frac{\pi}{3}+\theta\right)\right]$	$\vec{V}_2$	$T_s[2m_a \sin\theta]$
2	$\vec{V}_1$	$T_s[1-2m_a \sin\theta]$	$\vec{V}_7$	$T_s\left[2m_a \sin\left(\frac{\pi}{3}+\theta\right)-1\right]$	$\vec{V}_2$	$T_s\left[1-2m_a \sin\left(\frac{\pi}{3}-\theta\right)\right]$
3	$\vec{V}_1$	$T_s\left[2-2m_a \sin\left(\frac{\pi}{3}+\theta\right)\right]$	$\vec{V}_7$	$T_s[2m_a \sin\theta]$	$\vec{V}_{13}$	$T_s\left[2m_a \sin\left(\frac{\pi}{3}-\theta\right)-1\right]$
4	$\vec{V}_{14}$	$T_s[2m_a \sin\theta-1]$	$\vec{V}_7$	$T_s\left[2m_a \sin\left(\frac{\pi}{3}-\theta\right)\right]$	$\vec{V}_2$	$T_s\left[2-2m_a \sin\left(\frac{\pi}{3}+\theta\right)\right]$

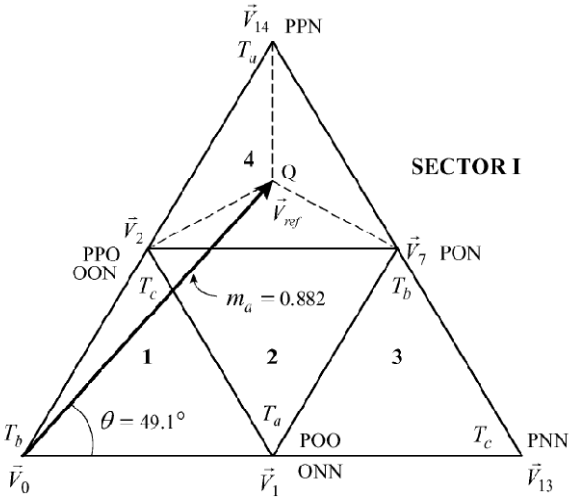


Figura 2-10. Relación entre la posición de $\vec{V}_{ref}$ y los tiempos de aplicación.

2.5.4 SECUENCIA DE CONMUTACIÓN

Una vez que han sido seleccionados los vectores espaciales y además se han calculado los tiempos de aplicación, el siguiente paso es determinar la secuencia de conmutación. En general, la secuencia de conmutación que genera un determinado $\vec{V}_{ref}$ no es única, pero para satisfacer el requerimiento de minimizar la frecuencia de conmutación de los dispositivos semiconductores, es necesario satisfacer los siguientes dos incisos:

a) La transición entre cada uno de los estados de conmutación debe involucrar únicamente dos interruptores en la misma rama, uno que está siendo abierto y el otro que se está cerrando.
b) Es necesario minimizar o si es posible prescindir de conmutaciones cuando el $\vec{V}_{ref}$ transita entre los diferentes sectores (o regiones) del espacio vectorial.

Los puntos anteriores también aplican a un inversor convencional de dos niveles, sin embargo para determinar la secuencia de conmutación del inversor de tres niveles NPC, es necesario considerar adicionalmente la variación de voltaje en el punto Z. El voltaje en el punto neutro (v_Z) está definido como el voltaje entre el punto neutral Z y la terminal negativa de la fuente V_d, y normalmente varía con los diferentes estados de conmutación. Por lo tanto, cuando se determina la secuencia de conmutación es necesario satisfacer el siguiente requerimiento adicional:

c) Minimizar el efecto de la variación del voltaje en el punto neutro, que es propiciada por la aplicación de los diferentes estados de conmutación.

2.5.5 VARIACIÓN DEL VOLTAJE EN EL PUNTO NEUTRO DEBIDA A LOS ESTADOS DE CONMUTACIÓN

El efecto de los estados de conmutación en la variación del punto neutro es ilustrado en la Fig. 2-11. Cuando el inversor trabaja con el estado de conmutación [PPP] correspondiente al vector $\vec{V}_0$, los interruptores superiores de cada rama del inversor están cerrados, conectando las terminales A, B y C a la terminal positiva de la fuente V_d como se observa en la Fig. 2-11(a). El punto neutro Z no está conectado a la carga y por lo tanto este estado de conmutación no afecta al v_z. Algo similar sucede cuando se utilizan los otros dos estados de conmutación cero ([OOO] y [NNN]), no hay variación del voltaje en el punto neutro.

En la Fig. 2-11(b), se muestra la operación del inversor con un estado de conmutación del tipo P [POO] correspondiente al vector chico $\vec{V}_1$. Se puede observar que la carga está conectada entre la terminal positiva de la fuente V_d y el punto neutro Z, además de que la corriente i_z fluye hacia el punto Z, causando un incremento en el v_z. Por el contrario cuando se utiliza el estado de conmutación del tipo N [ONN], correspondiente al mismo vector $\vec{V}_1$ provoca que v_z disminuya tal y como se observa en la Fig. 2-11(c).

Los vectores medianos de voltaje también modifican v_z. Considerando el vector $\vec{V}_7$ con estado de conmutación [PON] como se muestra en la Fig. 2-11(d), implica que las terminales A, B y C de la carga, son conectadas a la terminal positiva, al punto Z y a la terminal negativa respectivamente. En esta ocasión el comportamiento del voltaje v_z no está bien definido, ya que podría aumentar o disminuir dependiendo de las características del inversor.

Ahora considerando el vector grande $\vec{V}_{13}$ con estado de conmutación [PNN] mostrado de la Fig. 2-11(e), implica que las terminales de la carga son conectadas a las terminales positiva y negativa de la fuente V_d. El punto neutro Z no está conectado y por lo tanto el v_z no se modifica.

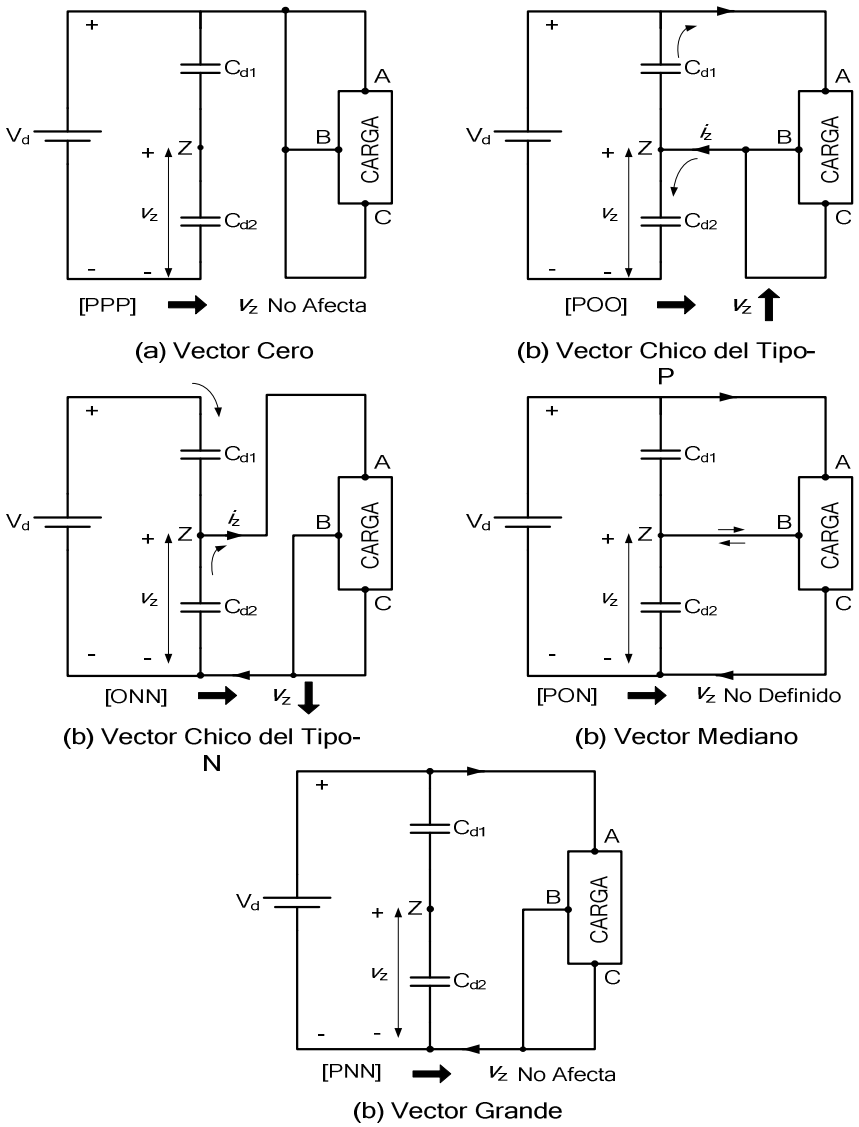


Figura 2-11. Efecto de los estados de conmutación en la variación del voltaje en el punto neutro.

Finalmente se puede concluir que:

- Los vectores $\vec{V}_0$ no modifican el voltaje en el punto neutro.
- Los vectores chicos $\vec{V}_1$ a $\vec{V}_6$ si influyen en el voltaje en el punto neutro, los vectores del tipo P lo aumentan, mientras que los del tipo N lo disminuyen.
- Los vectores medianos $\vec{V}_7$ a $\vec{V}_{12}$ también modifican el voltaje en el punto neutro, solo que no está definido si el voltaje aumente o disminuye.
- Los vectores grandes $\vec{V}_{13}$ a $\vec{V}_{18}$ no influyen en el voltaje en el punto neutro.

2.5.6 SECUENCIA DE CONMUTACIÓN CON VARIACIÓN MÍNIMA DE VOLTAJE EN EL PUNTO NEUTRO

Para minimizar la variación del voltaje en el punto neutro, es necesario que los tiempos de aplicación de los vectores chicos estén distribuidos de forma tal que, los vectores del tipo P y del tipo N sean aplicados el mismo lapso de tiempo.

De acuerdo con la región triangular en la que se localiza al $\vec{V}_{ref}$, los siguientes dos casos deben ser analizados.

CASO 1. DE LOS TRES VECTORES SELECCIONADOS UNO DE ELLOS ES UN VECTOR CHICO

Cuando el $\vec{V}_{ref}$ está en la región 3 o 4 del sector I como se observa en la Fig. 2-9, solo uno de los tres vectores más cercanos es chico. Considerando que el $\vec{V}_{ref}$ se encuentra en la región 4, los vectores más próximos son $\vec{V}_2$, $\vec{V}_7$, y $\vec{V}_{14}$. Para minimizar la variación del voltaje en el punto neutro, el tiempo de aplicación de los vectores del tipo P y del tipo N debe ser el mismo.

La Fig. 2-12, muestra una secuencia de conmutación típica de siete segmentos también conocida como secuencia con alineación de centros, de la cual se puede observar lo siguiente:

- Los siete segmentos son generados en un periodo de conmutación T_S.
- La transición entre los estados de conmutación involucra únicamente dos interruptores. Por ejemplo, la transición del estado de conmutación [OON] a [PON] es completada cerrando el interruptor S_{A1} y abriendo el interruptor S_{A3}.
- El tiempo de aplicación de los vectores $\vec{V}_{2P}$ y $\vec{V}_{2N}$ es el mismo.
- De los cuatro interruptores que conforman una rama del inversor NPC, únicamente dos de ellos son cerrados y abiertos una sola vez en un periodo de conmutación.

CASO 2: DE LOS TRES VECTORES SELECCIONADOS, DOS DE ELLOS SON VECTORES CHICOS

Cuando el $\vec{V}_{ref}$ está en la región 1 o 2 del sector I como se muestra en la Fig. 2-9, dos de los tres vectores más cercanos son chicos. Por lo tanto para reducir la variación del voltaje en el punto neutro, cada una de las dos regiones será dividida en dos subregiones tal y como se muestra en la Fig. 2-13.

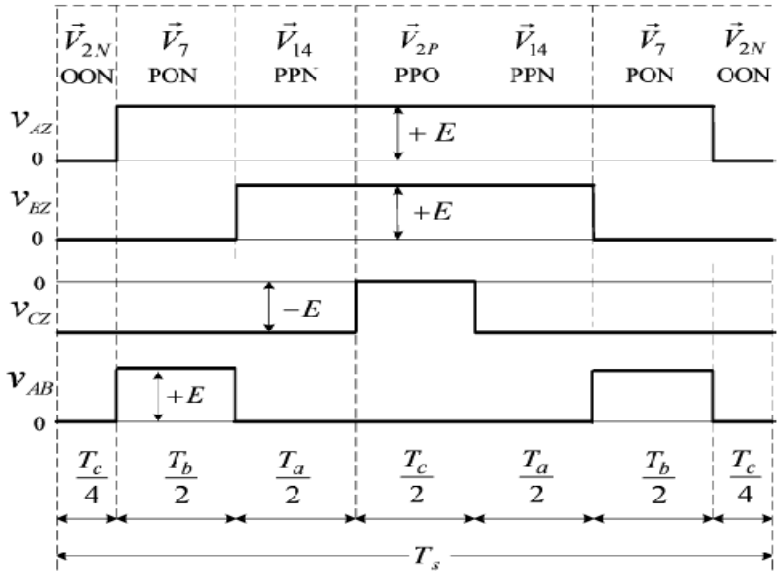


Figura 2-12. Secuencia de conmutación de siete segmentos.

Considerando que el $\vec{V}_{ref}$ está en la subregión 2a, los vectores más cercanos son $\vec{V}_1$, $\vec{V}_2$, y $\vec{V}_7$. Teniendo en cuenta que el $\vec{V}_{ref}$ se encuentra más próximo a $\vec{V}_1$ que a $\vec{V}_2$, implica que el tiempo de aplicación T_a para $\vec{V}_1$ es mayor que T_b para $\vec{V}_2$. Ahora bien, el vector $\vec{V}_1$ al que se le puede nombrar vector dominante, está compuesto por los vectores $\vec{V}_{1P}$ y $\vec{V}_{1N}$, los cuales son aplicados el mismo tiempo tal como se puede observar en la Tabla 2.5-3. Con esto se consigue minimizar la variación de voltaje en el punto neutro.

Considerando el análisis anterior, todas las secuencias de conmutación en los sectores I y II son resumidas en la Tabla 2.5-4, de la cual se obtienen las siguientes conclusiones:

- Cuando $\vec{V}_{ref}$ pasa del sector I al II, no se necesita ninguna conmutación.
- Cuando $\vec{V}_{ref}$ cruza de la subregión a hacia b, se requiere una conmutación adicional.

Finalmente se concluye que utilizando una secuencia de conmutación de siete segmentos, así como realizando la división de los sectores del diagrama vectorial del inversor de tres niveles, es posible minimizar la variación del voltaje en el punto neutro propiciada por la aplicación de los diferentes estados de conmutación.

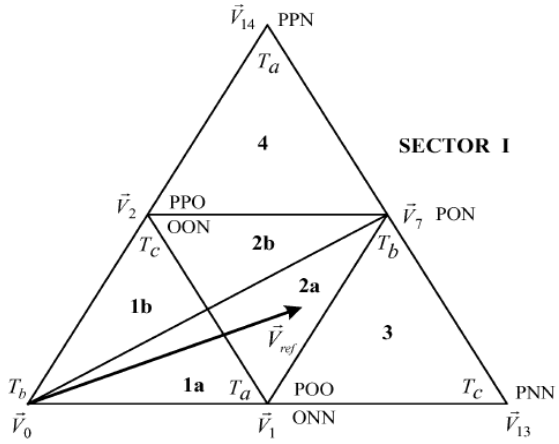


Figura 2-13. División del Sector I para minimizar la variación del voltaje en el punto neutro.

TABLA 2.5-3. SECUENCIA DE CONMUTACIÓN DE SIETE SEGMENTOS PARA EL SECTOR I-2a

Segmento	1º	2º	3º	4º	5º	6º	7º
Vector de Voltaje	$\vec{V}_{1N}$	$\vec{V}_{2N}$	$\vec{V}_{7}$	$\vec{V}_{1P}$	$\vec{V}_{7}$	$\vec{V}_{2N}$	$\vec{V}_{1N}$
Estado de Conmutación	[ONN]	[OON]	[PON]	[POO]	[PON]	[OON]	[ONN]
Tiempo de Aplicación	$\frac{T_a}{4}$	$\frac{T_c}{2}$	$\frac{T_b}{2}$	$\frac{T_a}{2}$	$\frac{T_b}{2}$	$\frac{T_c}{2}$	$\frac{T_a}{4}$

TABLA 2.5-4. SECUENCIA DE CONMUTACIÓN DE LOS SECTORES I Y II

Sector I												
Seg	1a		1b		2a		2b		3		4	
1º	$\vec{V}_{1N}$	[ONN]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{1N}$	[ONN]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{1N}$	[ONN]	$\vec{V}_{2N}$	[OON]
2º	$\vec{V}_{2N}$	[OON]	$\vec{V}_{0}$	[OOO]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{7}$	[PON]	$\vec{V}_{13}$	[PNN]	$\vec{V}_{7}$	[PON]
3º	$\vec{V}_{0}$	[OOO]	$\vec{V}_{1P}$	[POO]	$\vec{V}_{7}$	[PON]	$\vec{V}_{1P}$	[POO]	$\vec{V}_{7}$	[PON]	$\vec{V}_{14}$	[PPN]
4º	$\vec{V}_{1P}$	[POO]	$\vec{V}_{2P}$	[PPO]	$\vec{V}_{1P}$	[POO]	$\vec{V}_{2P}$	[PPO]	$\vec{V}_{1P}$	[POO]	$\vec{V}_{2P}$	[PPO]
5º	$\vec{V}_{0}$	[OOO]	$\vec{V}_{1P}$	[POO]	$\vec{V}_{7}$	[PON]	$\vec{V}_{1P}$	[POO]	$\vec{V}_{7}$	[PON]	$\vec{V}_{14}$	[PPN]
6º	$\vec{V}_{2N}$	[OON]	$\vec{V}_{0}$	[OOO]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{7}$	[PON]	$\vec{V}_{13}$	[PNN]	$\vec{V}_{7}$	[PON]
7º	$\vec{V}_{1N}$	[ONN]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{1N}$	[ONN]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{1N}$	[ONN]	$\vec{V}_{2N}$	[OON]
Sector II												
Seg	1a		1b		2a		2b		3		4	
1º	$\vec{V}_{2N}$	[OON]	$\vec{V}_{3N}$	[NON]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{3N}$	[NON]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{3N}$	[NON]
2º	$\vec{V}_{0}$	[OOO]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{8}$	[OPN]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{8}$	[OPN]	$\vec{V}_{15}$	[NPN]
3º	$\vec{V}_{3P}$	[OPO]	$\vec{V}_{0}$	[OOO]	$\vec{V}_{3P}$	[OPO]	$\vec{V}_{8}$	[OPN]	$\vec{V}_{14}$	[PPN]	$\vec{V}_{8}$	[OPN]
4º	$\vec{V}_{2P}$	[PPO]	$\vec{V}_{3P}$	[OPO]	$\vec{V}_{2P}$	[PPO]	$\vec{V}_{3P}$	[OPO]	$\vec{V}_{2P}$	[PPO]	$\vec{V}_{3P}$	[OPO]
5º	$\vec{V}_{3P}$	[OPO]	$\vec{V}_{0}$	[OOO]	$\vec{V}_{3P}$	[OPO]	$\vec{V}_{8}$	[OPN]	$\vec{V}_{14}$	[PPN]	$\vec{V}_{8}$	[OPN]
6º	$\vec{V}_{0}$	[OOO]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{8}$	[OPN]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{8}$	[OPN]	$\vec{V}_{15}$	[NPN]
7º	$\vec{V}_{2N}$	[OON]	$\vec{V}_{3N}$	[NON]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{3N}$	[NON]	$\vec{V}_{2N}$	[OON]	$\vec{V}_{3N}$	[NON]

2.6 MODULACIÓN SVM SIMPLIFICADA

En la sección en donde se analizó la operación del inversor de tres niveles NPC, se observó que existen 27 estados de conmutación, de ahí la complejidad al tener que seleccionar el estado de conmutación apropiado. Por lo tanto la técnica de modulación SVM simplificada tiene como objetivo, facilitar el cálculo de tiempos de los estados de conmutación que generan un determinado $\vec{V}_{ref}$, así como reducir el tiempo de procesamiento [19].

La simplificación se realiza bajo la premisa de que el diagrama vectorial de tres niveles está compuesto por seis diagramas vectoriales de dos niveles, dicho de otra forma, el hexágono de tres niveles está constituido por seis hexágonos de dos niveles tal y como se observa en la Fig. 2-14. El origen de los hexágonos de dos niveles se encuentra en los ápices del hexágono interno del diagrama vectorial de tres niveles.

El procedimiento general que se debe seguir para simplificar el diagrama vectorial del inversor de tres niveles NPC es el siguiente:

1. Seleccionar uno de los seis hexágonos de dos niveles a partir de la posición del vector de referencia.
2. Recalcular el vector de referencia, debido a que es necesario trasladarlo del centro del hexágono de tres niveles, hacia el centro del correspondiente hexágono de dos niveles.

Una vez que se ha realizado la simplificación del espacio vectorial de tres niveles, es posible determinar los tiempos de aplicación de los vectores espaciales, así como la secuencia de conmutación considerando un espacio vectorial de dos niveles. Por lo tanto es admisible utilizar cualquier algoritmo SVM implementado en un inversor convencional de dos niveles [19]. A continuación se desarrollarán los dos puntos necesarios para realizar la simplificación del algoritmo SVM.

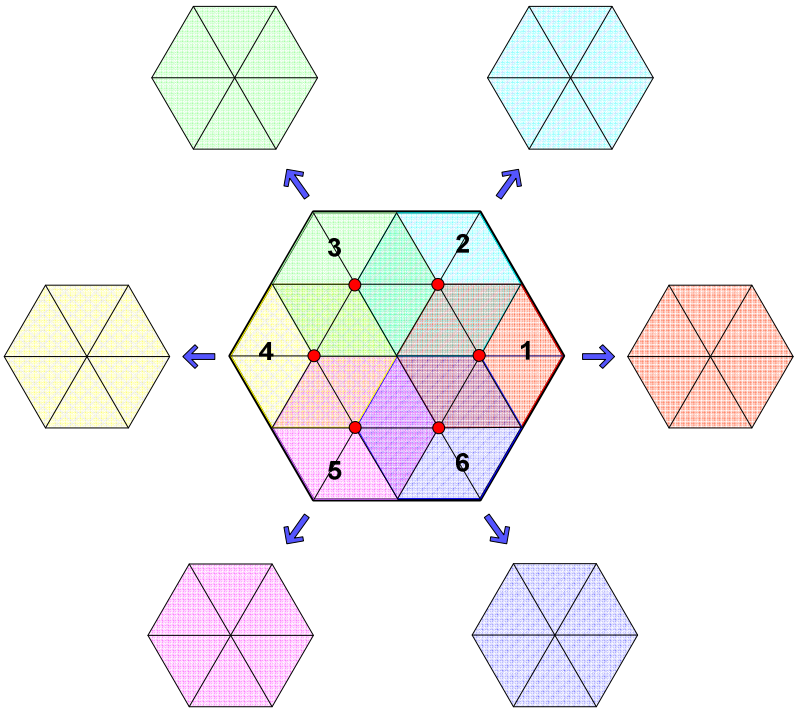


Figura 2-14. Diagrama vectorial del inversor de tres niveles NPC.

2.6.1 SELECCIÓN DEL HEXÁGONO

La posición del vector de referencia determina cual de los seis hexágonos de dos niveles debe ser seleccionado. Sin embargo existen zonas que no están definidas ya que se encuentran traslapadas por dos hexágonos y esto genera incertidumbre al realizar la selección. Por ejemplo, si el vector de referencia se encuentra en el área sombreada que se muestra en la Fig. 2-15a), cualquiera de los dos hexágonos de dos niveles (hexágono 1 o hexágono 2) puede ser seleccionado.

Una posible solución al problema del traslape de hexágonos se muestra en la Fig. 2-15, en donde se observa que han sido redefinidas las áreas de cada hexágono, con objeto de que el espacio vectorial de tres niveles quede bien delimitado [19]. Como se puede observar, las regiones que se encontraban traslapadas han sido divididas de forma equitativa entre los hexágonos involucrados.

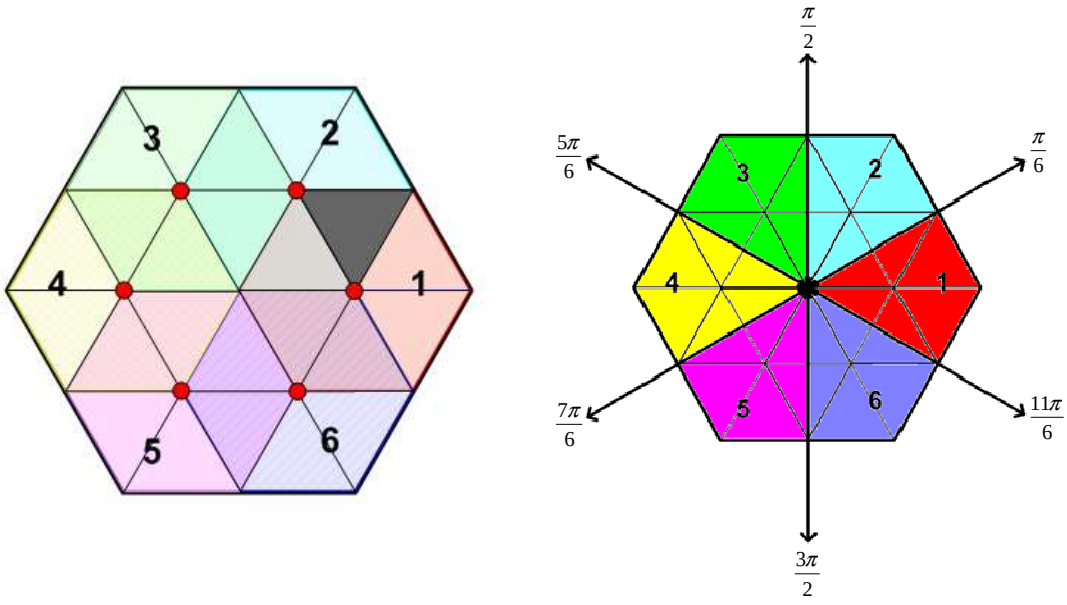
En lo que respecta al algoritmo de selección de los hexágonos, es necesario considerar lo siguiente:

El vector de referencia que se mueve en el espacio vectorial de tres niveles ($\vec{V}_{ref}^{3}$) está representado por:

$$\vec{V}_{ref}^{3}(t) = v_{\alpha}^{3}(t) + jv_{\beta}^{3}(t) = V^{3}e^{j\theta_3} \tag{2-24}$$

Donde θ_3: Es el ángulo de desplazamiento del vector de referencia considerando que se mueve en el espacio vectorial de tres niveles (antes de la simplificación). Mientras que v_{α}^{3}, v_{β}^{3} son las componentes α, β teniendo como marco de referencia el mismo espacio vectorial de tres niveles.

Ahora bien, en la Fig. 2-15b) se observa que evaluando el ángulo de desplazamiento del vector de referencia, es posible desarrollar el algoritmo de identificación de los hexágonos de dos niveles. Por lo tanto en la Tabla 2.6-1, se resumen las condiciones que determinan cual de los seis hexágonos de dos niveles debe ser seleccionado.



a) b)

Figura 2-15. Selección de Hexágonos.

TABLA 2.6-1. CONDICIONES QUE DETERMINAN LA SELECCIÓN DE CADA HEXÁGONO

Hexágono	1	2	3	4	5	6
Posición del $\vec{V}^3_{ref}$	$-\frac{\pi}{6} < \theta_3 < \frac{\pi}{6}$	$\frac{\pi}{6} < \theta_3 < \frac{\pi}{2}$	$\frac{\pi}{2} < \theta_3 < \frac{5\pi}{6}$	$\frac{5\pi}{6} < \theta_3 < \frac{7\pi}{6}$	$\frac{7\pi}{6} < \theta_3 < \frac{3\pi}{2}$	$\frac{3\pi}{6} < \theta_3 < \frac{11\pi}{6}$

2.6.2 CORRECCIÓN DEL VECTOR DE REFERENCIA

Una vez que ha sido determinado el hexágono de dos niveles, es necesario cambiar el origen del vector de referencia desde el centro del hexágono de tres niveles, hacia el centro del hexágono seleccionado. En la Fig. 2-16, se muestra como es desplazado el vector original $\vec{V}^3_{ref}$ hacia el centro del hexágono número dos. Para realizar el desplazamiento es necesario restarle al $\vec{V}^3_{ref}$ el vector que apunta al centro del hexágono número dos, y de esta forma obtener el nuevo vector de referencia que ahora se encuentra en un espacio vectorial de dos niveles $\vec{V}^2_{ref}$. En la Tabla 2.6-2 se muestran las componentes de los vectores que apuntan a los seis hexágonos de dos niveles, considerando los marco de referencia bifásico (α,β) y trifásico (v_a,v_b,v_c).

Es importante mencionar, que para facilitar el desarrollo del algoritmo SVM se han normalizado las magnitudes de los vectores espaciales considerando:

$$Vector\ normalizado = \sqrt{3} * \left|\vec{V}^3_{ref}\right| \tag{2-25}$$

Con esta normalización se consigue que la magnitud máxima de los vectores espaciales en la zona lineal sea:

$$\left|\vec{V}^3_{refmax}\right| = 1 \tag{2-26}$$

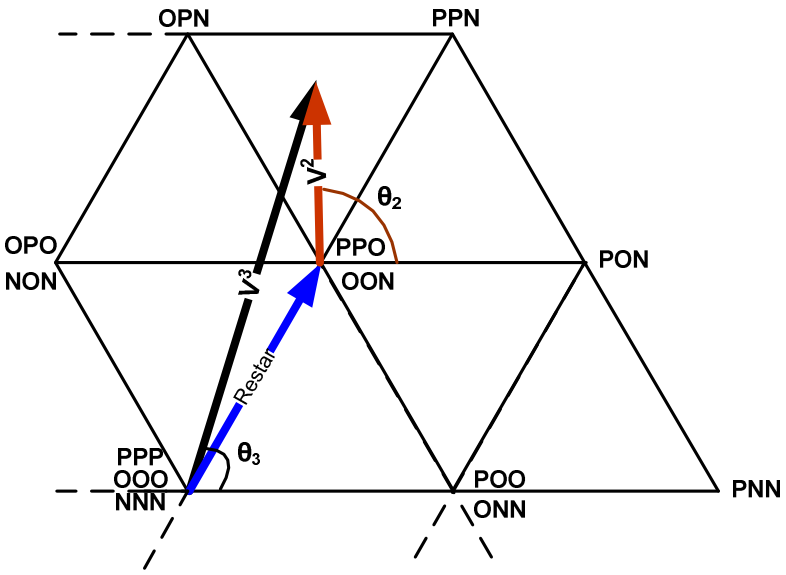


Figura 2-16. Desplazamiento del vector de referencia original.

TABLA 2.6-2 COMPONENTES NORMALIZADAS QUE CORRIGEN EL VECTOR DE REFERENCIA $\vec{V}_{ref}^{3}$

Hexágono "s"	Componente Polar	Coordenadas (α,β)	Componentes Trifásicas		
			V_a	V_b	V_c
1	$\frac{1}{\sqrt{3}}\angle 0°$	$\left[\frac{1}{\sqrt{3}},0\right]$	$\frac{1}{\sqrt{3}}$	$-\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{12}}$
2	$\frac{1}{\sqrt{3}}\angle 60°$	$\left[\frac{1}{\sqrt{12}},\frac{1}{2}\right]$	$\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{3}}$
3	$\frac{1}{\sqrt{3}}\angle 120°$	$\left[-\frac{1}{\sqrt{12}},0\right]$	$-\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{3}}$	$-\frac{1}{\sqrt{12}}$
4	$\frac{1}{\sqrt{3}}\angle 180°$	$\left[-\frac{1}{\sqrt{3}},0\right]$	$-\frac{1}{\sqrt{3}}$	$\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{12}}$
5	$\frac{1}{\sqrt{3}}\angle 240°$	$\left[-\frac{1}{\sqrt{12}},-\frac{1}{2}\right]$	$-\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{3}}$
6	$\frac{1}{\sqrt{3}}\angle 300°$	$\left[\frac{1}{\sqrt{12}},-\frac{1}{2}\right]$	$\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{3}}$	$\frac{1}{\sqrt{12}}$

Finalmente en la Fig. 2-17, se muestra el diagrama vectorial de tres niveles normalizado, en donde se pueden observar las componentes bifásicas de los vectores grandes, así como, las componentes de los vectores que apuntan al centro de cada uno de los hexágonos de dos niveles.

Como se mencionó anteriormente, una vez que se ha desarrollado el proceso de simplificación, la determinación los tiempos de aplicación de los vectores espaciales así como la secuencia de conmutación, es realizada en la misma forma en que se hace en un inversor convencional de dos niveles.

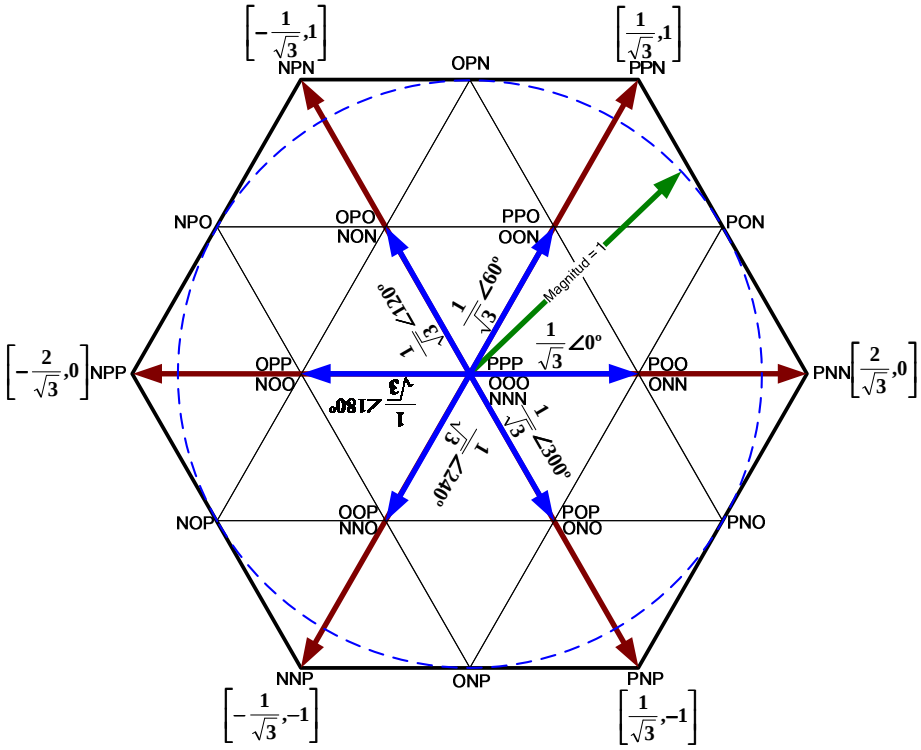


Figura 2-17. Espacio vectorial de tres niveles normalizado.

CAPÍTULO 3

IMPLEMENTACIÓN DEL INVERSOR DE TRES NIVELES NPC-VSI

3.1 INTRODUCCIÓN

En este capítulo se realizará la descripción y el diseño de las diferentes etapas que integran a un accionamiento de una máquina de CA, poniéndose especial énfasis en el inversor de tres niveles NPC-VSI. En la Fig. 3-1, se muestra el diagrama a bloques general del accionamiento del motor de CA desarrollado.

Los accionamientos de CA también conocidos como accionamientos de frecuencia variable (VFDs del inglés Variable Frequency Drives) o accionamientos de velocidad variable (VSDs del inglés Variable Speed Drives), son usados para controlar motores de CA, de los cuales el motor de inducción es el más utilizado en la actualidad [1].

Cuando un motor de CA es conectado directamente a la toma de alimentación, el motor se acelera rápidamente hasta alcanzar una velocidad fija, la cual depende de la amplitud y de la frecuencia de la alimentación eléctrica, así como también del diseño del motor. Aunque para algunas aplicaciones resulta aceptable trabajar a una velocidad fija, en muchas otras, la aceleración a fondo, la desaceleración sin freno y la imposibilidad de variar la velocidad y el par de la máquina de CA, representan un problema importante. De aquí la importancia de utilizar un accionamiento de CA, por medio del cual se puede controlar la amplitud y frecuencia del voltaje de alimentación del motor, y por lo tanto es posible contrarrestar los problemas mencionados anteriormente.

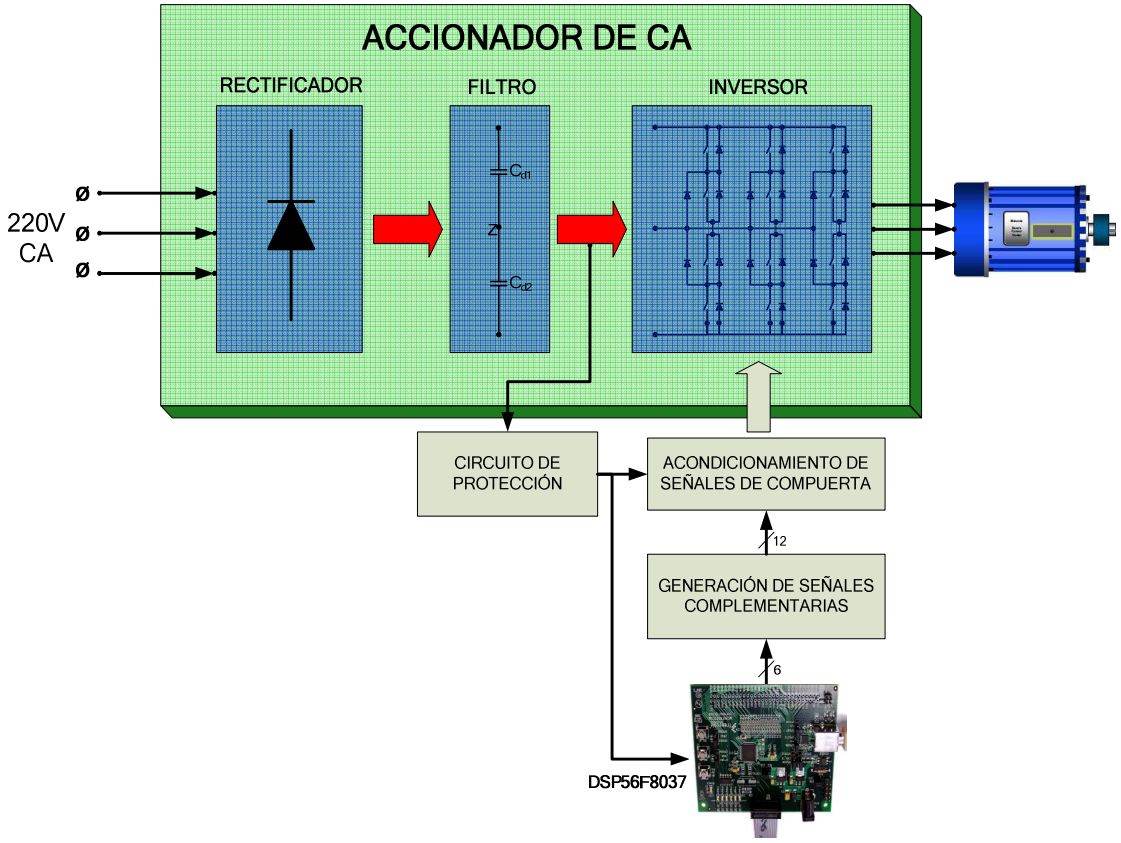


Figura 3-1. Diagrama a bloques de un accionamiento de una máquina de CA.

3.2 RECTIFICADOR Y FILTRO DE ENTRADA

3.2.1 RECTIFICADOR

El convertidor de CA/CD también conocido como rectificador, tiene la función de convertir el voltaje alterno de entrada a un voltaje directo de salida. Existen varias configuraciones de circuitos rectificadores, las cuales están en función de las características del voltaje alimentación (monofásico, trifásico, etc.) y del tipo de rectificación que realizan (media onda, onda completa). Otra posible clasificación está en función de la capacidad de controlar el voltaje de salida, lo cual depende del tipo de dispositivos semiconductores que utilizan (controlados o no controlados). Los rectificadores no controlados utilizan diodos como dispositivos de rectificación, mientras que los rectificadores controlados utilizan tiristores o transistores.

En este trabajo de tesis se utiliza un rectificador de onda completa trifásico no controlado. Se ha utilizado un rectificador de onda completa trifásico, puesto que en comparación con un rectificador monofásico también de onda completa, el rizo de la señal de salida es considerablemente menor y además el nivel de potencia que maneja es mayor. Se ha optado porque sea un rectificador no controlado, debido a que en esta aplicación no es necesario modificar la amplitud del voltaje de CD, ni tampoco es necesaria la regeneración de energía eléctrica hacia la red de alimentación.

En la Fig. 3-2, se puede observar el circuito rectificador utilizado, el cual está constituido por seis diodos rectificadores de potencia, lo que representa una elección económica y muy fácil de implementar. También se observan los voltajes v_a, v_b y v_c, y corrientes i_a, i_b e i_c de la fuente de alimentación trifásica. Para simplificar el análisis del circuito rectificador se asume que los seis diodos rectificadores son dispositivos ideales, lo que implica que no generan pérdidas o caídas de voltaje cuando se encuentran en conducción.

En la Fig. 3-3, se muestran las formas de onda de los voltajes de la fuente de alimentación y del voltaje de salida del rectificador (v_d), así como la forma de onda de la corriente de fase i_a.

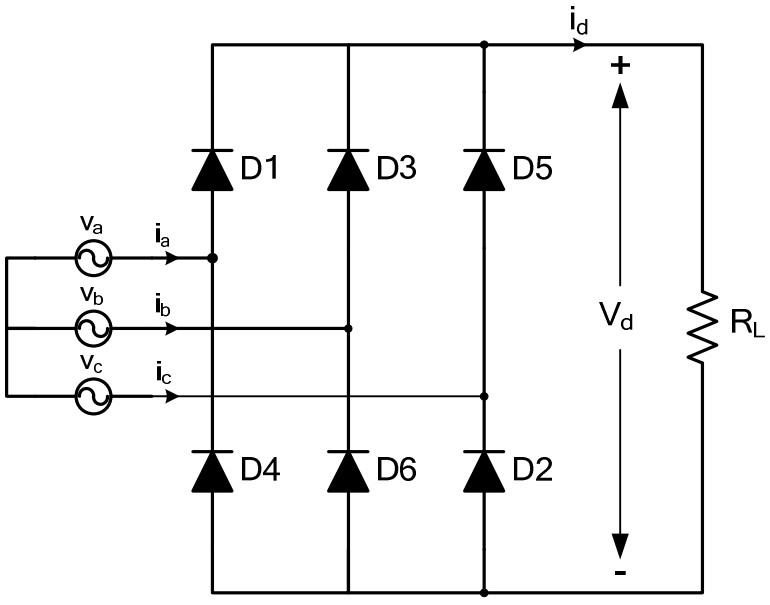


Figura 3-2. Rectificador trifásico de onda completa con carga resistiva.

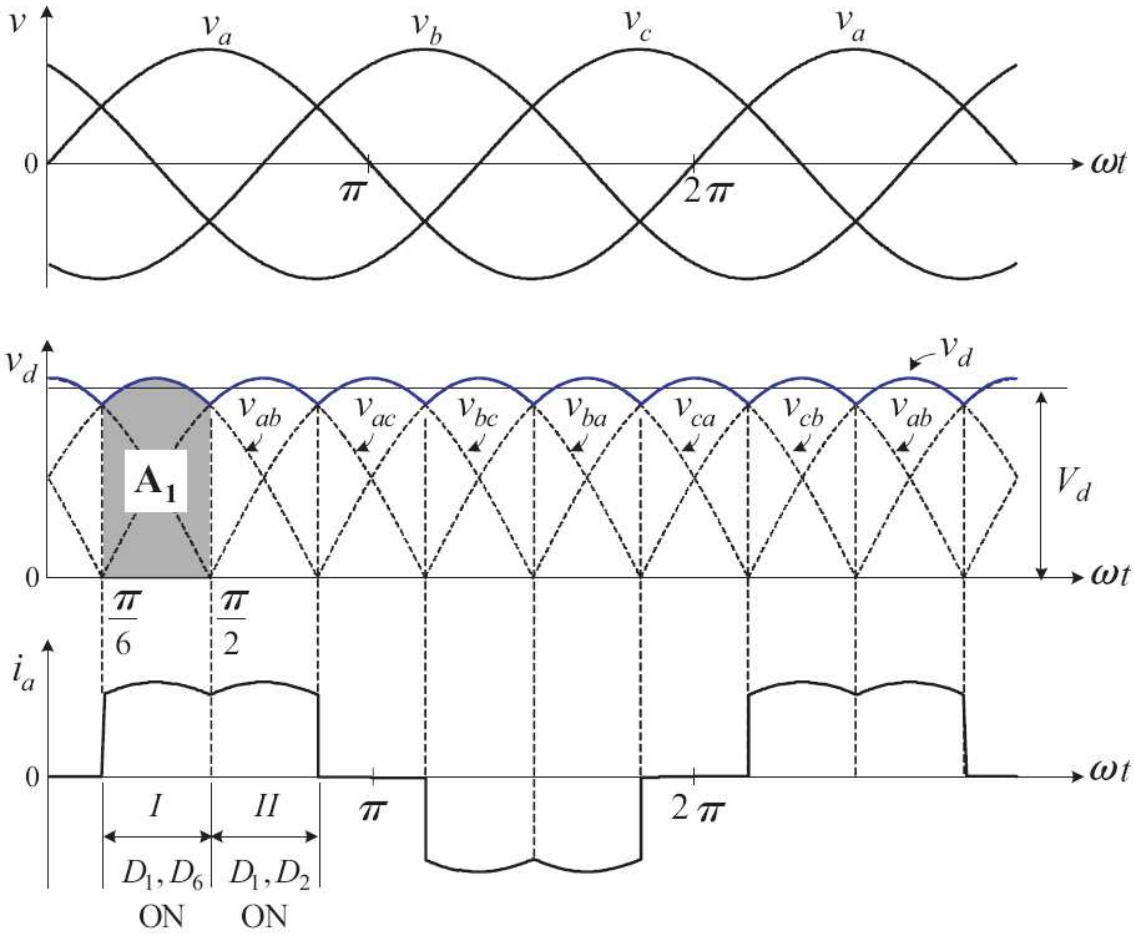


Figura 3-3. Formas de onda del rectificador trifásico de onda completa con carga resistiva.

Los voltajes de fase de la red de alimentación se definen a partir de:

$$v_a = \sqrt{2}V_s \sin(wt)$$
$$v_b = \sqrt{2}V_s \sin(wt - 2\pi/3) \quad (3\text{-}1)$$
$$v_a = \sqrt{2}V_s \sin(wt - 4\pi/3)$$

Donde: Vs es el valor rms del voltaje de fase y w es la frecuencia angular de la fuente de alimentación y está dada por w=2πf.

Entonces, el voltaje de línea v_{ab} puede ser calculado a partir de:

$$v_{ab} = v_a - v_b = \sqrt{2}V_{LL} \sin(wt + \pi/6) \quad (3\text{-}2)$$

Donde: V_{LL} es el valor rms del voltaje de línea, el cual está en función del voltaje de fase a partir de:

$$V_{LL} = \sqrt{3}V_S \quad (3\text{-}3)$$

Considerando que a la salida del rectificador se conecta una carga resistiva, implica que la forma de onda de la señal de corriente tiene dos crestas por cada medio ciclo de la frecuencia de alimentación. En la Fig. 3-3, se puede observar que durante el intervalo I, v_{ab} es mayor que los otros dos voltajes de línea, por lo tanto los diodos D_1 y D_6 son polarizados directamente y entran en conducción.

El voltaje v_d es igual a v_{ab} y la corriente de fase i_a es igual a v_{ab}/R_L. En el intervalo II, D_1 y D_2 conducen, por lo tanto el voltaje v_d es igual a v_{ac} y la corriente de fase es v_{ac}/R_L. Las otras dos corrientes de fase i_b e i_c, tienen la misma forma que i_a, pero desfasadas de esta última, $2\pi/3$ y $4\pi/3$ respectivamente. Puesto que el voltaje v_d tiene seis pulsos o crestas por cada ciclo de la frecuencia de alimentación, el rectificador también es comúnmente conocido como rectificador de seis pulsos [5].

El valor promedio del voltaje de CD a la salida del rectificador puede ser calculado por:

$$V_d = \frac{area\ A_1}{\pi/3} = \frac{1}{\pi/3}\int_{\pi/6}^{\pi/2} \sqrt{2}V_{LL}\sin(wt+\pi/6)d(wt) = \frac{3\sqrt{2}}{\pi}V_{LL} \approx 1.35V_{LL} \quad (3\text{-}4)$$

El voltaje del pico máximo a la salida del rectificador, el cual corresponde al pico máximo del rizo esta dado por:

$$V_{d\_max} = V_{r\_pmax} = \sqrt{2}V_{LL} \quad (3\text{-}5)$$

El voltaje del pico mínimo a la salida del rectificador, el cual corresponde al pico mínimo del rizo, se obtiene al evaluar (3-2) en el instante $\pi/6$:

$$V_{d\_min} = V_{r\_pmin} = v_{ab}(\pi/6) = \sqrt{2}V_{LL}\sin(\pi/3) \quad (3\text{-}6)$$

Por lo tanto el voltaje del rizo pico a pico se obtiene a partir de:

$$V_{r\_(p-p)} = V_{r\_pmax} - V_{r\_pmin} \quad (3\text{-}7)$$

Si bien, el objetivo de un rectificador es obtener un voltaje continuo, es inevitable que superpuesta a esta aparezcan componentes armónicas (rizado). Por lo tanto con el propósito de cuantificar el rizo en un rectificador de voltaje se define el factor de rizo, el cual para un rectificador trifásico de onda completa esta dado por [3]:

$$FR = \frac{V_{r(rms)}}{V_d} * 100\% = 4.2\% \quad (3\text{-}8)$$

Es importante mencionar que cuando el factor de rizo es muy alto, implica que hay más energía en los armónicos (no aprovechable) que en la componente de continua.

3.2.2 CÁLCULO DE LOS PARÁMETROS DEL RECTIFICADOR

A continuación se determinan los parámetros que permiten analizar el funcionamiento del rectificador trifásico de onda completa.

Considerando que el voltaje rms $V_{LL,}$ de la red de alimentación utilizada es de 220V, se procede a calcular el voltaje promedio a la salida del rectificador utilizando (3-4):

$$V_d = 1.35(220V) = 297V$$

El voltaje pico máximo del rizo (3-5):

$$V_{r\_pmax} = \sqrt{2}(220V) = 311.12V$$

El voltaje pico mínimo del rizo (3-6):

$$V_{r\_pmin} = \sqrt{2}(220V)\sin(\pi/3) = 269.44V$$

Y el voltaje del rizo pico a pico a la salida del rectificador queda determinado por:

$$V_{r\_(p-p)} = 311.12V - 269.44V = 41.67V$$

Del análisis previamente desarrollado se concluye que es necesario disminuir el factor del rizo y en consecuencia la magnitud del $V_{r\_(p-p)}$, para lo cual es necesario incluir un filtro a la salida del rectificador.

En lo que respecta a las especificaciones del puente rectificador, es necesario que los diodos rectificadores sean capaces de bloquear el voltaje V_{dmax} cuando se encuentran polarizados inversamente, lo cual se cumple al utilizar el puente rectificador trifásico de onda completa SBR35, ya que es capaz de bloquear un voltaje de CD (V_R) de hasta 800V. En cuanto a la corriente de salida promedio (I_O), la cual está en función de la carga conectada a la salida del inversor, el modulo SBR35 no presenta limitaciones, debido a que se encuentra sobredimensionado y es capaz de proporcionar una I_O de hasta 35A.

3.2.3 FILTRO CAPACITIVO

Como se ha señalado anteriormente, el rectificador trifásico produce una forma de onda unidireccional, pero de ninguna manera constante como sería deseable para poder utilizarla como fuente de alimentación. Dado que el problema es equivalente al de eliminar las componentes con frecuencias diferentes a la de continua, la solución consiste en utilizar un filtro pasabajos.

En este trabajo se utiliza un filtro capacitivo, el cual se muestra en la Fig. 3-4. El filtro capacitivo disminuye las fluctuaciones de la señal que entrega el rectificador trifásico, a partir de la carga y descarga del capacitor.

El voltaje del rizo pico a pico en un rectificado trifásico con filtro capacitivo puede ser obtenido a partir de [3]:

$$V_{r\_(p-p)} = \frac{V_{dmax}}{6fR_LC} \tag{3-9}$$

Donde:
f: Es la frecuencia del voltaje de alimentación.
C: Es el valor del capacitor.

La expresión (3-9), también pude expresarse en términos de la corriente utilizando:

$$V_{r\_(p-p)} = \frac{I_{dmax}}{6fC} \tag{3-10}$$

Donde:
I_{dmax}: Es el valor máximo de corriente.

Al disminuir el rizado del voltaje V_d, también se reduce el voltaje rms del rizo, el cual está determinado por:

$$V_{r(rms)} = \frac{V_{r(p-p)}}{2\sqrt{2}} \tag{3-11}$$

Finalmente el voltaje V_d que se obtiene a la salida del filtro se calcula utilizando:

$$V_d = V_{dmax} - \frac{V_{r\_(p-p)}}{2} \tag{3-12}$$

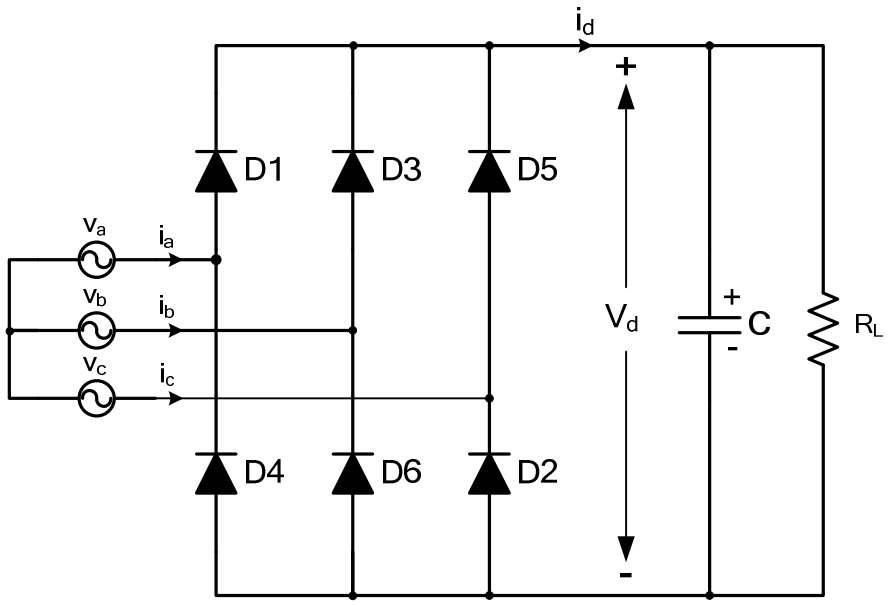


Figura 3-4. Filtro capacitivo.

3.2.4 CÁLCULO DE LOS PARÁMETROS DEL FILTRO CAPACITIVO

Considerando que la corriente a plena carga demandada por el motor de inducción es de 4.2A, y que el valor del capacitor conectado a la salida del rectificador es de 2200µF, implica que el voltaje del rizo pico a pico (3-10) es:

$$V_{r(p-p)} = \frac{4.2}{(6)(60)(2200*10^{-6})} = 5.3V$$

Se puede observa que la magnitud del voltaje pico a pico se ha reducido notablemente.

Ahora, para calcular el factor de rizo primero es necesario determinar el voltaje rms del rizo el cual está dado por (3-11):

$$V_{r(rms)} = \frac{5.3}{2\sqrt{2}} = 1.87V$$

Por lo tanto se tiene que el factor de rizo (3-8) es:

$$FR = \frac{1.87}{311.12} * 100\% = 0.6\%$$

Esto implica que el voltaje V_d a la salida del filtro (3-12), el cual será aplicado al inversor es:

$$V_d = 311.12 - \frac{5.3}{2} = 308.47V$$

Finalmente se verifica que el rizo se ha reducido notablemente, por lo tanto se concluye que el filtro capacitivo utilizado proporciona resultados satisfactorios para esta aplicación.

3.2.5 CONSIDERACIONES ADICIONALES

En esta sección se muestran algunas de las consideraciones adicionales que se necesitan tener en cuenta cuando se realiza la implementación del circuito rectificador y el filtro capacitivo.

LIMITACIÓN DE LA CORRIENTE DE ENCENDIDO

Es imprescindible limitar la corriente de arranque de gran magnitud (inrush current) que se genera al conectar la alimentación del rectificador y el filtro capacitivo. Este fenómeno se presenta debido a que el estado inicial de los capacitores del filtro (descargados) es equivalente a tener un "corto circuito". Por lo tanto, es necesario incorporar un elemento limitador de la corriente de arranque, de lo contrario el puente rectificador y los capacitores pueden sufrir daños irreversibles.

Una alternativa efectiva y económica para limitar la corriente de arranque, es utilizar un termistor con coeficiente negativo de temperatura (NTC del inglés Negative Temperature Coefficient) [59]. Una característica importante que presentan los termistores NTC, es que su resistencia disminuye en forma logarítmica a medida que la temperatura a la que se encuentran expuestos aumenta.

El limitador de corriente en primer lugar tiene la función de bloquear la corriente de arranque y después es necesario que no influya en el funcionamiento del circuito. Por lo tanto, inicialmente el termistor NTC presenta una alta resistencia que está en el orden de 0.2Ω y 220Ω, dependiendo del nivel de protección requerido. Después conforme fluye la corriente a través del termistor NTC, su resistencia cae (en milisegundos) a valores que están en el orden de 0.01Ω, lo cual no influye en el funcionamiento del circuito de potencia ya que las pérdidas que genera son despreciables. Las consideraciones más importantes que se deben tener en cuenta cuando se selecciona un limitador de corriente para una aplicación particular son: el nivel de corriente que se requiere bloquear, la magnitud de corriente que fluirá en estado estable en el circuito y el nivel de energía que deberá absorber el limitador.

La resistencia de encendido o de arranque del termistor (R_{TH}) determina la cantidad de corriente que será bloqueada en el circuito. Por lo tanto, utilizando la ley de ohm es posible calcular el valor de la R_{TH} (3-13), el cual está en función del voltaje máximo aplicado inicialmente y del nivel de corriente máximo de arranque que se desea fijar en el circuito.

$$R_{TH} = \frac{V_{dmax}}{I_{dmax}} \tag{3-13}$$

Con el propósito de seleccionar el termistor NTC más apropiado para una determinada aplicación, es recomendable escoger el que tenga la menor resistencia en estado estable (R_{on}), siempre y cuando sea capaz de bloquear la corriente de arranque deseada. Los beneficios que se obtienen son: las dimensiones del termistor son menores, se genera un menor calentamiento, y el costo del termistor generalmente es menor.

Inmediatamente después de que se conecta la red de alimentación, los capacitores del filtro se comienzan a cargar y almacenan energía, la cual está dada por:

$$W = \frac{CV_{dmax}^2}{2} \tag{3-14}$$

Donde:
W: Energía almacenada en el capacitor y está dada en Joules.

Esta cantidad de energía es la que debe ser capaz de soportar el termistor. Es importante señalar que el termistor normalmente es conectado en serie con el componte o sistema que se desea proteger, y en caso de querer aumentar el nivel de protección, es posible utilizar dos o más termistores conectados en serie.

CÁLCULO DEL TERMISTOR

Considerando que el puente rectificador trifásico SBR35 (además de los capacitores) es uno de los dispositivos que se desea proteger, es necesario acceder a su hoja de especificaciones y obtener los parámetros que permiten dimensionar al termistor NTC, los cuales se muestran a continuación:

Io: Corriente Promedio = 35A
I_{FSM}: Pico Máximo de Corriente durante medio ciclo @ 60Hz = 420A

Se observa que el puente rectificador es capaz de soportar altas magnitudes de corriente durante un intervalo de tiempo pequeño, por lo que se determina fijar un nivel de corriente máximo de 320A, el cual está por debajo del límite permisible. Esto implica que el valor de resistencia del termistor R_{TH} requerido (3-13) es:

$$R_{TH} = \frac{311.12V}{320A} = 0.972\Omega$$

Mientras que la energía que necesita disipar el termistor está dada por (3-14):

$$W = \frac{(2200*10^{-6})(311.12)^2}{2} = 106.48\,J$$

Por lo tanto, se utilizan dos termistores conectados en serie SL32 0R530, los cuales cumplen con los requerimientos de protección necesarios. En la Tabla 3.2-1, se muestran las características principales de cada termistor.

TABLA 3.2-1 ESPECIFICACIONES PRINCIPALES DEL TERMISTOR SL32 0R530

PARÁMETRO	VALOR
R_{TH} @ 25ºC	0.5Ω
Corriente Máxima en estado Estable	30A
Energía Máxima Recomendada	150J
R_{on} @ 50% de la Corriente Máxima	0.058Ω
Máxima Capacitancia @ 240 VAC	2500µF

GENERACIÓN DEL NIVEL DE VOLTAJE INTERMEDIO

En el capítulo anterior se mencionó que el inversor de tres niveles NPC requiere un nivel de voltaje intermedio a la entrada ($0.5V_d$), el cual puede ser generado a partir de la conexión serie de capacitores. Por lo tanto, se ha determinado que el filtro capacitivo este constituido por dos capacitores del mismo valor conectados en serie.

Sin embargo, al tener un arreglo serie de capacitores la capacitancia equivalente se reduce y queda expresada por:

$$C_{eq} = \frac{1}{\left(\frac{1}{C_1}+\frac{1}{C_2}+\frac{1}{C_3}+\cdots+\frac{1}{C_k}\right)} \quad (3\text{-}15)$$

Donde:
k: Es el número de capacitores que están conectados en serie

Considerando que se desea obtener una capacitancia equivalente de C_{eq}=2200µF, para no modificar la operación del filtro, es necesario que:

$$C_{d1} = C_{d2} = 2C_{eq} = 2(2200\mu F) = 4400\mu F$$

DESCARGA DE LOS CAPACITORES

Una vez que se desconecta la red de alimentación, existe la posibilidad de que los capacitores del filtro se queden cargados, y en el peor de los casos puede ser al voltaje V_{dmax}, lo cual representa un peligro importante para el usuario. Por lo tanto, es imprescindible asegurarse de que los capacitores C_{d1} y C_{d2}, se descarguen completamente.

Para ello se ha conectado una resistencia en paralelo con cada uno de los capacitores, de tal forma que la descarga de los capacitores queda determinada por la constante de tiempo resultante:

$$\tau = RC_d \Leftrightarrow (4200 * 10^{-6})(12 * 10^{3}) = 50.4s \quad (3\text{-}16)$$

En el cálculo de las resistencias, es importante considerar que para valores de resistencia pequeños, las constantes de tiempo también son pequeñas, y por lo tanto la descarga de los capacitores es rápida. Sin embargo esto implica generar grandes pérdidas, dado que las resistencias se encuentran conectadas en todo momento.

$$P = \frac{(V_d/2)^2}{R_d} \Rightarrow \frac{(308.47/2)^2}{12*10^3} = 1.98W \quad (3\text{-}17)$$

Finalmente en la Fig. 3-5, se muestra el diagrama final correspondiente al rectificador y al filtro de entrada, en el cual se han incluido las consideraciones adicionales previamente analizadas.

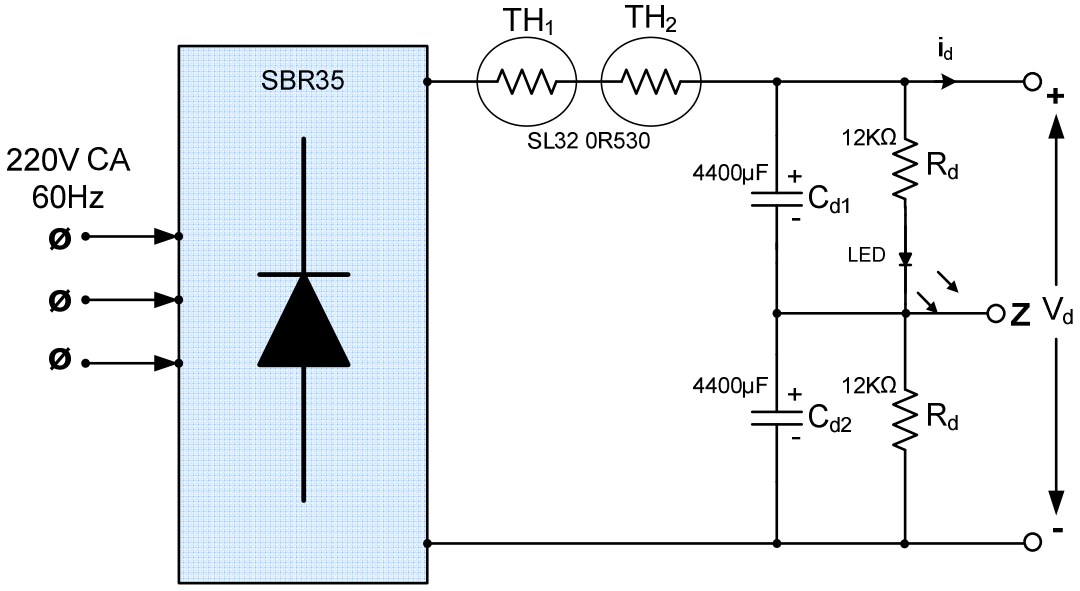


Figura 3-5. Circuito rectificador y filtro de entrada implementado.

3.3 INVERSOR DE TRES NIVELES CON FIJACIÓN DEL NEUTRO

El inversor de voltaje de tres niveles VSI-NPC, tiene la función de convertir el voltaje directo de entrada a un voltaje alterno de salida en el cual es posible controlar amplitud y frecuencia.

En el capítulo anterior se observó que la configuración del inversor de tres niveles está constituida por doce interruptores unidireccionales en voltaje y bidireccionales en corriente, así como por seis diodos fijadores de voltaje.

Los interruptores son dispositivos semiconductores de potencia que alternan entre dos estados:

- Estado de Corte. El dispositivo semiconductor no permite el paso de la corriente eléctrica y bloquea el voltaje aplicado entre sus terminales. El dispositivo está fuera de conducción.
- Estado de Saturación. El dispositivo semiconductor permite el paso de la corriente eléctrica y la caída de voltaje entre sus terminales depende de la tecnología de fabricación. El dispositivo está en conducción.

Es deseable que los dispositivos semiconductores de potencia cumplan con las siguientes características:

- Pequeña corriente de fuga cuando el dispositivo está fuera de conducción.
- Capacidad de bloquear elevados niveles de voltaje.
- Conducir elevados niveles de corriente cuando el dispositivo está en conducción.
- Pequeña caída de voltaje cuando se encuentra en estado de saturación, lo que permite reducir las pérdidas en conducción.
- Alta velocidad de conmutación lo cual permite reducir las pérdidas por conmutación.
- Alta inmunidad ante variaciones abruptas de voltaje y corriente.
- Pequeños niveles de voltaje y corriente de control.

En los últimos años los IGBT’s han despertado gran interés entre los diseñadores ya que son dispositivos semiconductores de potencia que combinan las ventajas de las tecnologías BJT (Bipolar Junction Transistor) y MOSFET (Metal Oxide Semiconductor Field Effect Transistor), dado que en la entrada presentan la alta impedancia de los MOSFET, manteniendo las bajas pérdidas en conducción de los BJT. Desde su aparición a principios de 1980, el IGBT se ha convertido en uno de los dispositivos más empleados en el campo de la electrónica de potencia en media y baja tensión, al ofrecer un equilibrio entre la velocidad de conmutación y la caída de tensión en conducción [3]-[5].

El IGBT es un dispositivo controlado por voltaje, es decir, puede ser llevado al estado de conducción al aplicar un voltaje de hasta 20V en su compuerta, mientras que puede ser sacado de conducción, cuando el voltaje en su compuerta es de 0V. En la práctica, un voltaje negativo de algunos volts puede ser aplicado para sacar de conducción al IGBT, esto con el propósito de incrementar la inmunidad al ruido.

Recientemente diversos fabricantes han desarrollado módulos de potencia compactos, los cuales integran dos o más IGBT's interconectados entre sí. Entre las principales ventajas de recurrir a este tipo de módulos integrados se encuentran:

- Facilidad al realizar el montaje del inversor.
- Mayor eficiencia en la disipación térmica.
- Disminución de las inductancias parásitas.
- Flexibilidad al realizar las conexiones entre sus terminales.

Por lo tanto, se optó por utilizar el módulo 40MT120UH, el cual está constituido por dos IGBT's conectados en serie con sus respectivos diodos en antiparalelo, tal y como se muestra en la Fig. 3-6. Es importante mencionar, que sería preferible utilizar módulos de potencia constituidos por cuatro IGBT's correspondientes a una rama del inversor de tres niveles, sin embargo no se encontraron disponibles en el mercado.

Las características más importantes del modulo 40MT120UH se listan a continuación:

- Soporta un voltaje entre colector y emisor de hasta 1200V.
- Es capaz de conducir una corriente continua de hasta 80A.
- Tiene muy baja inductancia parásita, lo cual permite operar en altas frecuencias de conmutación.
- Capacidad de soportar un cortocircuito hasta por 10µs.
- Los diodos en antiparalelo son de recuperación ultra suave y además con una caída de voltaje mínima.

En lo que respecta a los diodos de fijación, es necesario utilizar diodos de conmutación rápida, debido a que la frecuencia de operación del inversor estará en el orden de los KHz. La velocidad de conmutación de los diodos está en función del tiempo de recuperación inversa (t_{rr}), el cual se define como el intervalo de tiempo requerido por el diodo para pasar del estado de conducción al estado de bloqueo [3].

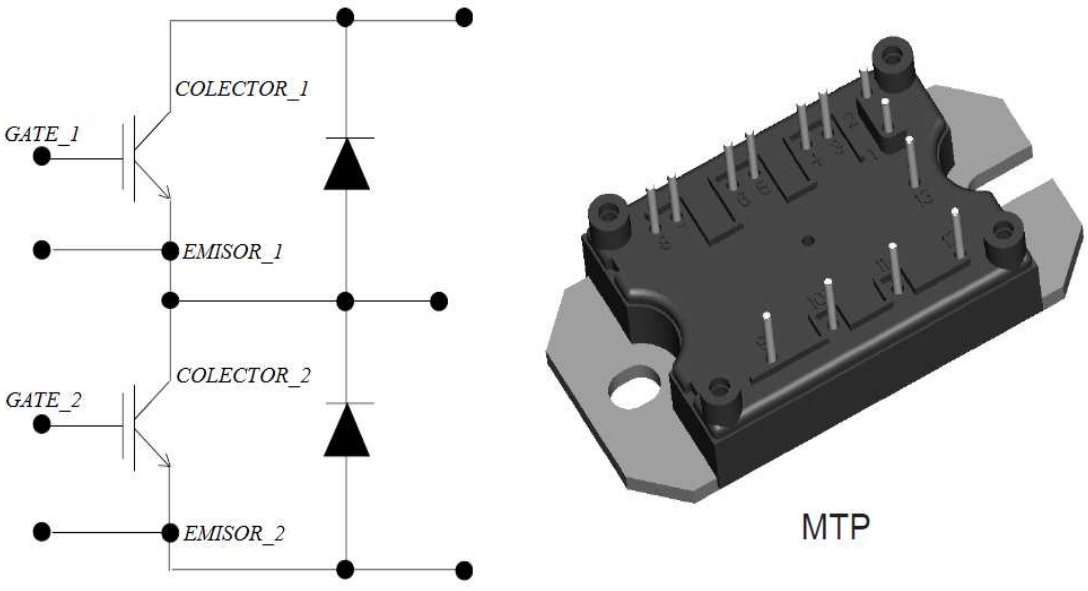


Figura 3-6. Esquema físico y eléctrico del módulo 40MT120UH.

En esta aplicación se optó por utilizar el diodo ultra rápido MUR1560, y a continuación se listan sus características más importantes:

- Tiene un tiempo de recuperación inversa muy bajo, el cual se encuentra entre 35ns y 60ns.
- Soporta un voltaje máximo repetitivo en polarización inversa de hasta 600V.
- Es capaz de conducir una corriente continua de hasta 15A.
- Tiene baja caída de voltaje cuando se encuentra en conducción.

Ahora en base al análisis desarrollado en el capítulo anterior y considerando que el voltaje de entrada del inversor es V_d=308.47V, y la corriente demandada a la salida es i_{out}=4.5A, se procede a calcular el voltaje y corriente que deben soportar cada uno de los dispositivos semiconductores que constituyen al inversor de tres niveles NPC.

El voltaje mínimo que deben soportar los IGBT's (V_{SX}), así como los diodos de fijación (V_{DZX}) está dado por:

$$V_{SX} = V_{DZX} = \frac{V_d}{2} = \frac{308.47}{2} = 154.23V \tag{3-18}$$

Mientras que, la corriente que debe conducir los IGBT's (i_{SX}) y los diodos de fijación (i_{DZX}) queda determinada por:

$$i_{SX} = i_{DZX} = i_{out} = 4.5A \tag{3-19}$$

Es importante mencionar, que el desarrollo del inversor tiene fines de investigación, por lo que es posible que sus condiciones de operación se modifiquen. Es por ello que los dispositivos semiconductores involucrados se encuentran sobredimensionados. Finalmente en la Fig. 3-7, se muestra el diagrama eléctrico del inversor de tres niveles NPC implementado.

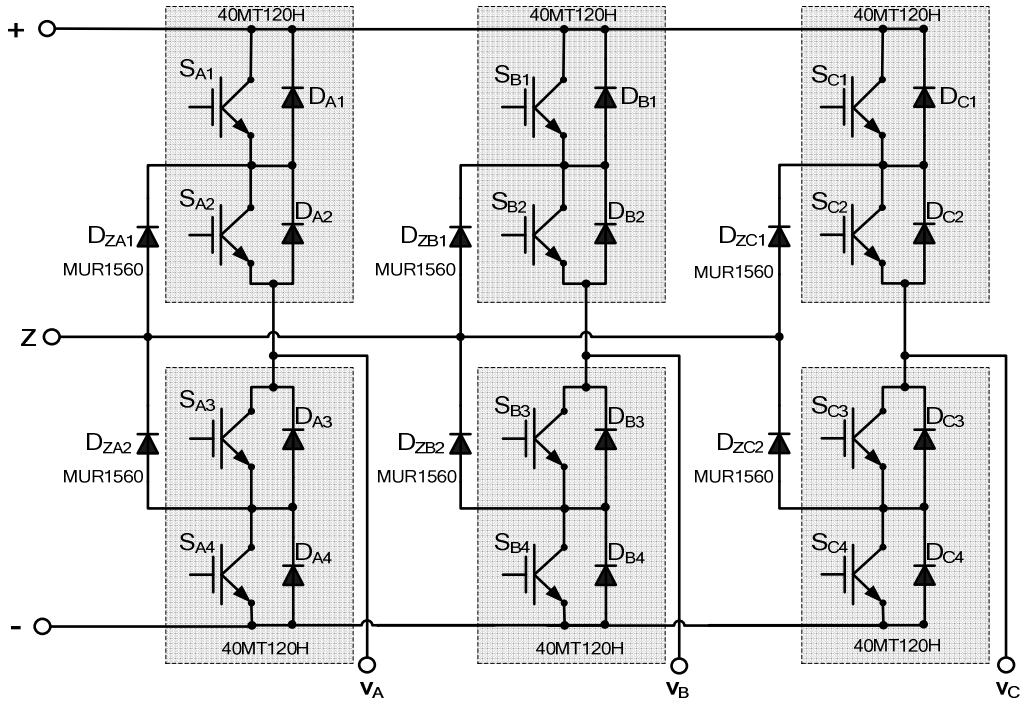


Figura 3-7. Configuración del inversor de tres niveles NPC.

3.4 GENERACIÓN DE LAS SEÑALES PWM

En el capítulo 2, se comentó que el inversor de tres niveles NPC será controlado aplicando la técnica de modulación SVM simplificada. Para generar las señales de control de los interruptores, se utilizará el DSP56F8037 de Freescale®.

La familia 56800E de Freescale, está bien respaldada para el control digital de motores [57], combinando en un solo chip la capacidad de cálculo del DSP con las características de control de un MCU. Debido a su bajo costo, flexibilidad de configuración y código de programa compacto, el DSP56F8037 es adecuado para numerosas aplicaciones. El núcleo 56800E se basa en una arquitectura dual-Harvard, la cual consta de tres unidades de ejecución que funcionan en paralelo, lo que le permite realizar hasta seis operaciones por cada ciclo de instrucción. Su velocidad de procesamiento es de 32MHz. El DSP 56F8037 cuenta con 64KB de memoria flash para programa y 8KB de memoria RAM unificada (para datos y programa) [58].

Estos controladores híbridos de 16 bits, ofrecen muchos periféricos dedicados, incluyendo un módulo de modulación del ancho de pulso (PWM), dos convertidores analógico-digital (ADC) independientes, un convertidor digital-analógico (DAC), timers, periféricos de comunicación (SCI, SPI, CAN), entre otros más. Generalmente, todos los miembros de la familia son apropiados para utilizarse en el control de motores de inducción de CA.

En la Fig. 3-8, se muestra el diagrama a bloques del DSP56F8037 y en la siguiente sección se describen algunas de las características de los periféricos utilizados en esta aplicación [58].

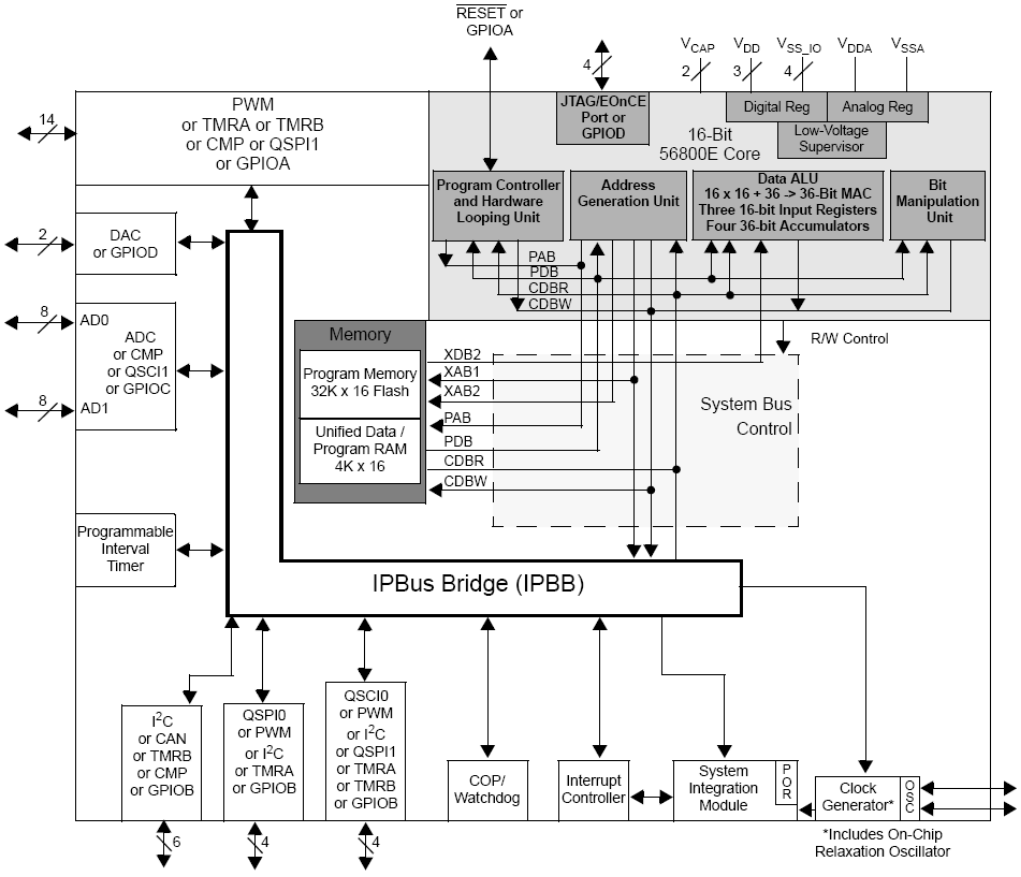


Figura 3-8. Diagrama a bloques del DSP56F8037.

3.4.1. DESCRIPCIÓN PERIFÉRICA DEL DSP56F8037

Para controlar el inversor de tres niveles, el principal periférico utilizado es el módulo PWM, el cual proporcionará las señales de control del inversor. El módulo PWM del DSP56F8037 cuenta con características importantes para el control de motores de diversos tipos incluyendo el motor de inducción.

El módulo PWM tiene las siguientes características:

- Seis señales PWM.
  - Todas independientes.
  - Señales pares complementarias.
  - Ambas, independientes y complementarias.

- Características de operación de canales complementarios.
  - Inserción de tiempo muerto para filos de subida y bajada.
  - Corrección del ancho de pulso a través de software.
  - Señales pares complementarias.
- Señales PWM con alineación de centros o de filos.
- 15 bits de resolución.
- Protección programable contra fallas.
- Capacidad de proporcionar hasta 20mA en cada pin PWM.

En esta aplicación se utiliza el módulo PWM proporcionando seis señales independientes, dos para cada rama del inversor NPC.

En cada rama del inversor de tres niveles se encuentran dos interruptores operando en forma complementaria, lo cual implica que a partir de las señales PWM que proporciona el DSP56F8037, es necesario generar los correspondientes estados complementarios y de esta forma obtener las doce señales de control del inversor. En esta aplicación la generación de las señales complementarias se realizará por medio del Hardware.

Es importante señalar que en caso de utilizar un DSP que proporciona 12 señales PWM, es posible generar los estados complementarios por medio del Software y no es necesario recurrir al Hardware.

El timer es un módulo extremadamente flexible, ya que proporciona todos los servicios requeridos en cuanto a eventos de tiempo se refiere. En esta aplicación el timer es utilizado para controlar la frecuencia de las señales senoidal y cosenoidal, mismas que representan las coordenadas del vector de referencia que se desea generar.

También, con el propósito de validar el algoritmo de control desarrollado, será necesario utilizar el convertidor digital-analógico (12 bits de resolución), con el cual se observará el comportamiento de las variables que determinan el funcionamiento del programa SVM simplificado.

3.5 GENERACIÓN DE LAS SEÑALES COMPLEMENTARIAS

Puesto que el DSP56F8037 únicamente proporciona seis señales de control PWM, es necesario mediante el hardware generar otras seis señales de control y de esta forma controlar a los doce interruptores que constituyen al inversor de tres niveles NPC.

Para determinar el comportamiento de las señales de control, es necesario tener presente los estados de conmutación que es capaz de generar cada una de las ramas del inversor, los cuales se muestran en la Tabla 3.5-1. Como se observó en el capitulo anterior, al generar los estados de conmutación P, O y N, las parejas de interruptores S_{X1}, S_{X3} y S_{X2}, S_{X4} (X=A,B,C) operan en forma complementaria. Esto implica que el DSP proporciona únicamente dos señales de control para cada una de las ramas del inversor y a partir de ellas es necesario generar las correspondientes señales complementarias de tal forma que se obtengan las cuatros señales de control para cada una de las ramas del inversor.

Sin embargo, cuando se operan dispositivos semiconductores en forma complementaria, en este caso IGBT's, es imprescindible tomar las debidas precauciones, ya que no es suficiente con invertir las señales de control para cada uno de los dispositivos, sino que además es necesario incluir un tiempo muerto t_d entre la desconexión de un IGBT y la conexión del otro.

TABLA 3.5-1 ESTADOS DE CONMUTACIÓN DEL INVERSOR DE TRES NIVELES

Estados de Conmutación	Estado de los Interruptores (X=A.B,C)				Voltaje Polar v_{XZ}
	S_{X1}	S_{X2}	S_{X3}	S_{X4}	
P	ON	ON	OFF	OFF	E
O	OFF	ON	ON	OFF	0
N	OFF	OFF	ON	ON	-E

El t_d es un lapso de tiempo en el que amabas señales de control complementarias son llevadas a un nivel bajo, esto con el propósito de asegurar que el dispositivo que estaba encendido se apague por completo y así evitar un posible corto circuito en alguna de las ramas del inversor. El circuito implementado que genera las señales complementarias con su correspondiente inserción de tiempo muerto se muestra en la Fig. 3-9.

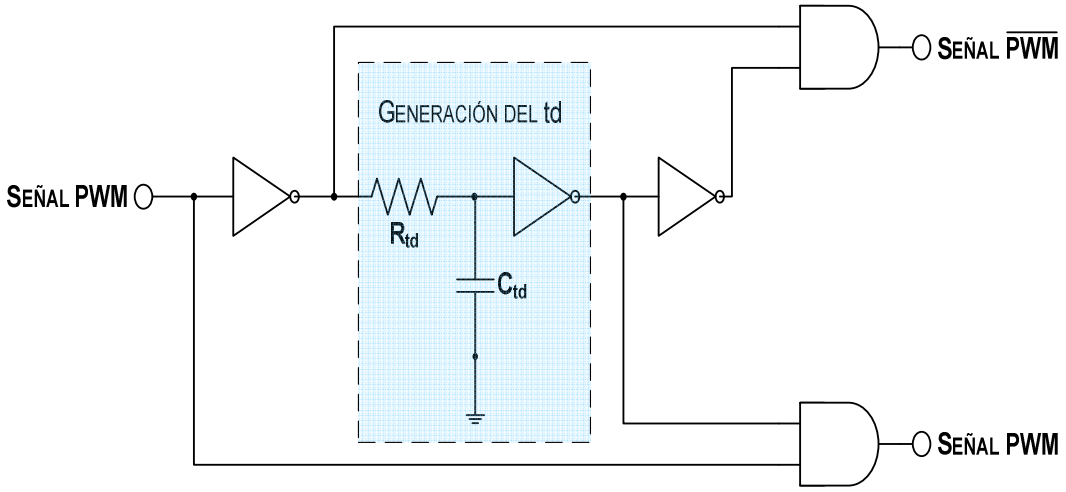


Figura 3-9. Circuito generador de las señales complementarias con inserción de tiempo muerto.

Se puede observar que el circuito está constituido por compuertas lógicas AND y NOT de alta velocidad además de un resistor R_{td} y un capacitor C_{td}. El tiempo muerto se obtiene retrasando la aparición de la señal de disparo en uno de los dispositivos semiconductores y la duración del retraso depende de los valores de R_{td} y C_{td}. Es importante mencionar que el tiempo muerto entre cada una de las ramas del inversor puede variar ligeramente, y esto es debido principalmente a las tolerancias de los componentes utilizados.

En el circuito implementado, la expresión que determina el tiempo muerto es:

$$t_d = R_{td} * C_{td} \tag{3-20}$$

En esta aplicación se determinó utilizar un tiempo t_d de al menos 1µs, debido a que es un tiempo suficiente para que el IGBT utilizado salga de conducción por completo. En la Fig. 3-10, se muestra la señal PWM original y las señales complementarias obtenidas, una vez que se implementó el circuito mostrado previamente.

Una desventaja asociada a la inserción del tiempo t_d, es la reducción de la magnitud del voltaje de salida del inversor, debido a que se reduce el tiempo en que se encuentra en conducción el dispositivo semiconductor.

Finalmente en la Tabla 3.5-2, se muestran los elementos y componentes utilizados en el circuito generador de señales complementarias.

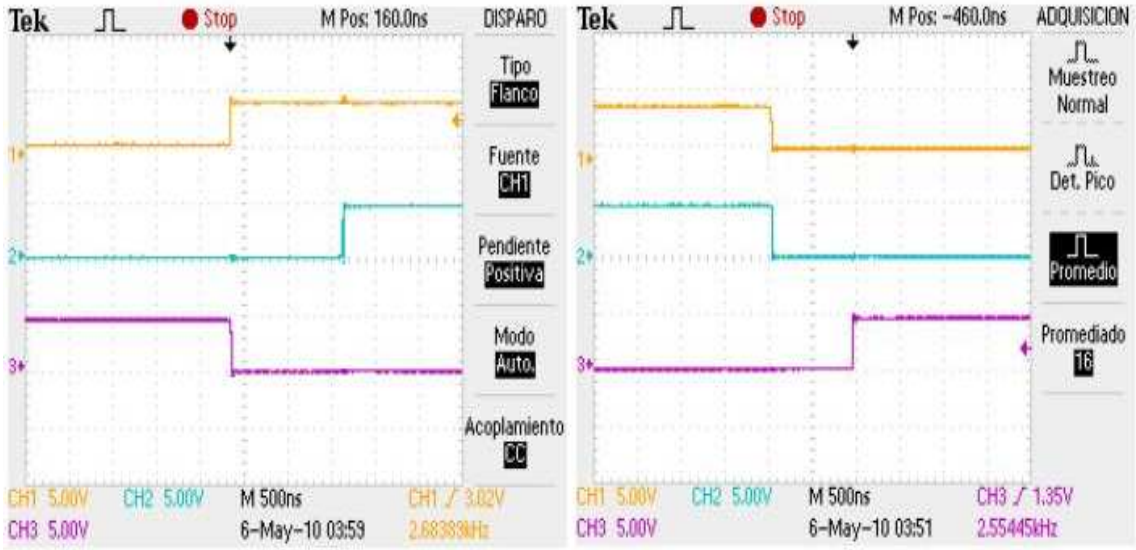


Figura 3-10. Señales complementarias con la inserción del tiempo muerto requerido.

TABLA 3.5-2 ELEMENTOS Y COMPONENTES UTILIZADOS EN EL CIRCUITO GENERADOR DE SEÑALES COMPLEMENTARIAS CON LA INSERCIÓN DEL TIEMPO MUERTO

COMPONENTE / ELEMENTO	Nº DE PARTE / VALOR
Compuerta AND	74HC08
Compuerta NOT	74HC04
Capacitor de Alta Frecuencia C_{td}	3.2Nf
Resistencia de Precisión R_{td}	470Ω

3.6 ACONDICIONAMIENTO DE LAS SEÑALES DE CONTROL

En esta sección se analiza el proceso de adecuación de las señales de control de los IGBT's. Teóricamente las señales complementarias previamente obtenidas, pueden emplearse para controlar las compuertas de cada uno de los IGBT's del inversor de tres niveles NPC, sin embargo primero es necesario incluir una etapa de aislamiento de las señales de control y después es imprescindible utilizar un driver (manejador de señales de compuerta) mediante el cual se proporcionen los niveles de corriente y voltaje requeridos por cada una de las compuertas de los IGBT's.

3.6.1 AISLAMIENTO DE LAS SEÑALES DE CONTROL

Es necesario generar una etapa de aislamiento entre las señales de control y el circuito de potencia, ya que de esta forma se protegen los dispositivos de control del inversor (DSP y el circuito generador de señales complementarias). La utilización de optoacopladores es una técnica de aislamiento que aventaja a la que se basa en el uso de transformadores, esto se debe principalmente al menor tamaño y peso de los componentes involucrados, a la capacidad de rechazar el ruido en la entrada y al reducido consumo de energía.

Los optoacopladores también conocidos como optoaisladores están constituidos por un diodo emisor de luz (LED) y un dispositivo fotosensible. La luz que emite el LED llega al receptor en este caso un fototransistor dando lugar a un flujo de corriente en el colector. Por lo tanto, la conexión únicamente es por medio de un haz luminoso y en una sola dirección, protegiendo así la parte del emisor de luz.

Es importante mencionar que uno de los principales inconvenientes que se presenta al utilizar dispositivos optoacopladores, es la no linealidad del emisor de luz, sin embargo esto no repercute en el funcionamiento del inversor, debido a que las señales de control únicamente tienen dos niveles lógicos 1 y 0, y esto implica que los optoacopladores solamente trabajarán en las regiones de corte y/o saturación (encendido y apagado).

La frecuencia de conmutación de las señales de control está en el orden de los KHz, por lo tanto uno de los principales requerimientos que debe satisfacer el optoacoplador utilizado, es la capacidad de trabajar en altas frecuencias de conmutación.

En esta aplicación se ha utilizado el optoacoplador dual HCPL-2531 de Fairchild Semiconductor®, el cual está constituido por dos LED's y dos fototransistores capaces de operar en altas frecuencias de conmutación. Es necesario tener en cuenta que cada optoacoplador invierte la lógica de control, es decir, cuando se manda una señal lógica con un nivel alto, ésta enciende al LED del optoacoplador lo que a su vez provoca que el optotransistor se sature, y en consecuencia a la salida se obtiene una señal con un nivel lógico bajo.

El fabricante recomienda que para encender por completo cada uno de los LED's que constituyen al optoacoplador dual HCPL-2531, basta con hacer fluir por ellos una corriente de 16mA. Para generar dichos niveles de corriente es necesario utilizar un buffer, el cual es un circuito amplificador que evita el efecto de carga en el circuito generador de señales complementarias. En esta aplicación se ha utilizado el buffer inversor 74HC240, el cual invierte y además amplifica las señales de control. Es importante señalar, que al utilizar un buffer inversor se mantiene la lógica de control a la salida de los optoacopladores.

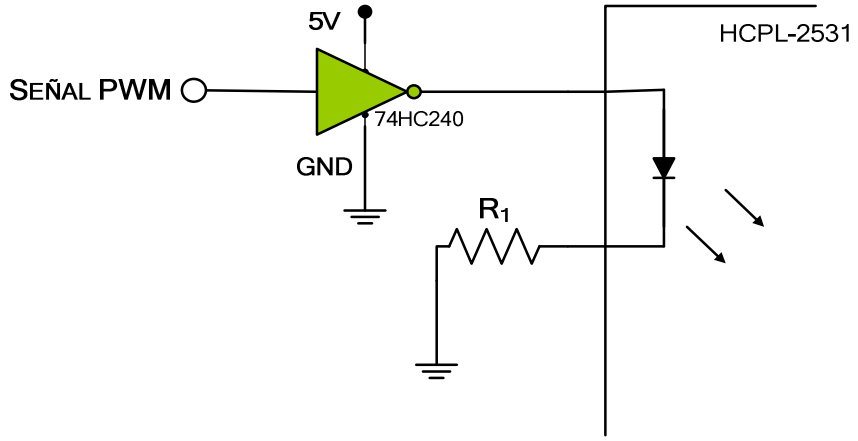


Figura 3-11. Conexión del buffer y el LED del optoacoplador.

El circuito 74HC240 es capaz de proporcionar una corriente de hasta 25 mA en cada uno de sus pines, y en estado alto un nivel de voltaje de 5V. Por lo tanto una vez que se conecta el buffer al optoacoplador tal como se muestra en la Fig. 3-11, es necesario calcular el valor de la resistencia R_1, la cual tiene el propósito de limitar la corriente en el LED.

El cálculo de R_1 se realiza a partir de:

$$R_1 = \frac{V_{CC} - V_F}{I_F} \tag{3-21}$$

Donde:
V_{CC}: Es el voltaje de la fuente de alimentación del buffer =5V.
V_F: Es la caída de voltaje en el LED =1.45V.
I_F: Es la corriente que se fijará en el LED =16mA.

Por lo tanto utilizando (3-21), el valor de la resistencia es:

$$R_1 = \frac{V_{CC} - V_F}{I_F} = \frac{5V - 1.45V}{16mA} = 221.87\Omega \approx 220\Omega$$

La resistencia de colector del fototransistor es utilizada como resistencia limitadora de corriente, la cual además influirá en el tiempo de subida y bajada de los estados lógicos. Considerando las recomendaciones del fabricante se ha utilizado una resistencia con un valor de 5.6KΩ, la cual permite que la corriente de colector se encuentre entre los límites permisibles y que los tiempos del retardo de propagación de los estados lógicos alto y bajo (T_{PHL} y T_{PLH}) sean aceptables.

En la Fig. 3-12, se muestra el circuito implementado que aísla cuatro señales de control, correspondientes a una rama del inversor de tres niveles NPC. En el circuito se puede observar que para generar el correcto aislamiento de las señales PWM, es necesario utilizar una fuente de voltaje aislada (alimentación de los fototransistores) por cada modulo HCPL-2531, en este caso V_{CC1} y V_{CC2}. Se ha determinado que las fuentes V_{CC1} y V_{CC2} sean de 15V, esto con el propósito de que también alimenten a los circuitos manejadores de compuerta, tal y como será analizado posteriormente. Adicionalmente, el fabricante del HCPL-2531 recomienda utilizar un capacitor de desacople de 0.1µF, el cual actúa como una fuente de alimentación cercana a la carga (optoacoplador), aportando la energía necesaria para absorber los picos de corriente consumidos por el optoacoplador durante el proceso de conmutación y de esta forma se minimizan los transitorios de voltaje en la fuente de alimentación V_{CC}.

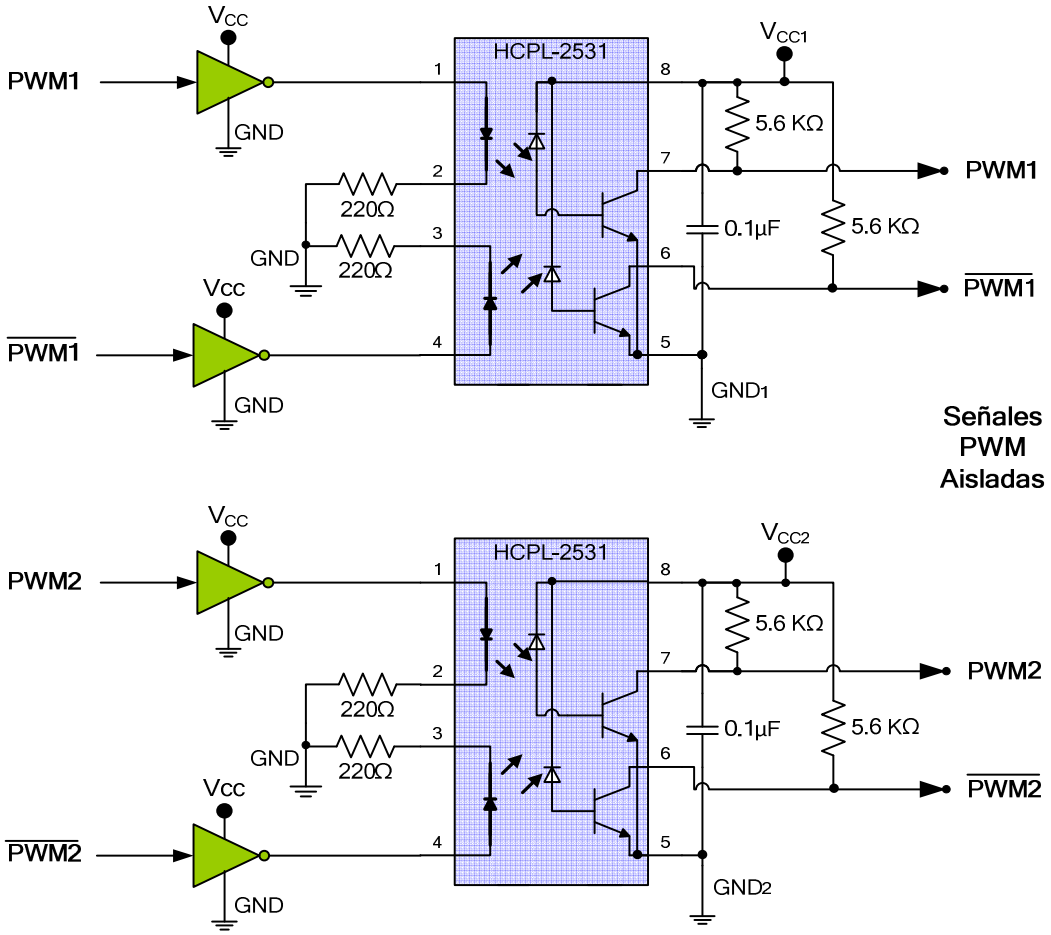


Figura 3-12. Etapa de aislamiento de las señales de control correspondientes a una rama del inversor.

3.6.2 CIRCUITO MANEJADOR DE COMPUERTAS

En la actualidad existen numerosos circuitos manejadores de compuertas de IGBT's o MOSFET's también conocidos como drivers. Los drivers están encargados de proporcionar los niveles de voltaje y corriente requeridos para alcanzar los estados de corte y saturación de los dispositivos semiconductores de potencia.

Para un adecuado funcionamiento, los circuitos manejadores de compuerta deben cumplir con los siguientes requerimientos [60]:

a) Proporcionar las señales de control de compuerta con adecuados niveles de amplitud.

b) Presentar una baja resistencia de salida, lo cual permite que la capacitancia de entrada de la compuerta del IGBT se cargue y descargue rápidamente.

c) Proporcionar salidas de control flotante, con lo que es posible manejar dispositivos semiconductores con referencias independientes.

El circuito IR2110 de International Rectifier®, integra la mayoría de las etapas requeridas para manejar las compuertas de dos IGBT's o MOSFET's (con referencias de salida independientes), tal como se muestra en la Fig. 3-13. El circuito manejador de compuertas IR2110 es capaz de operar a muy altas velocidades de conmutación y únicamente requiere de la incorporación de algunos componentes adicionales.

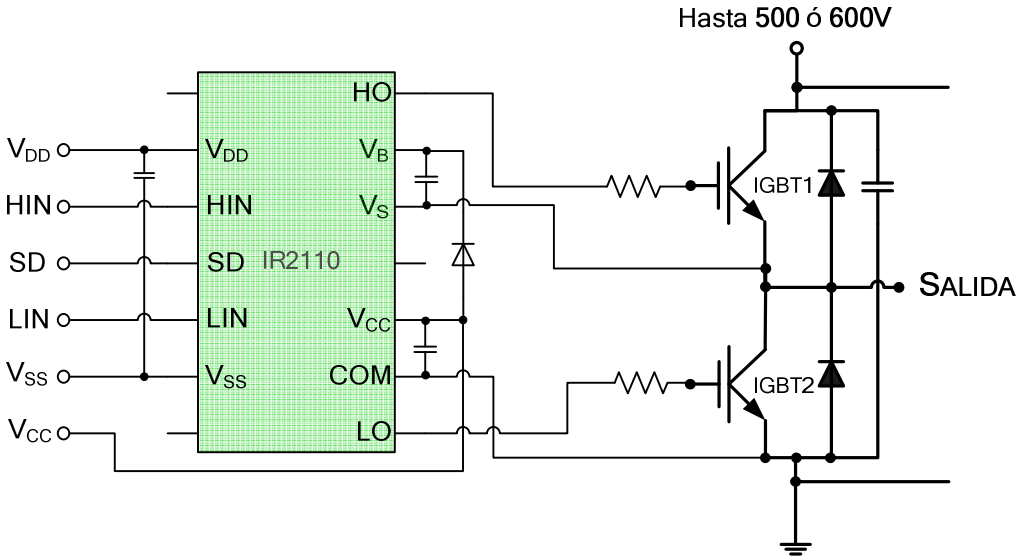


Figura 3-13. Conexión típica del IR2110.

Las características más importantes del circuito integrado IR2110 se listan a continuación:

- Es capaz de soportar voltajes de offset de hasta 600V (voltaje en la etapa de potencia V_d).
- Tiene un canal flotante para controlar al IGBT superior, en el cual comúnmente se aplica la técnica de operación bootstrap.
- Es capaz de proporcionar corrientes de compuerta de hasta 2A.
- Tiene tiempos de retardo de encendido y apagado que son muy rápidos, t_{on} de 120ns y t_{off} de 94ns.
- Proporciona señales de compuerta con una amplitud que está en el rango de 10V a 20V.
- Detecta bajos niveles de voltaje, y bloquea las señales de control de compuerta en ambos canales de salida.
- Tiene entradas lógicas que son compatibles con tecnología CMOS (Complementary Metal Oxide Semiconductor) o LSTTL (Low Power Schottky Transistor Logic) de hasta 3.3V.
- Proporciona señales de control de compuerta que están en fase con las señales lógicas de entrada.
- Tiene implementada una entrada lógica de deshabilitación SD (Shutdown), la cual puede inhibir las señales de control (las manda a un nivel bajo) que van hacia las compuertas de los IGBT's.

En la Fig. 3-14, se muestra el diagrama a bloques del IR2110, el cual puede ser obtenido en la hoja de especificaciones, y en la Tabla 3.6-1 se muestra la descripción de cada una de sus terminales.

En la Fig. 3-14, se observa que la fuente V_{CC} conectada entre las terminales V_{CC} y COM es la encargada de suministrar la energía necesaria para controlar la compuerta del IGBT inferior, mientras que la fuente V_B conectada entre las terminales V_B y V_S suministra la energía necesaria para controlar la compuerta del IGBT superior.

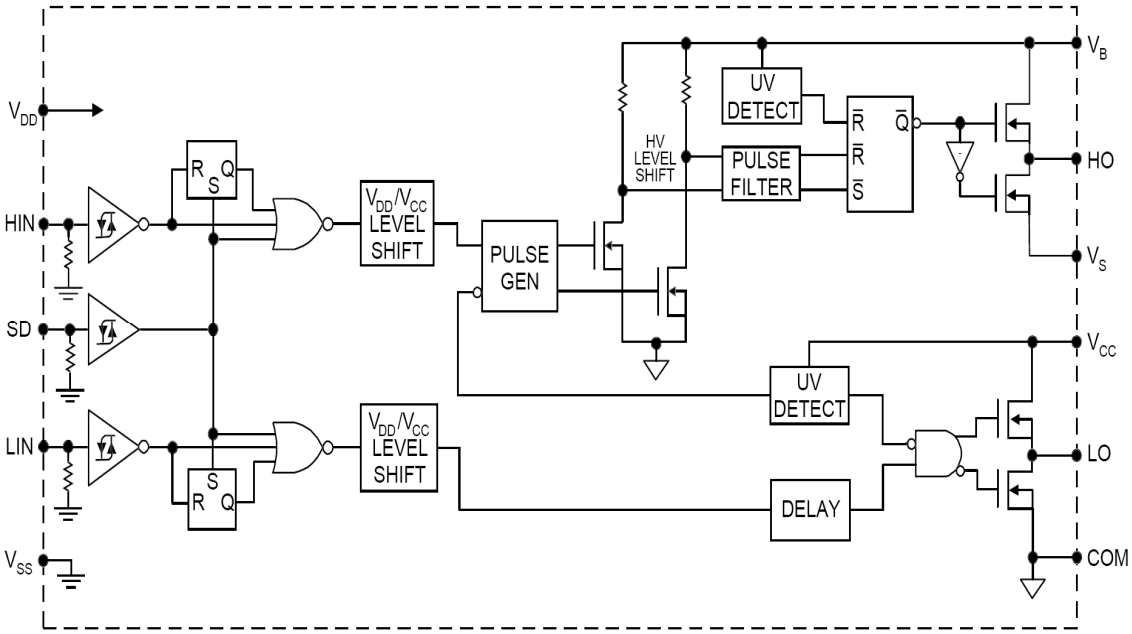


Figura 3-14. Diagrama a bloques del circuito manejador de compuertas IR2110.

TABLA 3.6-1 DESCRIPCIÓN DEL CIRCUITO MANEJADOR DE COMPUERTAS IR2110

NOMENCLATURA	DESCRIPCIÓN
V_{DD}	Fuente de alimentación lógica
HIN	Entrada lógica para manejar la compuerta del IGBT superior
SD	Entrada lógica para deshabilitar señales de compuerta
LIN	Entrada lógica para manejar la compuerta del IGBT inferior
V_{SS}	Tierra de la fuente de alimentación lógica
V_B	Fuente de alimentación del canal flotante superior
HO	Salida de la señal de control de compuerta del IGBT superior
V_S	Retorno de la fuente de alimentación del canal flotante superior
V_{CC}	Fuente de alimentación de canal inferior
LO	Salida de la señal de control de compuerta del IGBT inferior
COM	Retorno de la fuente de alimentación del canal inferior

Las fuentes de alimentación V_{CC} y V_B deben mantener los niveles de voltaje comprendidos entre 10V y 20V, para garantizar que los IGBT's pueden ser activados en todo momento. Si el voltaje es menor implica que los IGBT's trabajarán fuera de la zona de saturación y por lo tanto disiparán una cantidad excesiva de calor.

El circuito IR2110 es capaz de controlar dos IGBT's, tal y como se muestra en la Fig. 3-13, sin embargo es imprescindible que las fuentes V_B y V_{CC} estén aisladas, de lo contrario la misma fuente estará referenciada en dos puntos diferentes (emisor de IGBT inferior y emisor de IGBT superior) y esto provocaría un corto circuito en el instante en el que el IGBT superior es disparado.

Una de las métodos para incorporar una fuente de alimentación flotante, es mediante la técnica bootstrap, en donde la fuente de alimentación está constituida por un diodo y un condensador tal y como se observa en la Fig. 3-15[60]. Con el propósito de comprender el comportamiento del circuito bootstrap, a continuación se analiza la operación del circuito IR2110 cuando controla dos IGBT's correspondientes a una misma rama de un inversor de dos niveles. Es importante señalar que el análisis se centrará en el control del IGBT superior debido a que el control del IGBT inferior no presenta mayor dificultad.

En la Fig. 3-15a), se muestra el instante en el cual el IGBT superior (T1) está abierto y el IGBT inferior (T2) está cerrado. Se puede observar que el diodo de bootstrap (D_b) se polariza directamente y el capacitor de bootstrap (C_b) se carga y esto es debido a que la terminal V_S ese conectada a la terminal negativa de V_{CC} a través del IGBT T2. Por lo tanto bajo esta condición de operación, el capacitor C_b toma energía de la fuente de alimentación V_{CC}.

En la Fig. 3-15b), se observa que los dispositivos semiconductores han conmutado, por lo que el IGBT superior está cerrado y el IGBT inferior está abierto. Se puede observar que cuando el IGBT T2 sale de conducción, el capacitor C_b deja de almacenar energía y ahora suministra la corriente y voltaje necesarios para activar a T1. Una vez que el IGBT T1 entra en conducción, el voltaje de la etapa de potencia V_d (+) aparece en la terminal V_S, en ese instante el diodo D_b (de recuperación rápida) se polariza inversamente y sale de conducción protegiendo así a la fuente V_{CC}. En esta condición de operación, la fuente de alimentación V_B está representada por la energía almacenada en el capacitor C_b.

Al implementar la técnica bootstrap en un inversor de dos niveles, el cual es controlado utilizando alguna técnica de modulación PWM, la carga y descarga del capacitor de bootstrap se realiza en cada periodo de conmutación del inversor, es decir el capacitor C_b recupera su carga inmediatamente después de que la cede, por lo tanto el circuito bootstrap funciona correctamente.

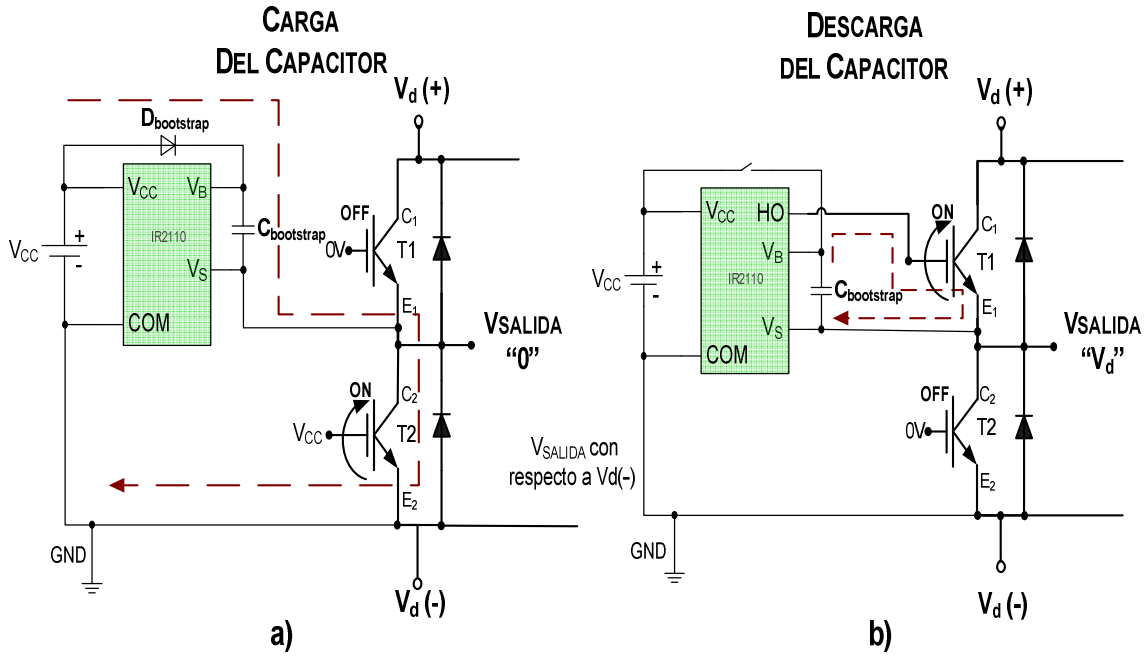


Figura 3-15. Comportamiento del circuito bootstrap en un inversor de dos niveles.

La técnica bootstrap tiene la ventaja de ser económica y fácil de implementar, sin embargo una de sus limitaciones, es que el tiempo de conducción del IGBT superior depende de la energía almacenada en el capacitor C_b. Este problema es mayor cuando se desea controlar al inversor de tres niveles y a continuación se analiza su comportamiento.

Para controlar a los cuatro IGBT's de una rama del inversor de tres niveles, es necesario utilizar dos circuitos integrados IR2110 con sus respectivos circuitos bootstrap y con sus respectivas fuentes independientes, tal y como se muestra en la Fig. 3-16. La señales lógicas de entrada de los circuitos IR2110 tienen estados complementarios, por lo tanto un circuito es el encargado de controlar a los IGBT's 1 y 3 (T1 y T3), mientras que el otro comanda a los IGBT's 2 y 4 (T2 y T4).

A continuación se examina el comportamiento del circuito bootstrap en el inversor de tres niveles, para lo cual es preciso analizar cada uno de los estados de conmutación que es capaz de generar el inversor: P, O y N.

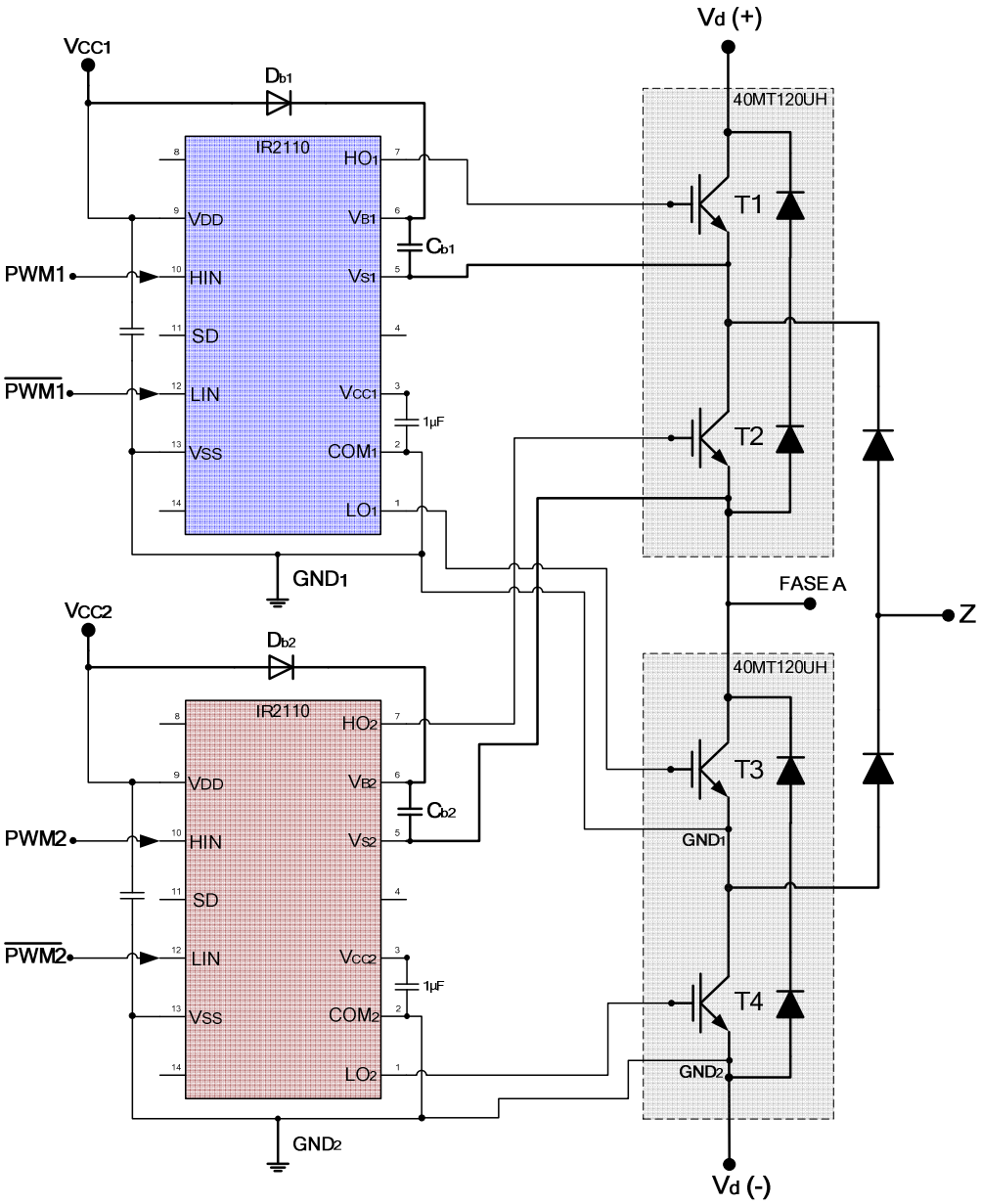


Figura 3-16. Circuito bootstrap en un inversor de tres niveles.

En la Fig. 3-17 se muestra el estado de conmutación P, en el cual los IGBT's T1 y T2 se encuentran conduciendo. Se puede observar que los capacitores C_{b1} y C_{b2} suministran la energía requerida para activar a los IGBT's T1 y T2 respectivamente. Una vez que los IGBT's entran en conducción, el voltaje de la fuente de potencia $V_d(+)$ aparece en las terminales V_{S1} y V_{S2} por lo que los diodos D_{b1} y D_{b2} se polarizan inversamente y salen de conducción protegiendo así a las fuentes V_{CC1} y V_{CC2}.

En la Fig. 3-18 se muestra el estado de conmutación O, en el cual los IGBT's T2 y T3 se encuentran conduciendo. Se puede observar que el diodo D_{b1} se polariza directamente y el capacitor C_{b1} se carga debido a que la terminal V_{S1} es conectada a la terminal negativa de V_{CC1} a través de los IGBT's T2 y T3. También se puede observar que el capacitor C_{b2} suministra la energía requerida para mantener en conducción al IGBT T2.

En la Fig. 3-19 se muestra el estado de conmutación N, en el cual los IGBT's T3 y T4 se encuentran conduciendo. Se observa que el capacitor C_{b2} se carga ya que la terminal V_{S2} es conectada a la terminal negativa de la fuente V_{CC2} a través de los IGBT's T3 y T4. Bajo esta condición de operación el circuito bootstrap 1 no opera, es decir el capacitor C_{b1} no se carga ni tampoco suministra energía.

En base al análisis previo, en la Tabla 3.6-2 se resumen las características de operación que presentan los circuitos bootstrap 1 y 2, cuando el inversor genera los estados de conmutación P, O y N. Para determinar si el funcionamiento de los circuitos bootstrap es correcto, es necesario analizar el orden en el cual, el inversor genera los estados de conmutación. Por lo tanto en la Fig. 3-20, se muestra la secuencia de conmutación y el voltaje polar en la fase a del inversor, los cuales se obtienen al aplicar alguna técnica de control PWM.

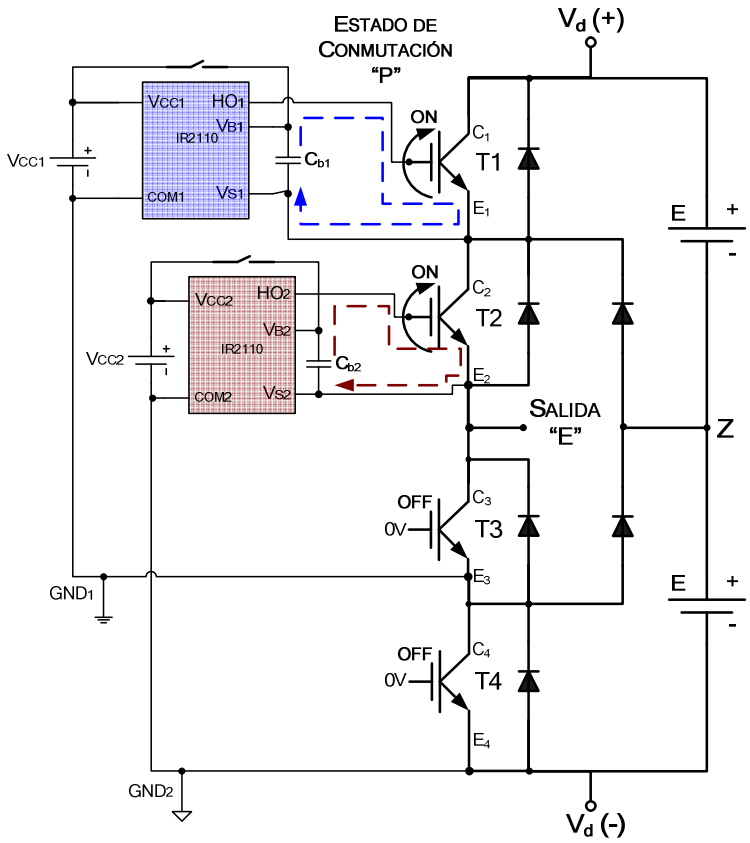


Figura 3-17. Comportamiento del circuito bootstrap al estar presente el estado de conmutación P.

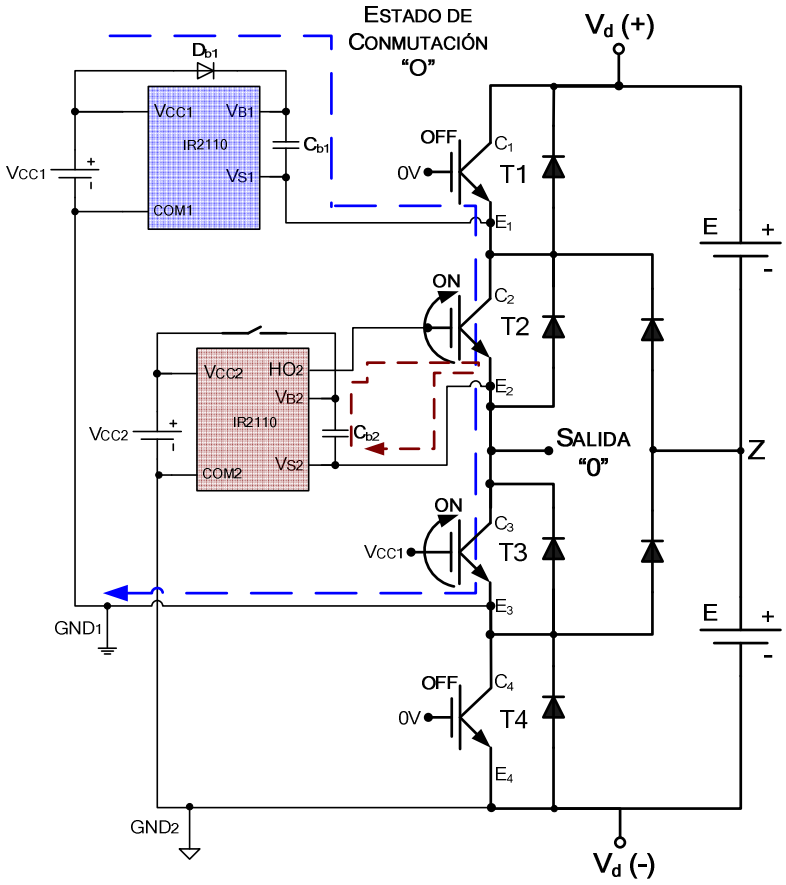


Figura 3-18. Comportamiento del circuito bootstrap al estar presente el estado de conmutación O.

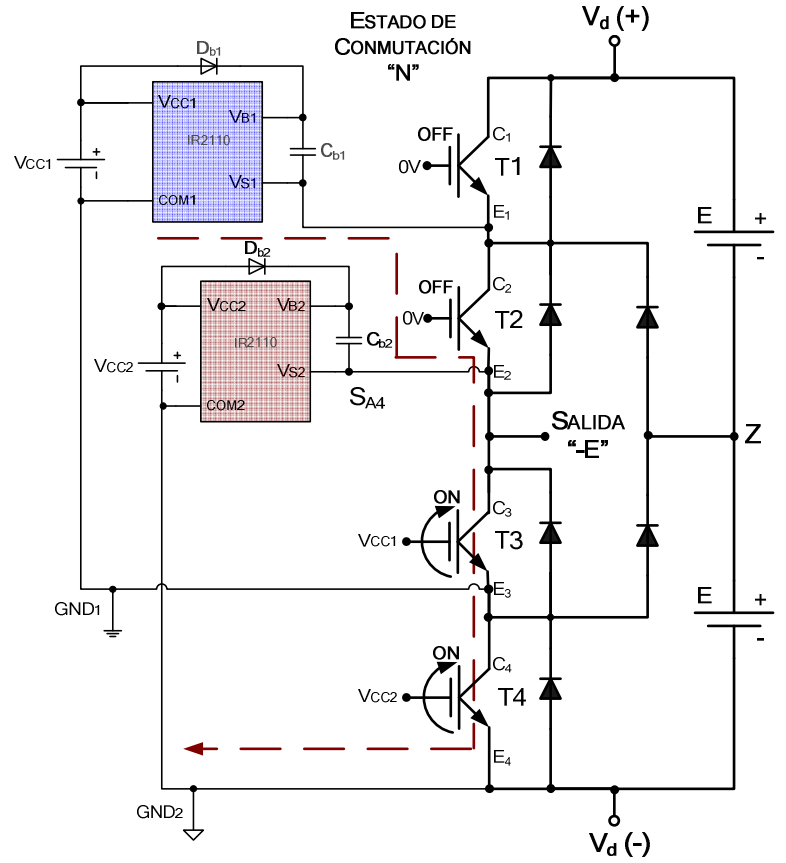


Figura 3-19. Comportamiento del circuito bootstrap al estar presente el estado de conmutación N.

TABLA 3.6-2 CARACTERÍSTICAS DE LOS CIRCUITOS BOOTSTRAP ANTE LOS ESTADOS DE CONMUTACIÓN P, O Y N

Estados de Conmutación	Circuito de Bootstrap 1		Circuito de Bootstrap 2	
	D_{b1}	**C_{b1}**	**D_{b2}**	**C_{b2}**
P	Polarizado Inversamente	Descargando	Polarizado Inversamente	Descargando
O	Conducción	Cargando	Polarizado Inversamente	Descargando
N	No Opera	No Opera	Conducción	Cargando

En la Fig. 3-20 se puede observar que en un principio los estados de conmutación se mantienen alternando entre los estados de conmutación O-P y después entre O-N. El número de repeticiones está en función de la frecuencia de conmutación de las señales PWM así como de la frecuencia de la señal fundamental.

En primer lugar se analiza el comportamiento de los circuitos bootstrap (poniendo especial atención en los capacitores C_{b1} y C_{b2}) cuando el inversor genera la secuencia de conmutación que alterna entre los estados O y N. Con ayuda de la tabla 3.6-2, se puede observar que al generar el estado O el capacitor C_{b1} se está cargando, mientras que el capacitor C_{b2} se está descargando. Al conmutar al estado N el capacitor C_{b1} no opera por lo que mantiene su energía almacenada, mientras que el capacitor C_{b2} recupera la energía que cedió previamente. Por lo tanto cuando el inversor genera los estados de conmutación O-N, los circuitos bootstrap 1 y 2 operan correctamente.

Ahora se analiza el comportamiento de los circuitos bootstrap cuando el inversor requiere generar la secuencia del conmutación que alterna entre los estados O y P. Apoyándose en la Tabla 3.6-2, se puede observar que al generar el estado P, los capacitores C_{b1} y C_{b2} se están descargando. Al conmutar al estado O, el capacitor C_{b1} recupera la energía que proporcionó previamente, sin embargo el capacitor C_{b2} continúa descargándose. Por lo tanto, cuando el inversor genera los estados de conmutación P-O, el capacitor C_{b2} se descarga continuamente y esto implica que el voltaje de la fuente V_{B2} representado por el voltaje en el capacitor C_{b2} disminuye notablemente y esto propiciará que la operación del inversor no sea la esperada.

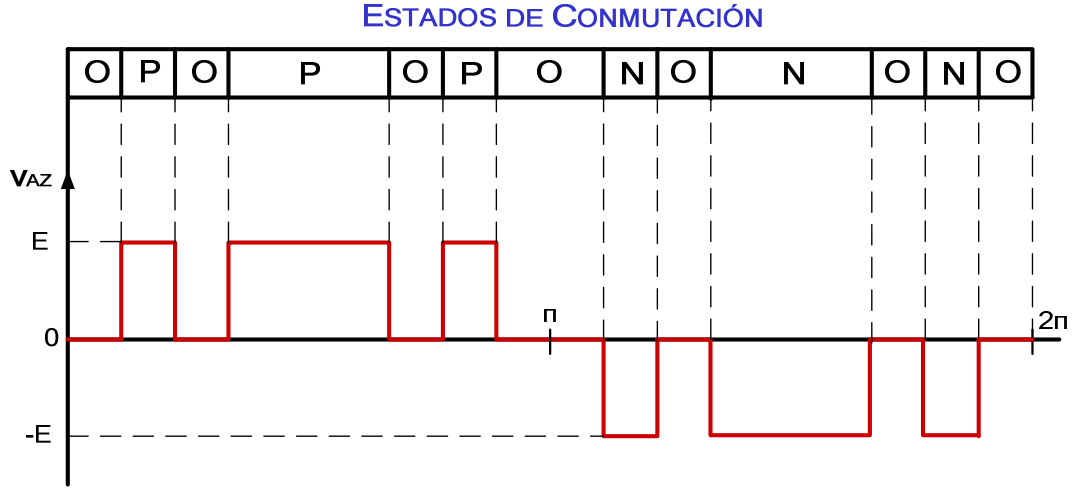


Figura 3-20. Secuencia de conmutación y voltaje polar de la fase a del inversor de tres niveles.

Por lo tanto en esta aplicación se ha determinado que las fuentes flotantes requeridas por los circuitos IR2110 (V_{B1} y V_{B2}) sean fuentes de voltaje aisladas, las cuales mantienen el voltaje constante independientemente de los estados de conmutación que genera el inversor.

Finalmente el fabricante del CI IR2110 hace algunas recomendaciones adicionales para proteger al circuito manejador de compuertas, entre las cuales se encuentran:

- Conectar a la entrada del CI IR2110 un capacitor de desacople de al menos 10µF, el cual permite absorber los picos de corriente generados por la conmutación del dispositivo.

- Conectar un capacitor de desacople de 220µF en paralelo con cada capacitor del filtro de entrada, y lo más cerca posible de los IGBT's. Esto con el propósito de eliminar las inductancias parasitas que se encuentran en la trayectoria de conexión entre los IGBT's y la fuente de potencia V_d, y de esta forma reducir los transitorios de voltaje en el sistema de potencia.

3.6.3 CÁLCULO DE LA RESISTENCIA DE COMPUERTA

La velocidad de conmutación de los IGBT's puede ser controlada por medio de la resistencia de compuerta (R_G). A continuación se muestran algunas reglas básicas que permiten calcular el valor de R_G y con ello obtener el tiempo de conmutación y la variación de voltaje de salida deseados [61].

En la Fig. 3-21, se muestra la nomenclatura que interviene en el cálculo de la resistencia R_G, así como el comportamiento de las variables en el instante en que el IGBT es disparado. Se observa que V_{ge*} es el nivel de voltaje de compuerta para el cual el voltaje V_{CE} comienza a disminuir, mientras que Q_{GC} y Q_{GE} son las cargas de gate-colector y gate-emisor respectivamente. Los valores de V_{ge*}, Q_{GC} y Q_{GE} pueden ser obtenidos en la hoja de especificaciones del IGBT utilizado.

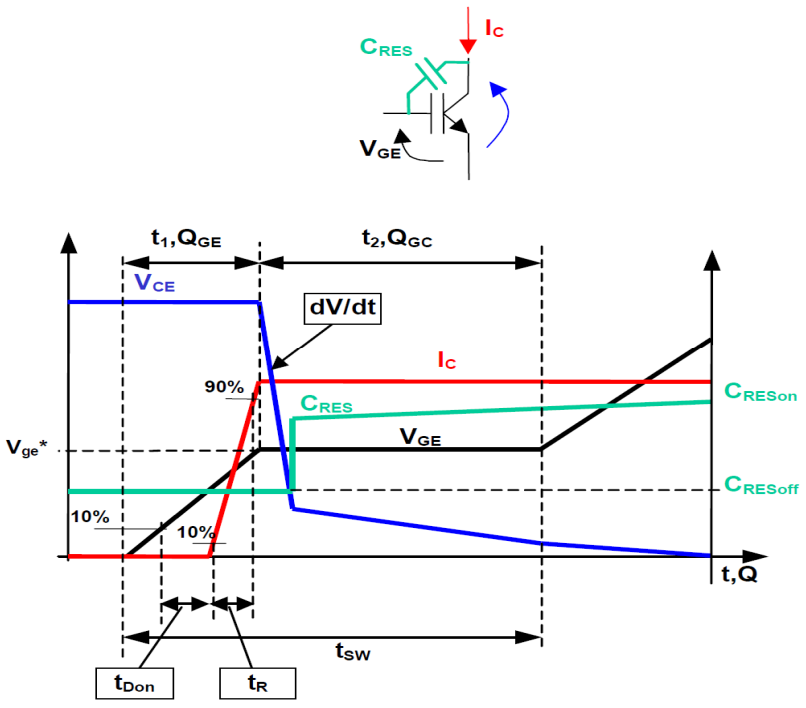


Figura 3-21. Nomenclatura del IGBT.

La selección de la resistencia de compuerta está en función del tiempo de conmutación, así como de la variación del voltaje de salida (dV_{out}/dt). Para cualquier IGBT, el tiempo de conmutación (t_{SW}) está definido como el tiempo necesario para que el voltaje V_{CE} disminuya y llegue a 0V. Durante este intervalo de tiempo es necesario proporcionarle al dispositivo una carga eléctrica que está determinada por $Q_{GC}+Q_{GE}$, y que a su vez exigirá proporcionar una corriente media I_{avg} que responde a:

$$I_{avg} = \frac{Q_{GC}+Q_{GE}}{t_{SW}} \tag{3-22}$$

Y la resistencia R_G está en función de:

$$R_G = \frac{V_{CC}-V_{ge}^*}{t_{SW}} \tag{3-23}$$

Donde:
V_{CC}: Es el voltaje de alimentación del manejador de compuertas utilizado.

Sin embargo, también es necesario verificar que el valor calculado de R_G, no provoca variaciones de voltaje en el IGBT que sobrepasen los niveles que especifica el fabricante.

Por lo tanto, la variación del voltaje de salida puede ser aproximada por:

$$\frac{dV_{OUT}}{dt} = \frac{I_{avg}}{C_{RES}} \tag{3-24}$$

Donde:
C_{RES}: Es la Capacitancia de Transferencia Inversa.

Al especificar un tiempo de conmutación típico de 300ns [61], se tiene que el valor de la resistencia R_G requerido es de:

$$I_{avg} = \frac{187*10^{-9}+43*10^{-9}}{300*10^{-9}} = 0.766A$$

$$R_G = \frac{15-8}{0.766} = 9.13\Omega \approx 10\Omega \Rightarrow I_{avg} = 0.7A \;\; y \;\; t_{SW} = 328.57ns$$

Ahora verificando que el valor de R_G no genera una variación V_{out}/dt mayor a 5V/ns, lo cual es válido cuando se utilizan IGBT's de propósito general [61], se tiene que:

$$\frac{dV_{OUT}}{dt} = \frac{0.7}{171*10^{-12}} = 4.09V/ns$$

También, es recomendable utilizar un diodo de conmutación rápida conectado en antiparalelo con la resistencia R_G. Esto con el propósito de evitar que el IGBT se pueda disparar en forma indeseada (debido al flujo de corriente parasita a través de C_{RES}), ya que en el lapso de tiempo en el cual se encuentra desactivado (V_G=0V), bajo ninguna circunstancia será posible que el voltaje en la resistencia R_G pueda ir más allá del voltaje de conducción del diodo. Como medida de protección adicional, se ha utilizado un diodo zener de 15V conectado entre el gate y el emisor del IGBT, de esta forma se protege la salida del controlador de compuertas, se disminuye la corriente generada por las variaciones de voltaje en el colector dV_{out}/dt y se mantiene bajo control el voltaje V_{GE} del IGBT [60].

Finalmente en la Fig. 3-22, se muestra la etapa de aislamiento, el circuito manejador de compuertas y las resistencias de compuerta asociadas a una rama del inversor NPC.

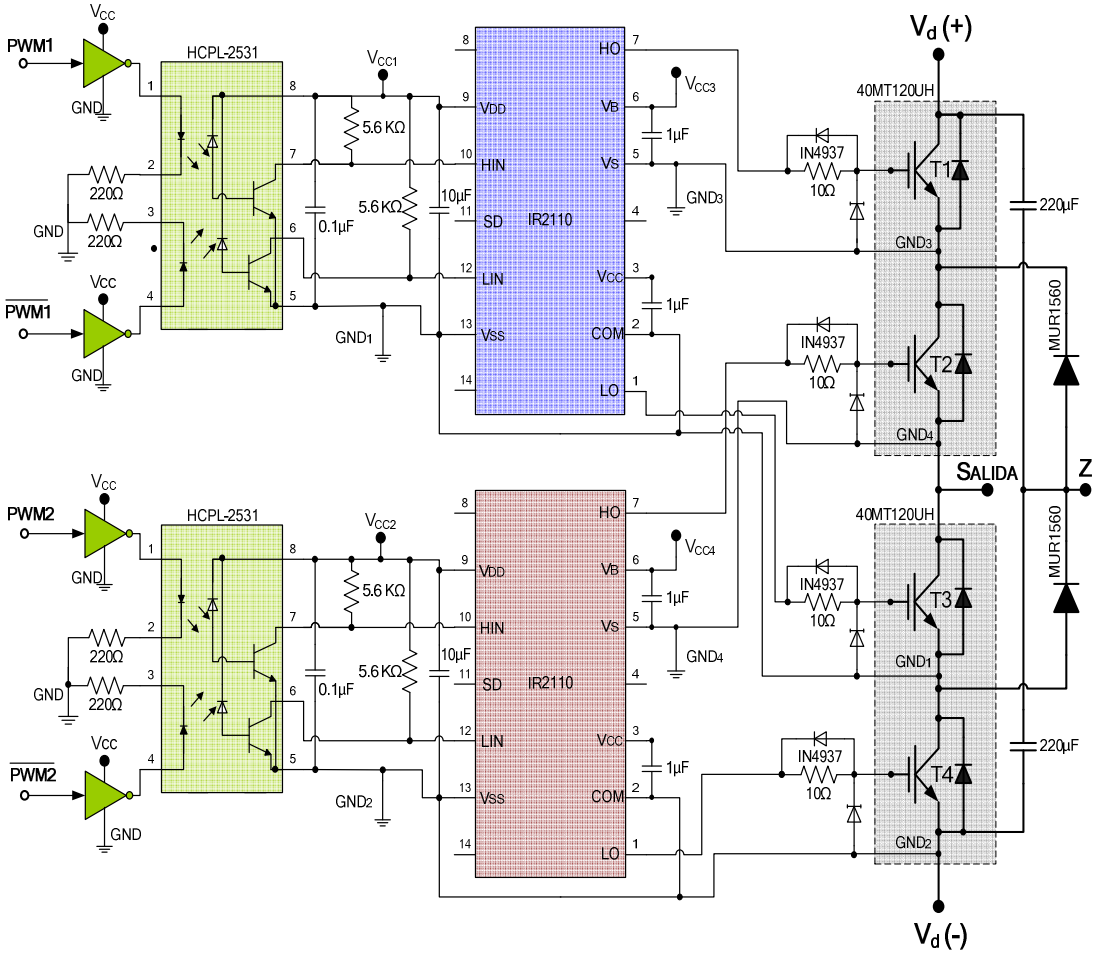


Figura 3-22. Hardware necesario para controlar una rama del inversor de tres niveles NPC.

3.7 CIRCUITO DE PROTECCIÓN

En esta sección se analiza y diseña el circuito encargado de proteger al inversor de tres niveles NPC, considerando que una de las fallas más comunes y fatales que se presenta en un accionamiento de una máquina de CA, es la condición de sobrecorriente.

Al detectar una condición de sobrecorriente, es necesario que el circuito de protección desactive los IGBT's, para que de esta forma se interrumpa el flujo de corriente y por lo tanto se protejan los dispositivos semiconductores que conforman al inversor.

3.7.1 PRINCIPALES TIPOS DE FALLA

En la Tabla 3.7-1, se muestran los tres principales tipos de falla, así como algunas de las causas que provocan un estado de sobrecorriente en un accionamiento de una máquina de CA [62].

Es importante reiterar que al realizar el circuito de protección, primero es preciso detectar la condición de sobrecorriente e inmediatamente después deshabilitar el sistema de potencia. La detección de la condición de sobrecorriente debe realizarse con el menor número posible de sensores de corriente, para de esta forma evitar el incremento en el tamaño, costo y complejidad del circuito de protección.

TABLA 3.7-1 TIPOS DE FALLAS Y PRINCIPALES CAUSAS QUE PROVOCAN UNA SOBRECORRIENTE EN UN ACCIONAMIENTO DE UNA MÁQUINA DE CA

TIPO DE FALLA	**POSIBLES CAUSAS**
CORTO CIRCUITO DE LÍNEA A LÍNEA	Los cables del motor entre fases se encuentran en cortocircuito, esto debido principalmente al deterioro del aislamiento.
FALLA A TIERRA	Alguno de los conductores está haciendo contacto con la carcasa del motor, esto propiciado por el deterioro del aislamiento.
FALLA POR DISPARO	Alguna de las ramas del inversor se encuentra en cortocircuito, esto debido al encendido indeseado de algunos IGBT's.

Por lo tanto, a continuación se analizan algunas de las trayectorias que sigue la corriente cuando se presenta cualquiera de las tres fallas previamente mencionadas, y en función de ello se determina el número y la posición de los sensores de corriente.

En las Figs. 3-23 y 3-24, se observan algunas de las posibles trayectorias que sigue la corriente cuando se presenta un corto circuito entre líneas, o una falla por el disparo indeseado de algunos IGBT's.

Se puede observar que la corriente en el sistema de potencia fluye desde y hacia la fuente V_d (Capacitores). Esto implica que es suficiente con sensar la corriente en el retorno de la fuente V_d, para de esta forma detectar el nivel de sobrecorriente en cualquiera de las ramas del circuito de potencia.

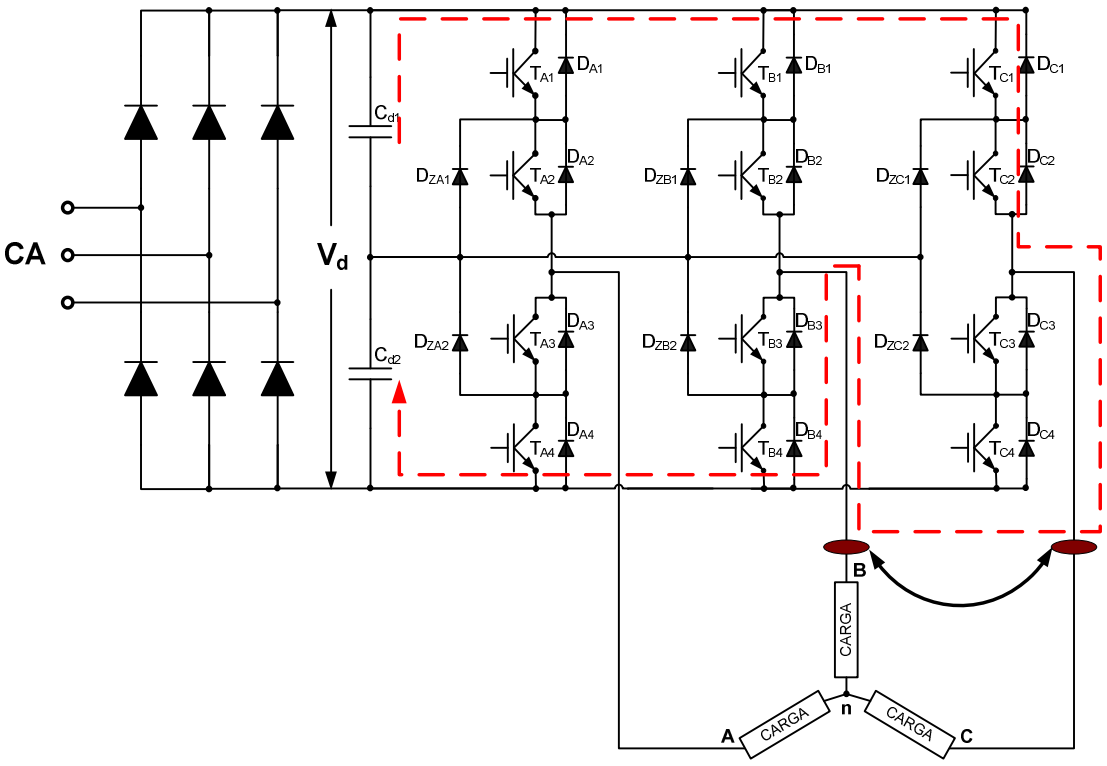


Figura 3-23. Trayectoria de la sobrecorriente propiciada por un corto circuito de línea a línea.

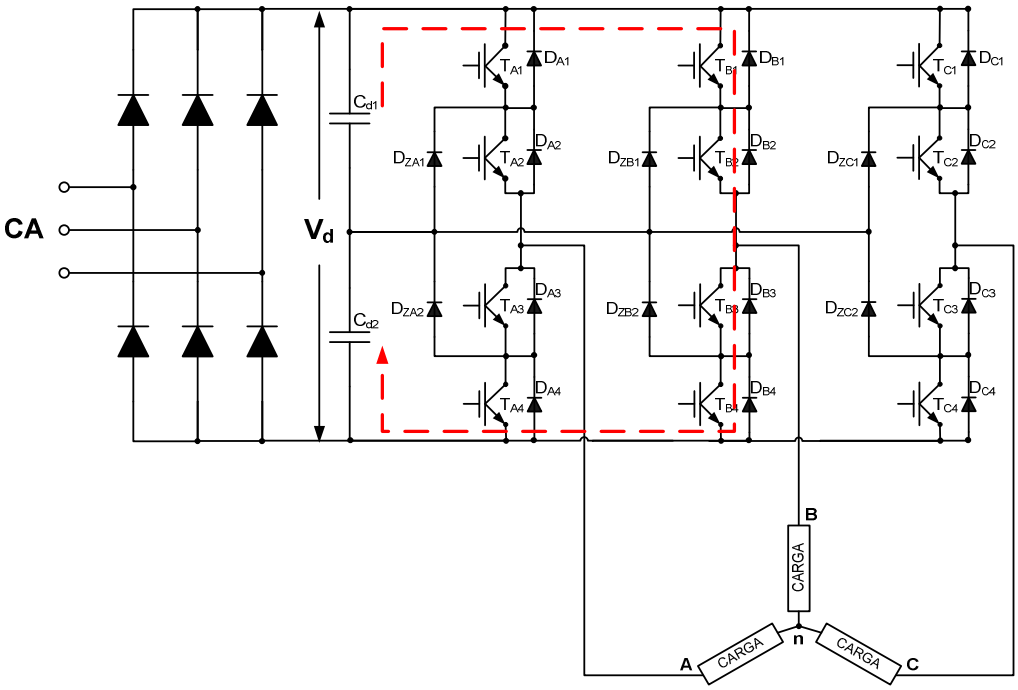


Figura 3-24. Trayectoria de la sobrecorriente propiciada por el disparo indeseado de algunos IGBT's.

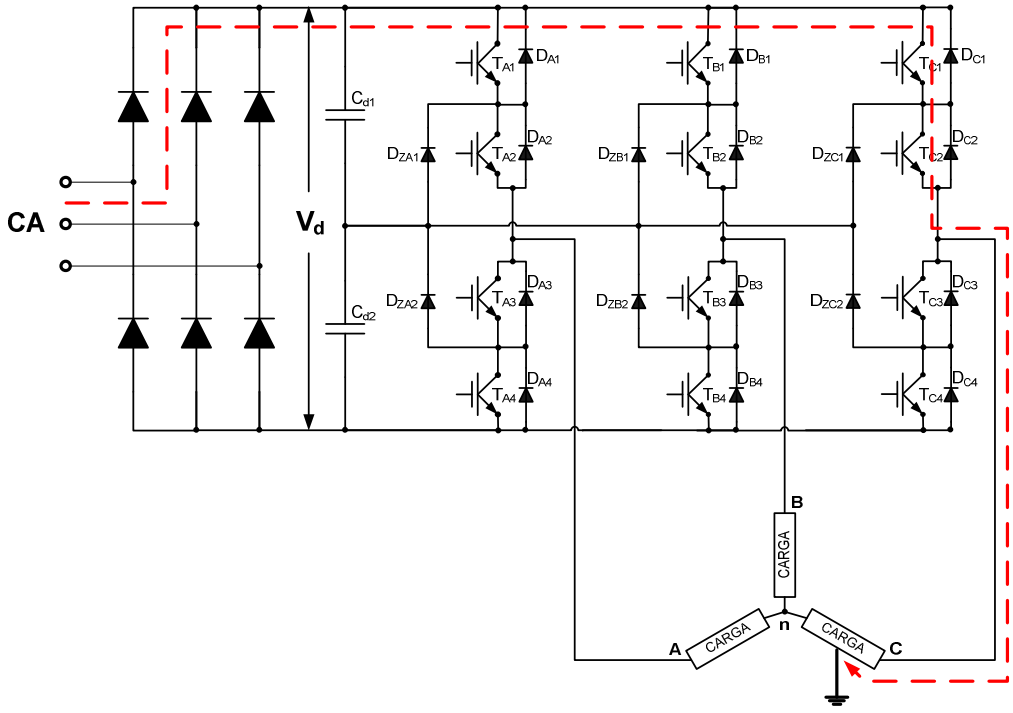


Figura 3-25. Trayectoria de la sobrecorriente propiciada por una falla a tierra.

Sin embargo, cuando se produce una falla a tierra, tal y como se muestra en la Fig. 3-25, la corriente fluye desde la línea de alimentación de CA (entrada), pasa a través de la terminal positiva de la fuente V_d y llega a tierra, es decir no retorna a V_d.

Por lo tanto, también es necesario incorporar un sensor de corriente justo después de la terminal positiva de la fuente V_d, tal y como se muestra en la Fig. 3-26. Es importante señalar que la detección de la corriente se puede realizar por medio de sensores de efecto hall o a partir de resistores shunt con sus respectivos optoaisladores lineales.

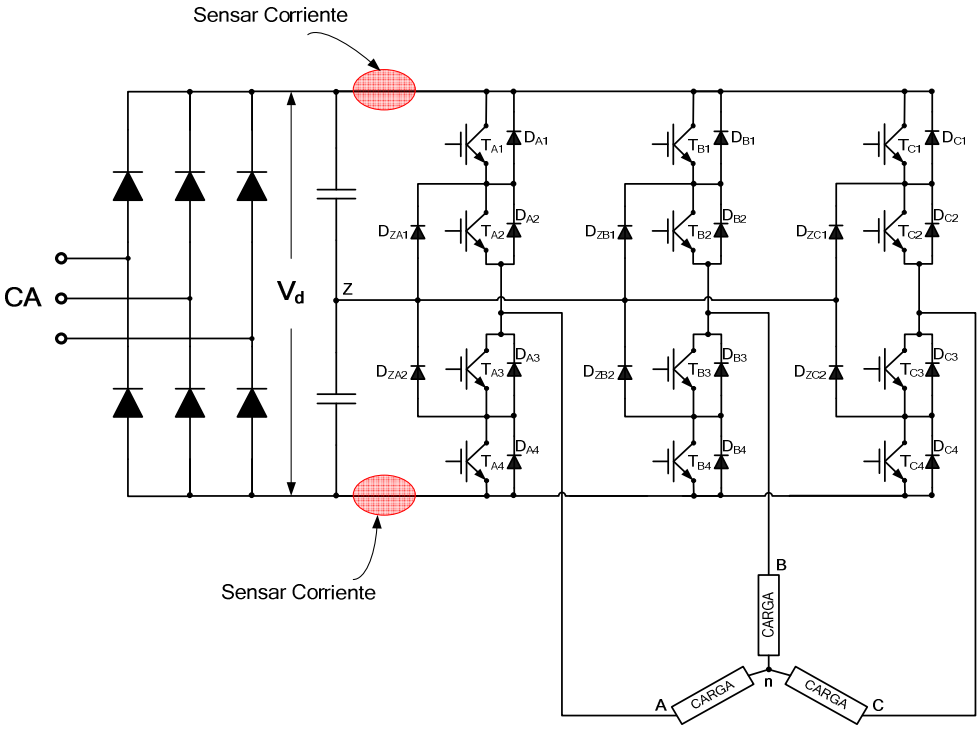


Figura 3-26. Localización de los sensores de corriente.

3.7.2 SENSOR DE CORRIENTE

En esta aplicación se han utilizado sensores de corriente de efecto hall, los cuales funcionan bajo la premisa de que cualquier corriente que fluye en un conductor genera un campo magnético.

A continuación se analiza el proceso interno que ejecuta el sensor LTS 25-NP, para realizar la medición de corriente. En la medición del campo magnético, el sensor de corriente utiliza un elemento de efecto hall que al alimentarlo con una corriente constante tiene la propiedad de convertir las variaciones de flujo magnético en variaciones de voltaje. Después, aplica la técnica de medición de lazo cerrado, en la cual el voltaje obtenido únicamente es utilizado para balancear el flujo en los devanados primario (en donde circula la corriente que se requiere medir) y secundario (Ver Fig. 3-27). El devanado secundario o de compensación, por ejemplo de 2000 vueltas conduce la 1/2000 parte de la corriente del primario, esto con el propósito de compensar exactamente la misma magnitud del campo generado por el conductor primario. Por lo tanto, se busca que el flujo total sea igual a cero y la medición de corriente se realiza en el devanado secundario. El proceso de medición previamente analizado, así como el esquema físico del sensor LTS 25-NP se muestran en la Fig. 3-27 [63].

Algunas de las características más importantes del sensor de corriente LTS 25-NP, se listan a continuación:

- Permite medir corrientes de: CA, CD y pulsantes.
- Proporciona aislamiento galvánico entre el circuito primario (alta potencia) y el circuito secundario (circuito electrónico).
- Permite configurar el rango de medición de la corriente nominal rms (8A, 12A y 25A).
- Requiere solamente una fuente de alimentación de 5V.

- Tiene un diseño compacto que facilita su incorporación en una tarjeta de circuito impreso.
- Tiene excelente exactitud en las mediciones.
- Presenta muy buena linealidad.
- Tiene un considerable ancho de banda de frecuencia.

El sensor LTS 25-NP, proporciona un voltaje de salida que obedece a la expresión:

$$V_{OUT} = 2.5 \pm (0.625 * I_P/I_{PN}) \quad (3\text{-}25)$$

Donde:
I_{PN}: Es la corriente nominal rms en el primario.
I_P: Es la corriente medida en el primario que puede ser de hasta 80A.

La curva de comportamiento del sensor de corriente, la cual está en función de (3-25), se muestra en la Fig. 3-28. Se observa que el voltaje máximo de salida es de 4.5V y corresponde a medir una corriente máxima positiva, mientras que el voltaje mínimo es de 0.5V y se obtiene cuando se mide una corriente máxima negativa.

En esta aplicación se ha configurado al sensor de corriente para mida una corriente rms de 8A, tal como se muestra en la Fig. 3-28. Esto implica que el sensor proporciona valores de voltaje máximos (0.5V a 4.5V) al medir corrientes máximas de hasta ±25.6A.

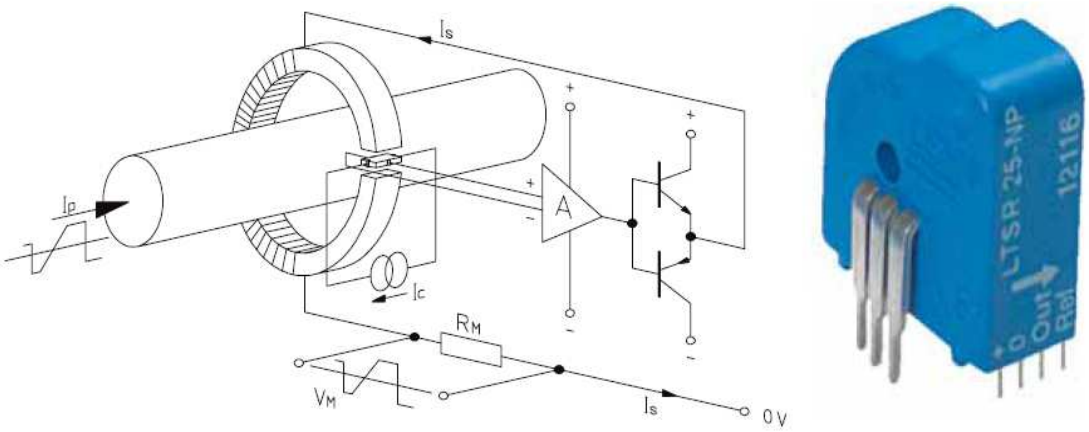


Figura 3-27. Técnica de medición y esquema físico del sensor de corriente LTS- 25NP.

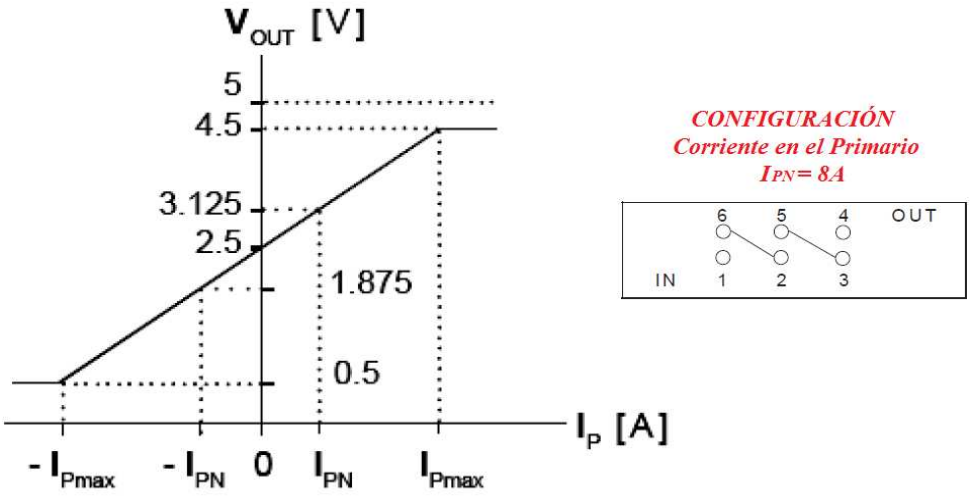


Figura 3-28. Curva de comportamiento y configuración del sensor LTS 25-NP.

3.7.3 CIRCUITO DE DETECTOR DEL NIVEL DE SOBRECORRIENTE

En esta sección se desarrolla el circuito que tiene el objetivo de detectar un nivel de sobrecorriente en el sistema de potencia. Para ello es importante tener presente que 0.5V y 4.5V son los niveles de voltaje que indican la existencia de una sobrecorriente ±25.6A, en el circuito de potencia.

En esta aplicación se utilizaron dos circuitos detectores de ventana; uno por cada sensor de corriente. El circuito detector de ventana tiene la función de comparar el voltaje de entrada (proveniente del sensor de corriente) con dos niveles de voltaje de referencia (alto y bajo), y en función de ello proporciona un determinado nivel de voltaje de salida. Esto significa que cuando el voltaje de entrada es mayor que el voltaje de referencia bajo (V_{REF_L}) "y" menor que el voltaje de referencia alto (V_{REF_H}), el circuito proporciona un voltaje de salida con un nivel alto. Mientras que, si el voltaje de entrada es menor que el voltaje V_{REF_L} "o" es mayor que el voltaje V_{REF_H}, el nivel del voltaje de salida es bajo.

Por lo tanto, cuando el nivel de corriente esta dentro de los límites permisibles (menor que ±25.6A), el circuito detector de ventana proporciona un nivel de voltaje (NIVEL_1) alto, de lo contrario, cuando se presenta una sobrecorriente (mayor que ±25.6A), el circuito proporciona un nivel de voltaje bajo.

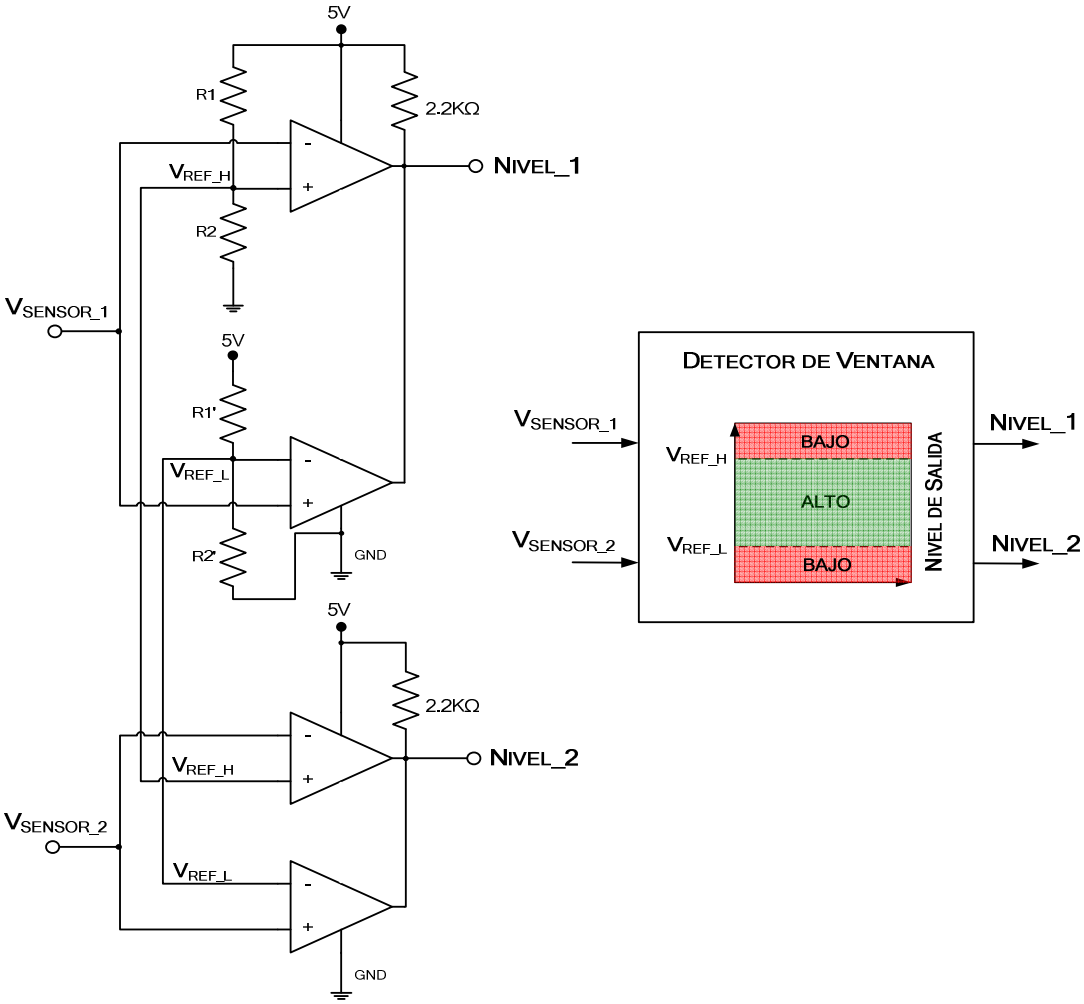


Figura 3-29. Circuito detector de ventana utilizando el comparador LM339.

En la Fig. 3-29, se muestra el circuito implementado, el cual está constituido por comparadores de voltaje (LM339) y por arreglos de resistencias que fijan los niveles de los voltajes de referencia V_{REF_H} y V_{REF_L}.

Las características principales del comparador LM339 son:

- Está constituido por dos comparadores independientes.
- Puede funcionar con una sola fuente de voltaje desde 5V a 36V.
- Es de alta velocidad ya que su tiempo de respuesta está en el orden de 80ns.
- Es capaz de proporcionar una corriente de salida de hasta 25mA.
- Ofrece una buena precisión.

3.7.4 CIRCUITO INHIBIDOR DEL IR2110

Anteriormente se mencionó que el circuito manejador de compuertas IR2110, cuenta con una entrada lógica SD, la cual permite deshabilitar las señales de control de las compuertas de los IGBT's. Por lo tanto, la desconexión del sistema de potencia en el instante en que se presenta una sobrecorriente, se realizará por medio de las entradas lógicas SD.

El inversor de tres niveles NPC está constituido por seis circuitos IR2110 (dos por cada rama), esto implica que es necesario generar seis señales lógicas SD. En la Fig. 3-30, se muestra el circuito implementado. Se puede observar que con el propósito de mantener aislada la tierra del control (GND), así como para conservar el aislamiento entre cada una de las fuentes de alimentación de los drivers, se ha utilizado un optoacoplador por cada señal lógica SD. El nivel de voltaje de cada señal SD se genera utilizando la fuente de alimentación del circuito IR2110 correspondiente.

Es importante mencionar que las señales de compuerta se deshabilitan cuando la señal SD tiene un nivel lógico alto (15V), en caso contrario (0V) se mantienen habilitadas. En el circuito se muestra que por cada circuito optoacoplador (4N28) se ha utilizado un buffer inversor de tres estados (74HC240). El CI 74HC240 tiene una entrada de habilitación $\overline{E}$ que determina su comportamiento, el cual puede ser como amplificador inversor ($\overline{E}$=0) o como dispositivo de alta impedancia ($\overline{E}$=1).

En la Fig. 3-30 se observa que en cada circuito aislador de la señal SD, la entrada del buffer está conectada a tierra, esto implica que cuando el CI 74HC240 se encuentra habilitado $\overline{E}$=0, la salida del buffer proporciona un nivel de voltaje alto que enciende al LED del optoacoplador, lo que su vez permite que el optotransistor y el transistor BC337 se saturen, obteniendo así una señal SD con un nivel bajo (SD=0V). Cuando el CI 74HC240 es deshabilitado $\overline{E}$=5V, la salida del buffer se va a un estado de alta impedancia que apaga al LED del optoacoplador por lo que el optotransistor y el transistor BC337 conmutan al estado de corte, obteniendo así una señal SD con un nivel alto (SD=15V).

Por lo tanto, el control de las señales lógicas SD y en consecuencia de las señales de compuerta, se realizará a partir del control de la señal de habilitación $\overline{E}$ del CI 74HC240. (Ver Tabla 3.7-2.)

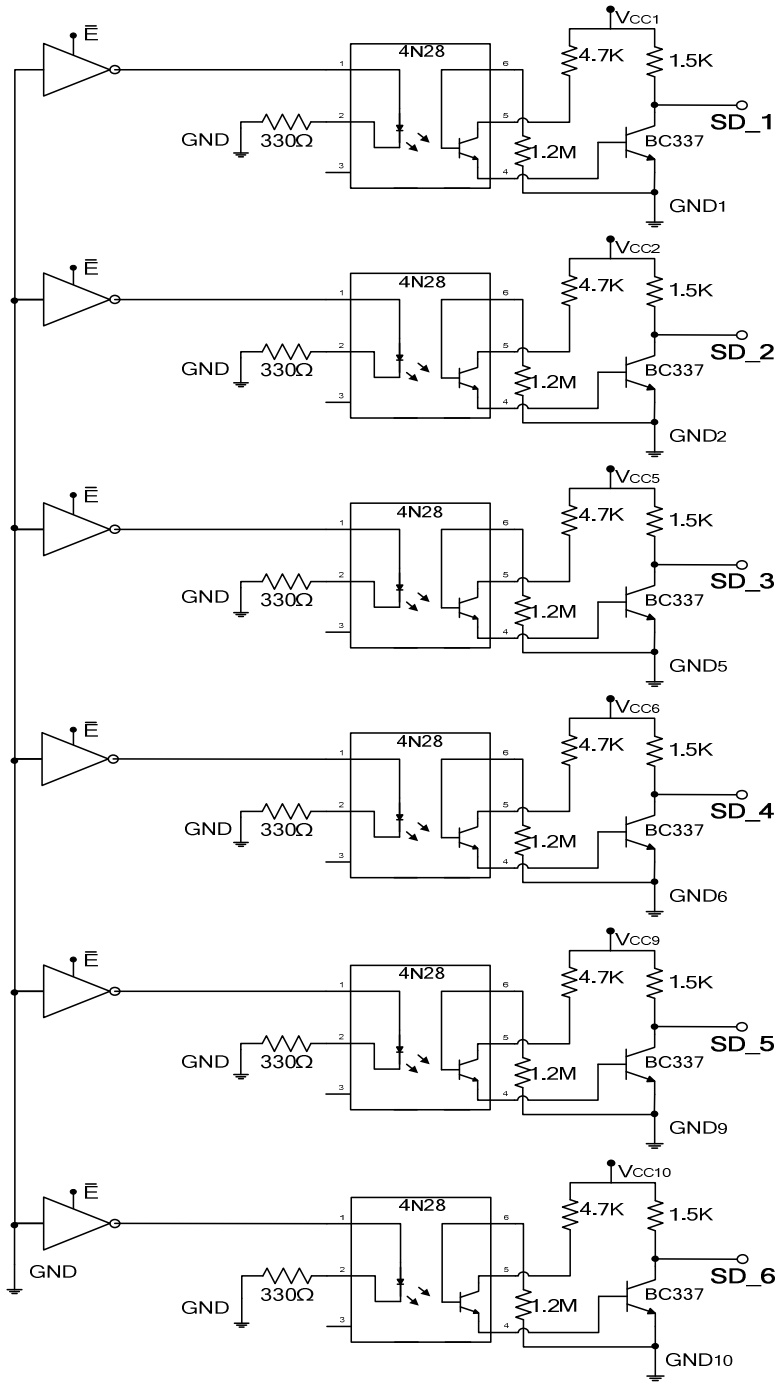


Figura 3-30. Señales de deshabilitación.

TABLA 3.7-2. ESTADO DEL CIRCUITO IR2110 EN FUNCIÓN DE LA SEÑAL DE HABILITACIÓN $\bar{E}$

SEÑAL DE HABILITACIÓN "$\bar{E}$"	LED DEL OPTOACOPLADOR	SEÑAL DE DESAHABILITACIÓN "SD"	ESTADO DEL CIRCUITO "IR2110"
0	Encendido	0V	Habilitado
1	Apagado	15V	Deshabilitado

3.7.5 LÓGICA DE RESTABLECIMIENTO DEL SISTEMA

En esta sección se determina la lógica de restablecimiento, después de que se presenta una falla (estado de sobrecorriente) en el accionamiento de la máquina de CA.

Hasta este momento se ha desarrollado el circuito que indica un nivel de sobrecorriente a partir de los estados lógicos de las señales NIVEL_1 y NIVEL_2, así como el circuito que deshabilita las señales de compuerta de los IGBT's a partir del control de la señal $\overline{E}$. Ahora, adicionalmente se determina incorporar un interruptor (SEGURIDAD), por medio del cual sea posible deshabilitar el sistema de potencia aunque no se presente ninguna falla.

Por lo tanto, en la Tabla 3.7-3 se muestran las condiciones de habilitación y deshabilitación del sistema, las cuales están en función de los niveles lógicos que proporcionan las señales: NIVEL 1, NIVEL 2 y el estado del botón de seguridad. Se puede observar que las condiciones se pueden cumplir al utilizar una compuerta NAND de tres entradas, ya que el sistema únicamente será habilitado cuando las tres señales tengan un estado lógico alto. (Ver Fig. 3-31.)

TABLA 3.7-3. CONDICIONES DE HABILITACIÓN Y DESHABILITACIÓN DEL SISTEMA

CIRCUITO DETECTOR DE NIVEL		**BOTÓN DE SEGURIDAD**	**CIRCUITO DE DESHABILITACIÓN DEL SISTEMA**
NIVEL_1	NIVEL_2		ESTADO LÓGICO DE LA SEÑAL $\overline{E}$
0	0	0	1=DESHABILITADO
0	0	1	1=DESHABILITADO
0	1	0	1=DESHABILITADO
0	1	1	1=DESHABILITADO
1	0	0	1=DESHABILITADO
1	0	1	1=DESHABILITADO
1	1	0	1=DESHABILITADO
1	**1**	**1**	**0=HABILITADO**

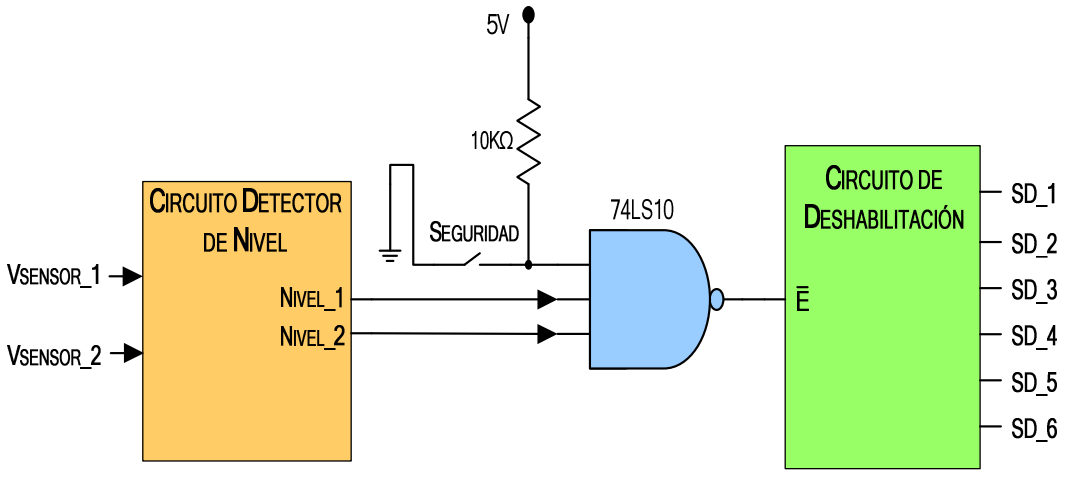


Figura 3-31. Circuito de habilitación y deshabilitación del sistema de potencia.

Ahora es necesario incorporar una lógica de restablecimiento del sistema, de lo contrario este último puede permanecer oscilando entre los estados de habilitación y deshabilitación. Esto se debe a que al presentarse una falla, el sistema se deshabilita y en consecuencia la corriente comienza a disminuir hasta llegar a un nivel en el que nuevamente se encuentra dentro de los límites permisibles. Por lo tanto el sistema se restablece automáticamente, sin embargo si la falla persiste, una vez más se genera una sobrecorriente y esto implica que el sistema nuevamente se deshabilita manteniéndose así una oscilación entre los estados de habilitación y deshabilitación.

Por lo tanto, se ha determinado controlar el restablecimiento del sistema, de manera que una vez que este se deshabilite, no se restablezca a menos que el usuario así lo indique. En el desarrollo del circuito de restablecimiento, se ha utilizado un Flip Flop RS, tal como se muestra en la Fig. 3-32. Como se puede observar, el restablecimiento del sistema se realizará por medio de un botón pulsador normalmente abierto (RESET).

En la Tabla 3.7-4, se resume el comportamiento del circuito implementado, el cual se basa principalmente en la tabla de verdad del Flip Flop RS.

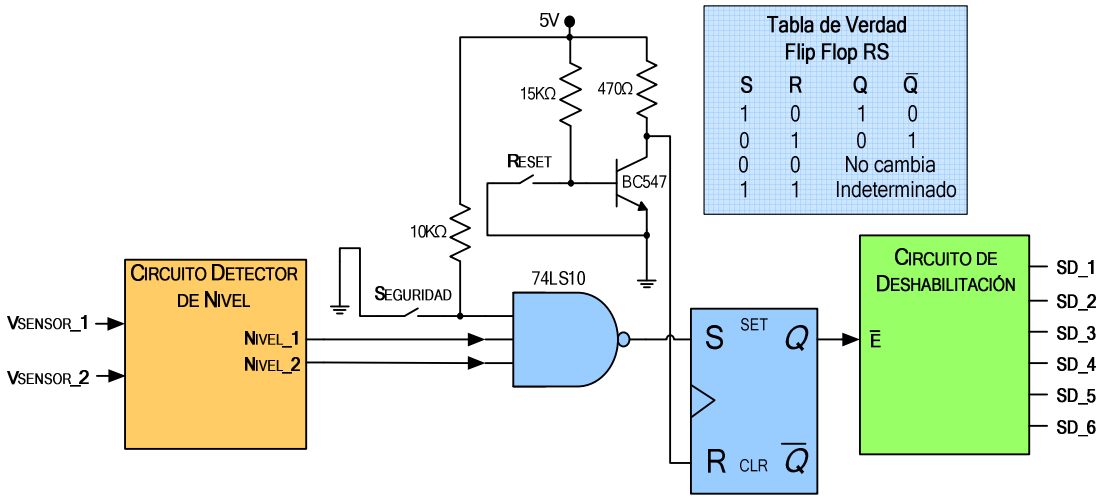


Figura 3-32. Circuito generador de la lógica de restablecimiento del sistema de potencia.

TABLA 3.7-4. COMPORTAMIENTO DE LAS SEÑALES DEL CIRCUITO DE RESTABLECIMIENTO

ESTADO	S	R	Q = $\overline{E}$	ESTADO DEL SISTEMA
INICIAL	0	0	1	Deshabilitado
RESET	0	1	0	Habilitado
REBOTES	0	0,1,0	0	Habilitado
FALLA	1	0	1	Deshabilitado
RESET	1	1	0	Habilitado
FALLA	1	0	1	Deshabilitado
NORMAL	0	0	1	Deshabilitado
RESTABLECER	0	1	0	Habilitado

Se muestra que inicialmente el sistema se encuentra deshabilitado y no se habilita a menos que el usuario oprima el botón pulsador RESET. Una vez habilitado el sistema, su operación no se ve afectada por los rebotes (abrir y cerrar en repetidas ocasiones) asociados al botón pulsador. Después en el instante en el que se presenta un falla el sistema se deshabilita, sin embargo, si por cualquier causa se presiona el botón RESET mientras aún persiste la falla, el sistema se habilita y esto representa un estado indeseable ya que el sistema estaría expuesto al nivel de sobrecorriente.

Por lo tanto, en la Fig. 3-33 se muestra el circuito que proporciona la lógica adecuada de restablecimiento, en el cual se han incorporado algunos elementos adicionales que impiden la habilitación del sistema, mientras aún esté presente la falla. Se observa que fue necesario utilizar las compuertas lógicas NAND y NOREX. En la Tabla 3.7-5, se resume el comportamiento del circuito implementado, en donde se observa que se ha eliminado el estado indeseado mencionado previamente. También se observa que desde el inicio de la falla y hasta que esta termina, el sistema permanece deshabilitado y no se restablece a menos que el usuario presione el botón RESET.

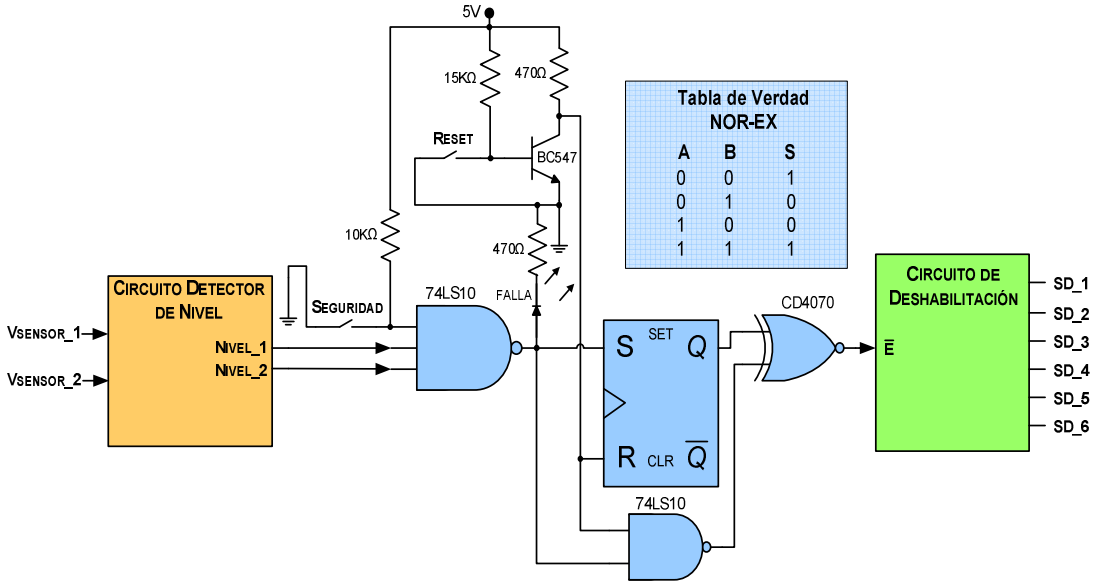


Figura 3-33. Circuito generador de la lógica de restablecimiento final.

TABLA 3.7-5. COMPORTAMIENTO DE LAS SEÑALES DEL CIRCUITO DE RESTABLECIMIENTO FINAL

ESTADO	S	R	Q	OUT	$\bar{E}$	ESTADO DEL SISTEMA
INICIO	0	0	1	1	1	Deshabilitado
RESET	0	1	0	1	0	Habilitado
REBOTES	0	0,1,0	0	1	0	Habilitado
FALLA	1	0	1	1	1	Deshabilitado
RESET	1	1	0	0	1	Deshabilitado
FALLA	1	0	1	1	1	Deshabilitado
NORMAL	0	0	1	1	1	Deshabilitado
RESTABLECER	0	1	0	1	0	Habilitado

CAPÍTULO 4

PROGRAMACIÓN DEL DSP

4.1 INTRODUCCIÓN

En este capítulo se analizará el algoritmo computacional que genera las señales de control del inversor de tres niveles NPC-VSI, utilizando el DSP56F8037 y aplicando la técnica de modulación SVM simplificada.

En la Fig. 4-1, se muestra el diagrama de flujo general, en el cual se observan claramente las diferentes etapas que deben ser desarrolladas para obtener la modulación SVM simplificada. Por lo tanto, en el desarrollo del presente capítulo se analizarán detalladamente cada una de las etapas que se muestran en el diagrama de flujo general.

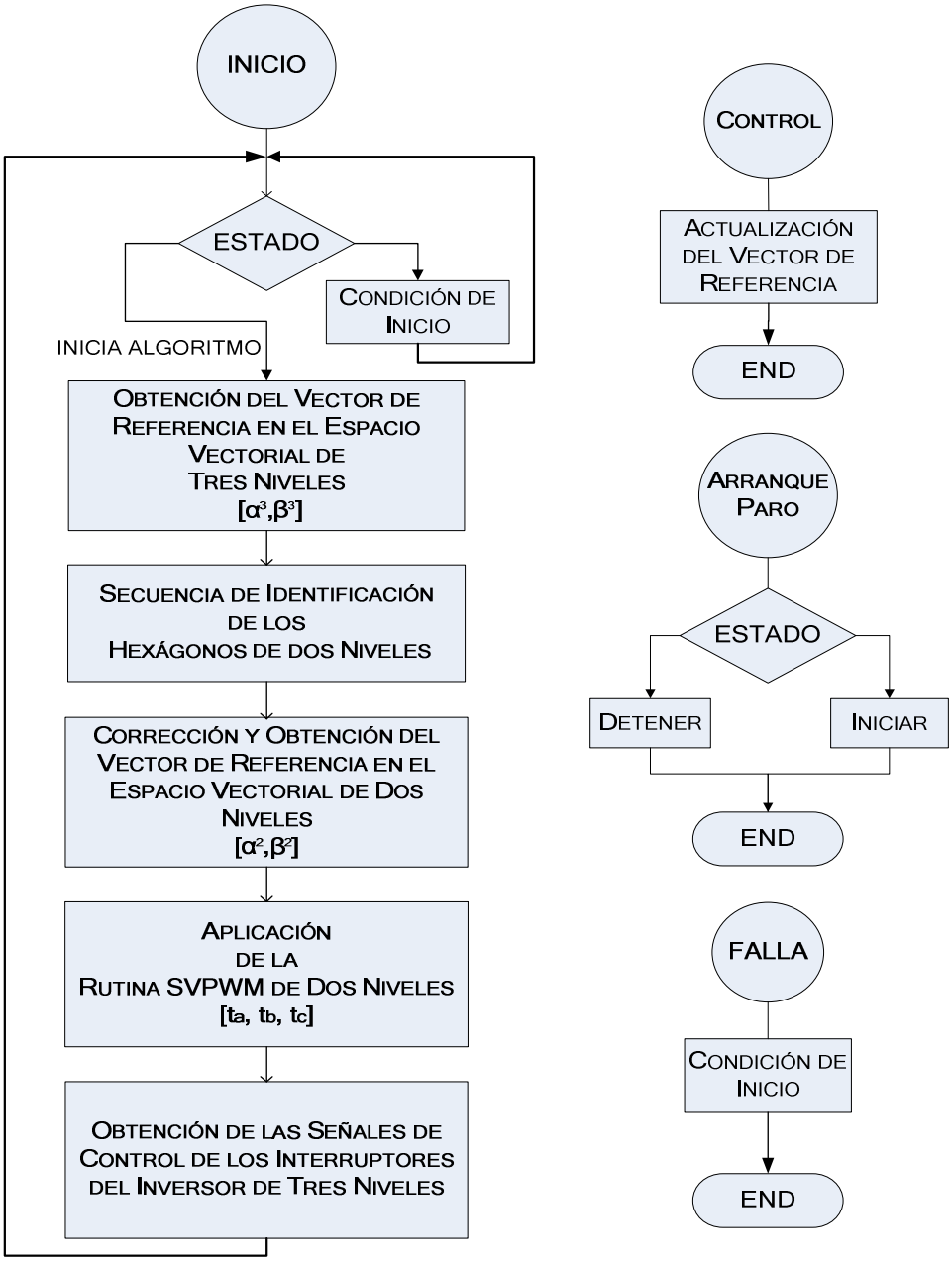


Figura. 4-1. Diagrama de flujo general del algoritmo SVM de tres niveles.

4.2 OBTENCIÓN DEL VECTOR DE REFERENCIA

Las características que presenta el vector de referencia en el espacio vectorial de tres niveles ($\vec{V}_{ref}^{3}$), determinan la amplitud y frecuencia del voltaje de salida del inversor NPC. Es por ello que la generación del vector de referencia es parte fundamental en el desarrollo del algoritmo de modulación SVM.

En la Fig. 4-2, se observa el plano bifásico [α,β] en donde el $\vec{V}_{ref}^{3}$ puede ser representado en forma polar o rectangular a partir de:

$$\vec{V}_{ref}^{3} = |\vec{V}_{ref}^{3}|\angle\theta \;\leftrightarrow\; [v_{\alpha}^{3}, v_{\beta}^{3}] \tag{4-1}$$

Como se muestra en la Fig. 4-2, el $\vec{V}_{ref}^{3}$ se mueve en el plano bifásico siguiendo una trayectoria circular, en donde la magnitud del $\vec{V}_{ref}^{3}$ determina la amplitud del voltaje de salida del inversor, mientras que la velocidad de giro del $\vec{V}_{ref}^{3}$ determina la frecuencia del voltaje de salida.

Considerando que el plano [α, β] es ortogonal, es posible generar las componentes rectangulares del $\vec{V}_{ref}^{3}$ a partir de las señales seno y coseno, debido a que estas últimas se encuentran en cuadratura (desfasadas 90º). Los diferentes valores que toma la señal cosenoidal representan las coordenadas en el eje alfa (α), mientras que los valores de la señal senoidal representan las coordenadas en el eje beta (β).

A modo de ejemplo y para verificar lo antes mencionado, se han generado las señales senoidal y cosenoidal discretizadas (60 muestras), las cuales después son graficadas entre sí, tal y como se observa en la Fig. 4.3. Como era de esperarse, al graficar la señal cosenoidal contra la señal senoidal, se obtiene una trayectoria circular la cual representa el giro del $\vec{V}_{ref}^{3}$. Las graficas observadas en la Fig. 4.3, fueron obtenidas utilizando el software MATLAB®.

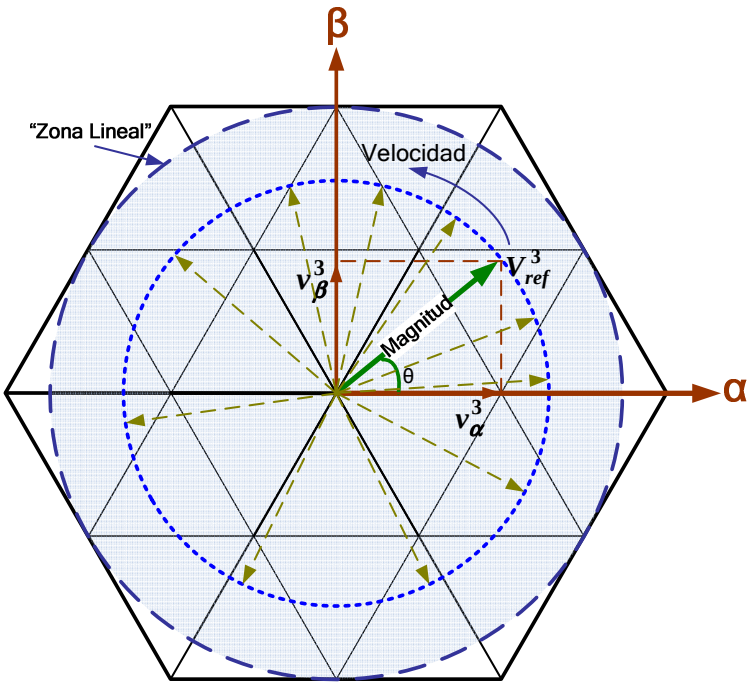
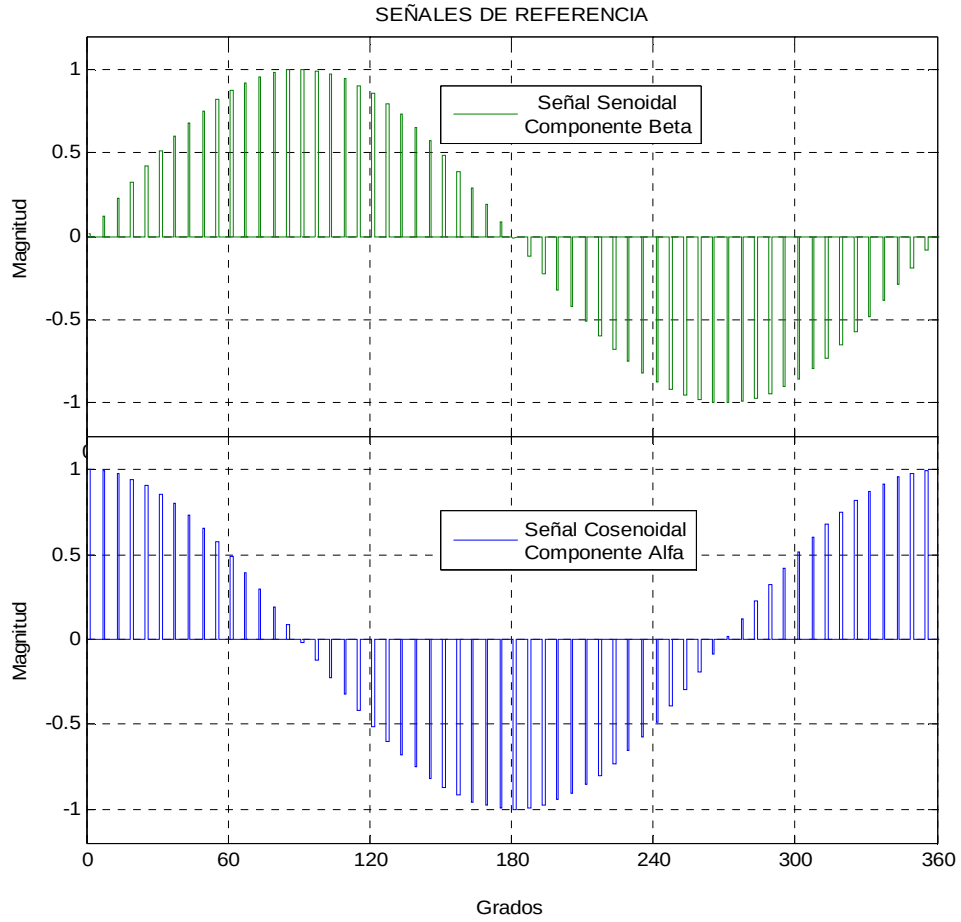
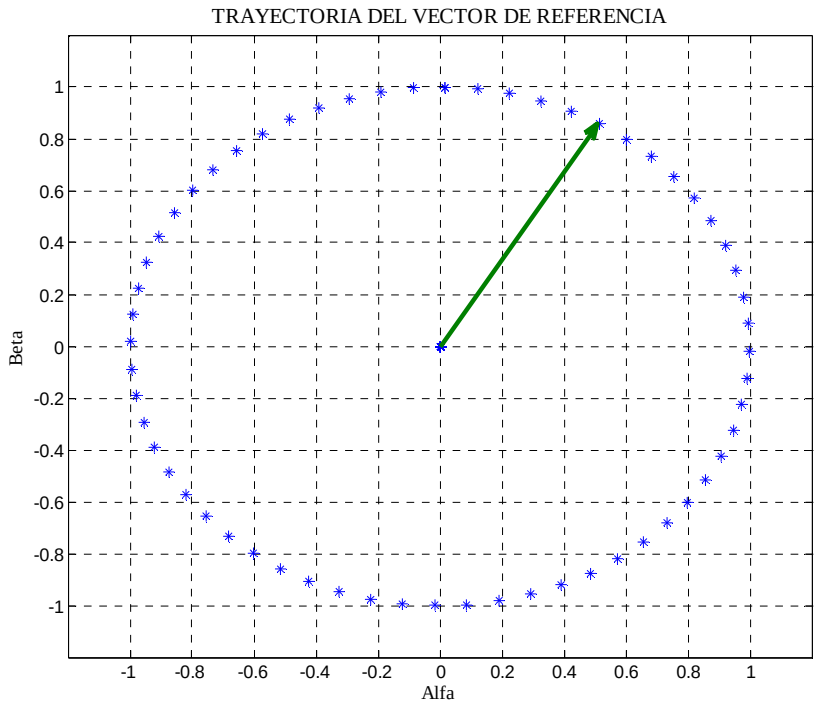


Figura 4-2. Espacio bifásico [α, β] de tres niveles.



(a)



(b)

Figura 4-3. (a) Señales de referencia [α, β]; (b) Trayectoria resultante del vector de referencia.

La magnitud del $\vec{V}_{ref}^{3}$ queda determinada por la amplitud de las señales senoidal y cosenoidal, mientras que la velocidad de giro del $\vec{V}_{ref}^{3}$, está en función del tiempo de muestreo de las señales de referencia. Cuando el muestro de las señales de referencia se realiza en periodos de tiempo muy cortos, la velocidad de giro del vector es rápida y por lo tanto la frecuencia del voltaje de salida aumenta, por el contrario, cuando los tiempos de muestro son largos, la velocidad de giro del vector es más lenta y por lo tanto la frecuencia del voltaje de salida disminuye.

4.2.1 GENERACIÓN DE LAS SEÑALES DE REFERENCIA

Para desarrollar el algoritmo que genera las señales senoidal y cosenoidal en el DSP, se ha utilizado un arreglo de datos, en el cual está representada una cuarta parte (0-90º) de una función seno. El arreglo está conformado por 181 muestras en formato Q15, las cuales fueron tomadas a cada medio grado de la señal senoidal. En la Fig. 4-4, se puede observar el proceso de construcción de las señales de referencia, el cual es efectuado por medio del recorrido de la tabla de datos almacenados. El recorrido de la tabla se realiza en ambos sentidos, y también, es necesario considerar el signo apropiado de los datos, el cual está en función del semiciclo de la señal que se desea generar.

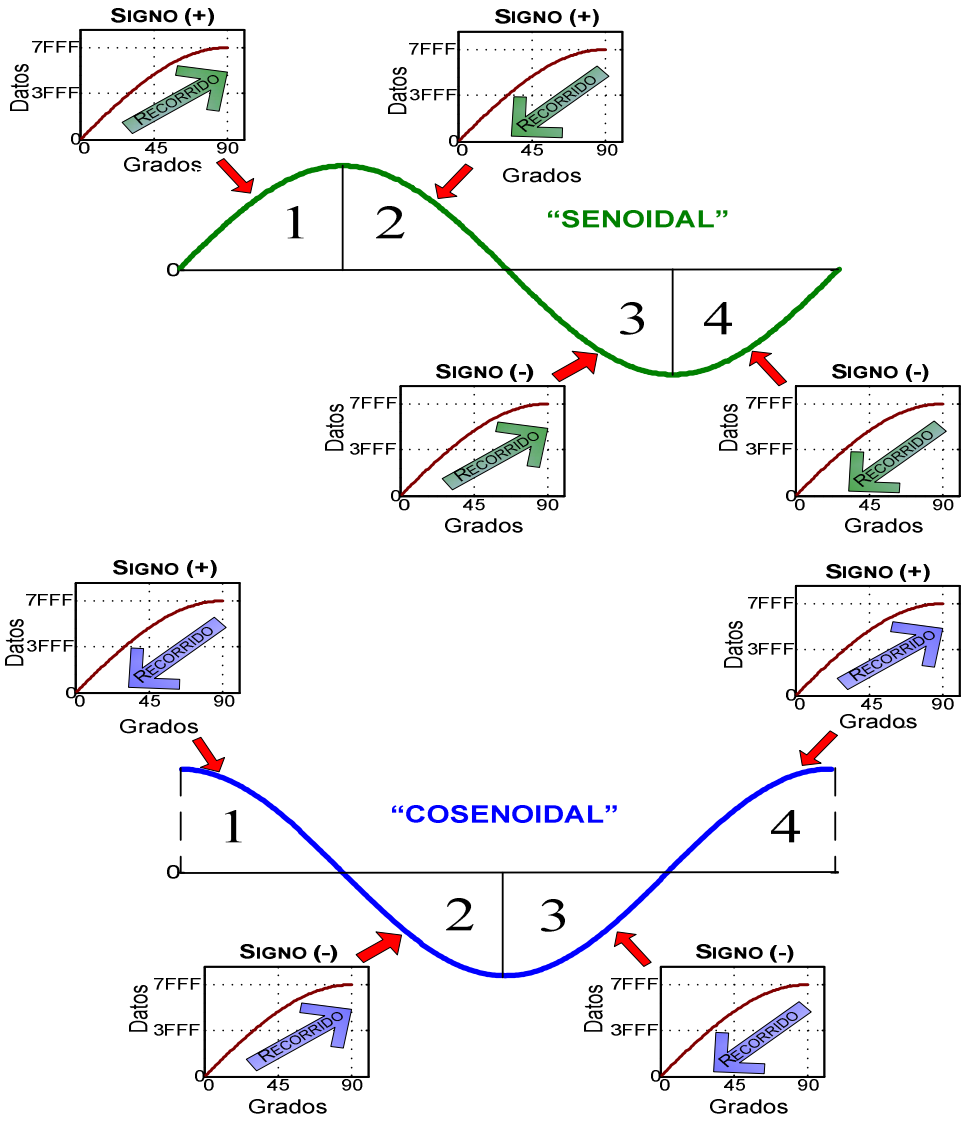


Figura. 4-4. Construcción de las señales de referencia en el DSP.

A continuación se desarrolla la secuencia de obtención de la señal senoidal, ya que a partir de ella será muy fácil obtener la señal cosenoidal.

- En primer lugar se inicializa en cero un apuntador, el cual comienza a recorrer en forma ascendente 180 localidades de memoria en donde están almacenados los datos [1-180].
- Una vez que el apuntador llega al último dato almacenado, se mantiene el signo y ahora recorre 180 localidades de memoria en forma descendente [179-0].
- Cuando el apuntador llega al primer dato del arreglo, se ha completado la construcción del semiciclo positivo de la señal senoidal. Nuevamente el contador comienza a recorrer las localidades en forma ascendente [1-180], sin embargo ahora se cambia el signo de los datos leídos.
- Cuando el apuntador alcanza el último valor del arreglo de datos, una vez más comienza a decrementarse [179-0] y va cambiando el signo de cada uno de los datos leídos.

Las señales senoidal y cosenoidal, pueden ser generadas utilizando un apuntador al arreglo de datos adecuadamente inicializado, además de considerar el signo de las señales en función del cuadrante (1, 2, 3 o 4) en el que se encuentren.

En la Fig. 4-5, se observa el diagrama de flujo que describe los pasos necesarios para generar las señales de referencia en el DSP. Es importante mencionar que una vez que se ejecuta el algoritmo correspondiente al diagrama de flujo, únicamente se obtienen dos datos, los cuales corresponden a las componentes de la señal senoidal y cosenoidal en un determinado instante de tiempo. Esto implica que para formar un periodo completo de las señales de referencia, es necesario ejecutar el algoritmo en repetidas ocasiones, para ser exactos 720 veces (180*4). El lapso de tiempo entre cada una de las repeticiones, determina la frecuencia de las señales.

En la construcción de las señales de referencia también pueden ser utilizadas las funciones matemáticas sen y cos, las cuales vienen implementadas en el DSP56F8037, sin embargo estas demandan más tiempo de procesamiento computacional lo cual repercute drásticamente en el desempeño del DSP.

4.2.2 CONTROL DE AMPLITUD Y FRECUENCIA

En el control de amplitud de las señales de referencia se utiliza una variable que representa el índice de modulación (m) y que puede tomar valores entre 0 y 1 (que corresponde a la zona lineal de modulación) tal y como se muestra en:

$$Control\ de\ Amplitud = Amplitud\ de\ Señal\ de\ Ref * m \qquad (4\text{-}2)$$

Para controlar la frecuencia de las señales senoidal y cosenoidal se utiliza un timer con interrupciones, el cual controla el tiempo de muestro del arreglo de datos. Cuando el tiempo de muestro disminuye, la frecuencia de las señales de referencia aumenta, y cuando el tiempo de muestreo se incrementa, la frecuencia de las señales de referencia disminuye. Es importante reiterar que la frecuencia del voltaje fundamental de salida del inversor NPC-VSI queda determinada por la frecuencia de las señales de referencia.

Para verificar el desempeño del algoritmo SVM simplificado se ha desarrollado un algoritmo de control V/F constante, en el cual es necesario modificar la amplitud y la frecuencia (1/T) del voltaje de salida del inversor en forma proporcional.

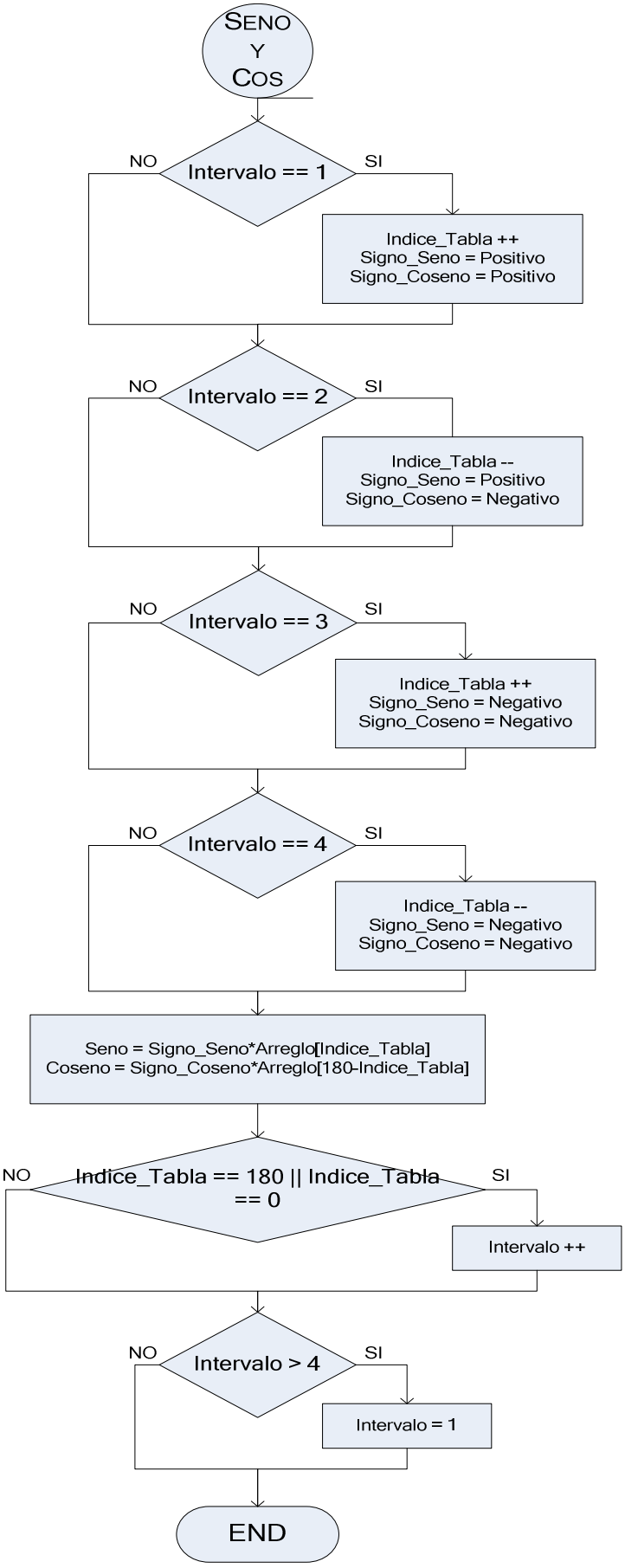


Figura 4-5. Diagrama de flujo necesario para generar las señales de referencia.

Como se ha mencionado anteriormente el voltaje y la frecuencia se controlan a partir del índice de modulación y el periodo de interrupción del timer respectivamente, de manera que la relación V/F constante puede ser expresada como:

$$\frac{V}{F} = KTE \quad \leftrightarrow \quad \frac{m}{1/T} = KTE \quad \Rightarrow \quad mT = KTE \tag{4-3}$$

Donde

V: Voltaje de salida del inversor.

m: Índice de modulación.

T: Periodo del voltaje de salida del inversor igual a periodo de las señales de referencia.

KTE: Constante.

Para determinar el valor de la KTE, se considera un índice de modulación máximo m=1, y un periodo del voltaje de salida T=16.666ms, el cual corresponde a una frecuencia máxima de 60Hz. Sin embargo en el desarrollo del algoritmo es necesario expresar el periodo de la señal de referencia en función del tiempo de interrupción del timer.

Por lo tanto, considerando que un periodo de las señales de referencia está conformado por 720 muestras, implica que el tiempo de interrupción (t_{int}) requerido por el timer esta dado por:

$$t_{int} = \frac{16.666*10^{-3}}{720} = 23.148 * 10^{-6} \tag{4-4}$$

Ahora bien, el tiempo de interrupción del timer puede ser fijado por medio de ciclos de reloj, los cuales equivalen a un tiempo de interrupción de $1.25+10^{-7}$s. De manera que el tiempo de interrupción (que genera las señales de referencia con una frecuencia de 60Hz) expresado en ciclos de reloj queda determinado por:

$$Ciclos\ de\ reloj = \frac{23.148*10^{-6}}{1.25*10^{-7}} = 185.185 \cong 185 \tag{4-5}$$

Esto implica que de (4-3) se obtiene el valor de la KTE que está en función del índice de modulación y de los ciclos de reloj del timer, tal y como se muestra en:

$$m * Ciclos\ de\ reloj = KTE \quad \Leftrightarrow \quad (1)(185) = KTE = 185 \tag{4-6}$$

Como se mencionó anteriormente, al modificar el índice de modulación (voltaje de salida), también es preciso variar el periodo de las señales de referencia en forma proporcional. Por ejemplo cuando el índice de modulación se modifica y toma el valor de m=0.8, es necesario calcular el valor de los ciclos de reloj que mantengan la relación constante tal como se muestra en:

$$ciclos\ de\ reloj = \frac{185}{0.80} = 231.25 \cong 231 \tag{4-7}$$

El control del índice de modulación se realiza por medio de dos botones, uno lo incrementa y el otro lo disminuye.

Finalmente en la Fig. 4-6, se muestra el diagrama de flujo correspondiente al control V/F constante previamente analizado.

Antes de seguir con el desarrollo del algoritmo SVM, es importante mencionar que se ha utilizado el formato Q15, ya que como se puede observar en la Tabla 4.2-1, permite realizar una representación fraccionaria de números en punto fijo.

En el Apéndice A se desarrolla un breve análisis de la representación fraccionaria de números en punto fijo.

TABLA 4.2-1 REPRESENTACIÓN FRACCIONARIA EN FORMATO Q15

VALOR DECIMAL	FORMATO Q15	
	DECIMAL	HEXADECIMAL
-1	-32768	8000H
-0.5	-16384	C000H
0	0	0H
0.5	16384	4000H
0.999969482	32767	7FFFH

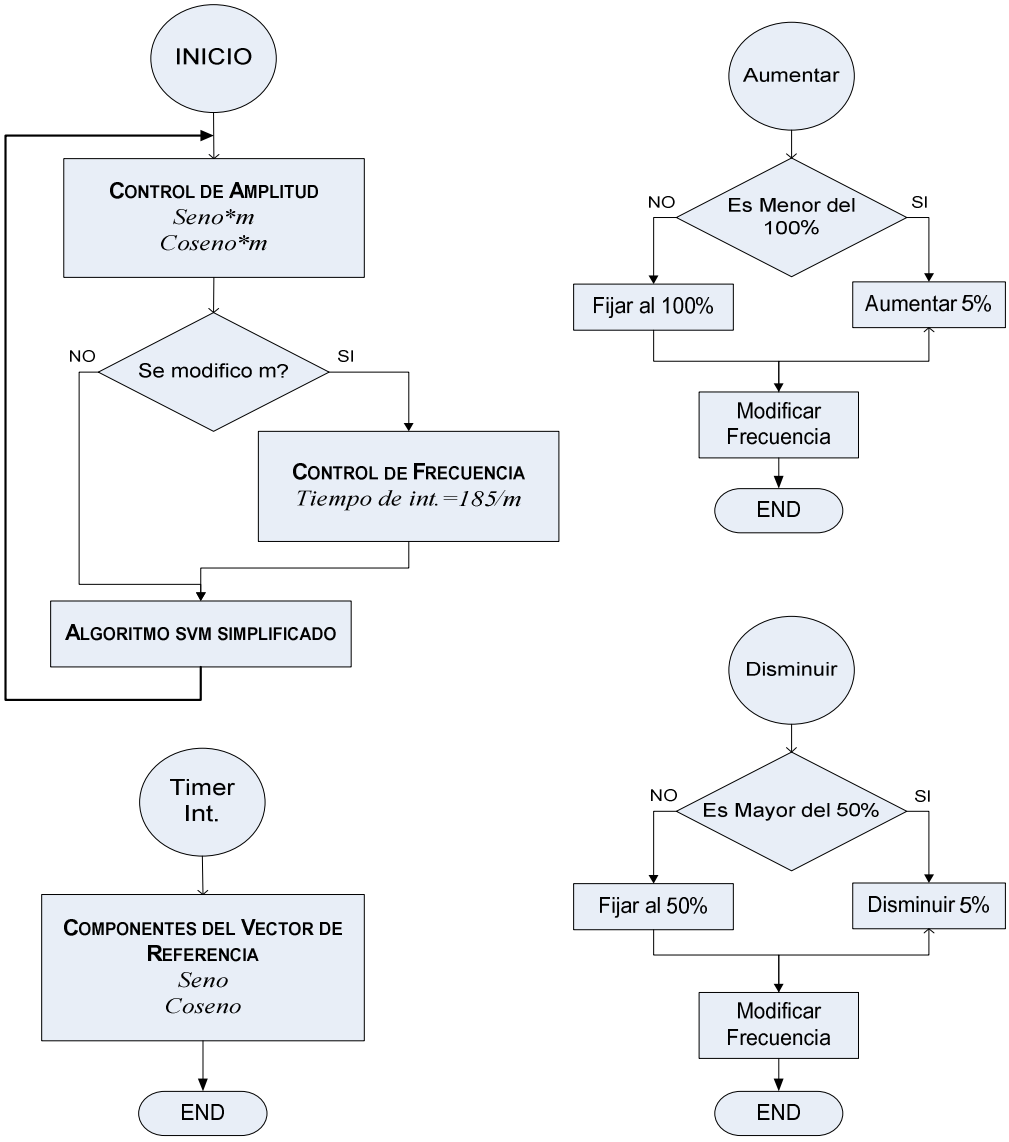


Figura 4-6. Diagrama de flujo correspondiente al control V/F constante.

4.3 SECUENCIA DE IDENTIFICACIÓN DE HEXÁGONOS

La secuencia de identificación tiene como objetivo, seleccionar uno de los seis hexágonos que conforman al espacio vectorial de tres niveles. La selección del hexágono de dos niveles se realiza a partir de la posición del $\vec{V}_{ref}^{3}$.

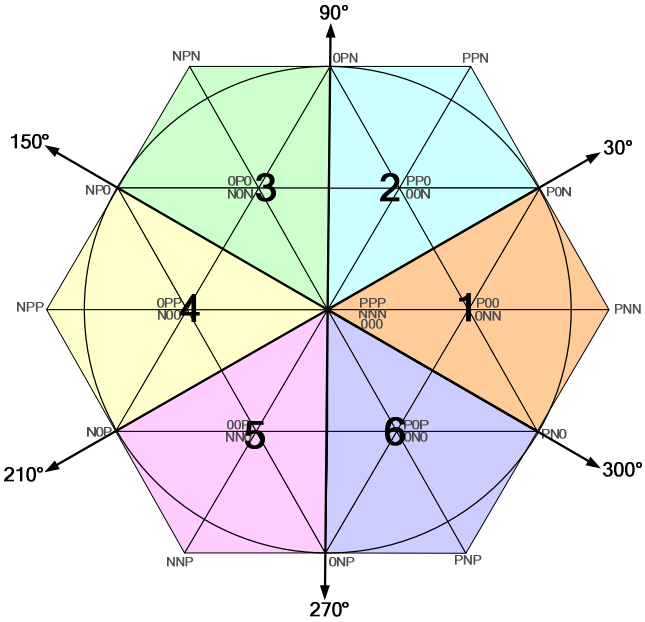
Antes de desarrollar la secuencia de identificación, es preciso definir un criterio bajo el cual se eliminen las zonas del espacio vectorial que se encuentran traslapadas por dos hexágonos de dos niveles, problema que fue abordado con más detalle en el capítulo 2. En este trabajo se opta por redefinir el área de cada uno de los hexágonos de dos niveles, y por lo tanto el espacio vectorial de tres niveles queda delimitado tal y como se muestra en la Fig. 4-7.

Teniendo como marco de referencia al sistema bifásico, la secuencia de identificación debe evaluar el ángulo Θ del $\vec{V}_{ref}^{3}$, y en base a ello definir cuál de los seis hexágonos debe ser seleccionado, tal y como se observa en la Fig. 4-7. Ya que el $\vec{V}_{ref}^{3}$ inicialmente esta dado en componentes rectangulares [v_α,v_β], es posible calcular el ángulo Θ a partir de:

$$\theta = \tan^{-1}\left(\frac{v_\beta}{v_\alpha}\right) \tag{4-8}$$

Sin embargo, esto implica incrementar la complejidad y el tiempo de ejecución del algoritmo de modulación SVM. Por lo tanto, en este trabajo de tesis se propone un método alternativo de identificación de hexágonos, el cual tan solo con efectuar tres comparaciones en el peor de los casos, es capaz de realizar el proceso de identificación.

Antes de comenzar con el desarrollo del método alternativo de identificación, es importante mencionar que no es necesario conocer en todo momento el ángulo del $\vec{V}_{ref}^{3}$, sino que únicamente es preciso identificar los ángulos en los que se cambia de un hexágono a otro (30º, 90º, 150º, 210º, 270º y 330º), tal y como se muestra en la Fig. 4-7.



Hexágono	Ángulo del $\vec{V}_{ref}^{3}$
1	$-30° < \theta_3 < 30°$
2	$30° < \theta_3 < 90°$
3	$90° < \theta_3 < 150°$
4	$150° < \theta_3 < 210°$
5	$210° < \theta_3 < 270°$
6	$270° < \theta_3 < 330°$

Figura 4-7. Redefinición del área de los hexágonos de dos niveles.

La secuencia de identificación propuesta se desarrolla en el marco de referencia trifásico. Por lo tanto, primero es necesario utilizar la transformada inversa de Clarke (4-9), con la cual se obtienen las componentes trifásicas [v_a,v_b,v_c] a partir de las componentes rectangulares [v_α,v_β].

$$\begin{bmatrix} v_{a\_ref} \\ v_{b\_ref} \\ v_{c\_ref} \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} * \begin{bmatrix} {v_\alpha}^3 \\ {v_\beta}^3 \end{bmatrix} \qquad (4\text{-}9)$$

En la Fig. 4-8, se muestran las componentes trifásicas calculadas a partir de las componentes rectangulares, las cuales permiten que el $\vec{V}_{ref}^{3}$ de un giro completo en el marco de referencia bifásico. Analizando con detenimiento la Fig. 4-8, se observa que los instantes en donde alguna de las señales trifásicas cruza por cero, corresponden a los ángulos en donde se cambia de un hexágono a otro. Por ejemplo, el momento en que el $\vec{V}_{ref}^{3}$ tiene un ángulo Θ igual a 30º en el marco de referencia bifásico, corresponde al instante en el que v_b cruza por cero de menos a más en el sistema trifásico. Después, cuando el ángulo Θ alcanza el valor de 90º en el sistema bifásico, corresponde al instante en el que v_a cruza por cero de más a menos en el sistema trifásico. Esta relación entre los sistemas bifásico y trifásico permite desarrollar una secuencia de identificación de hexágonos a partir de algunas comparaciones entre las señales [v_a,v_b,v_c].

Finalmente en la Fig. 4-9, se muestra el diagrama de flujo de la secuencia de identificación de hexágonos propuesta.

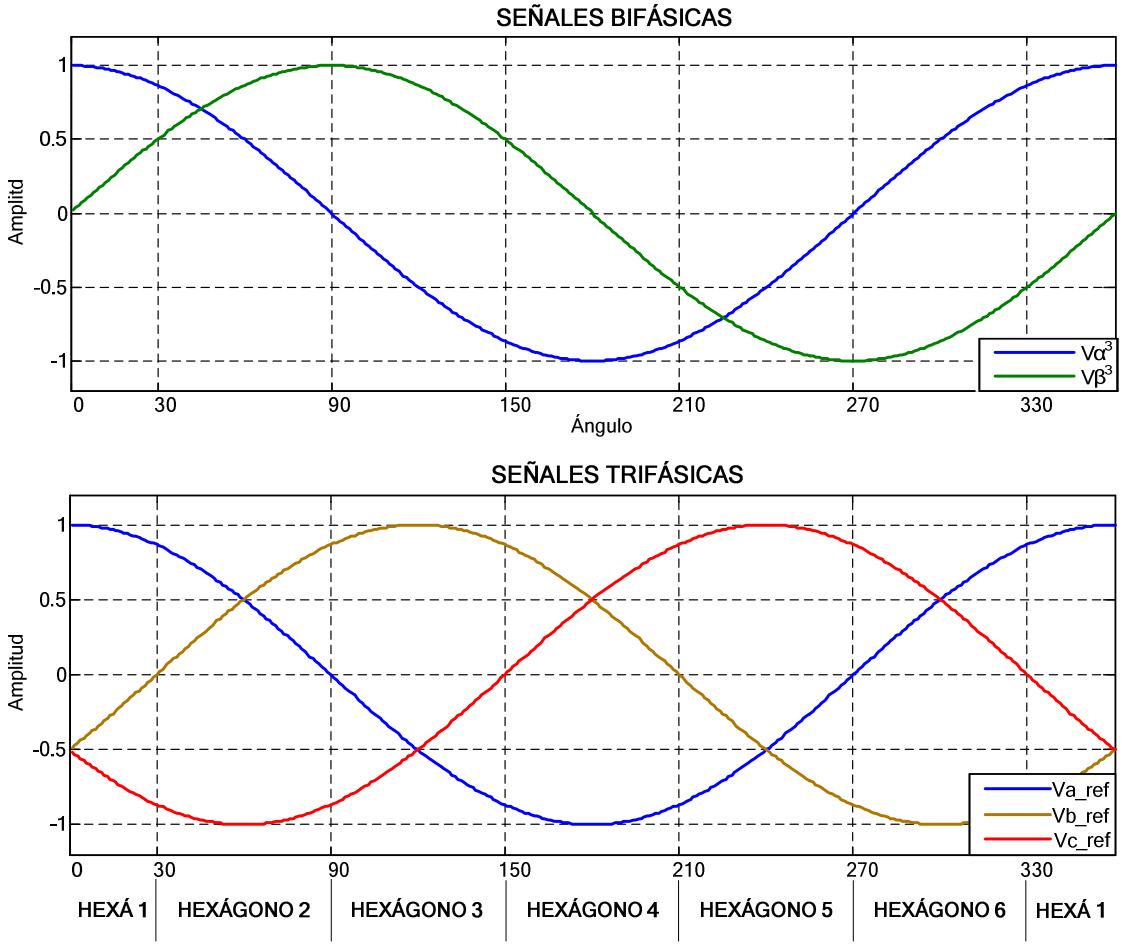


Figura 4-8. Transformación del sistema bifásico al sistema trifásico.

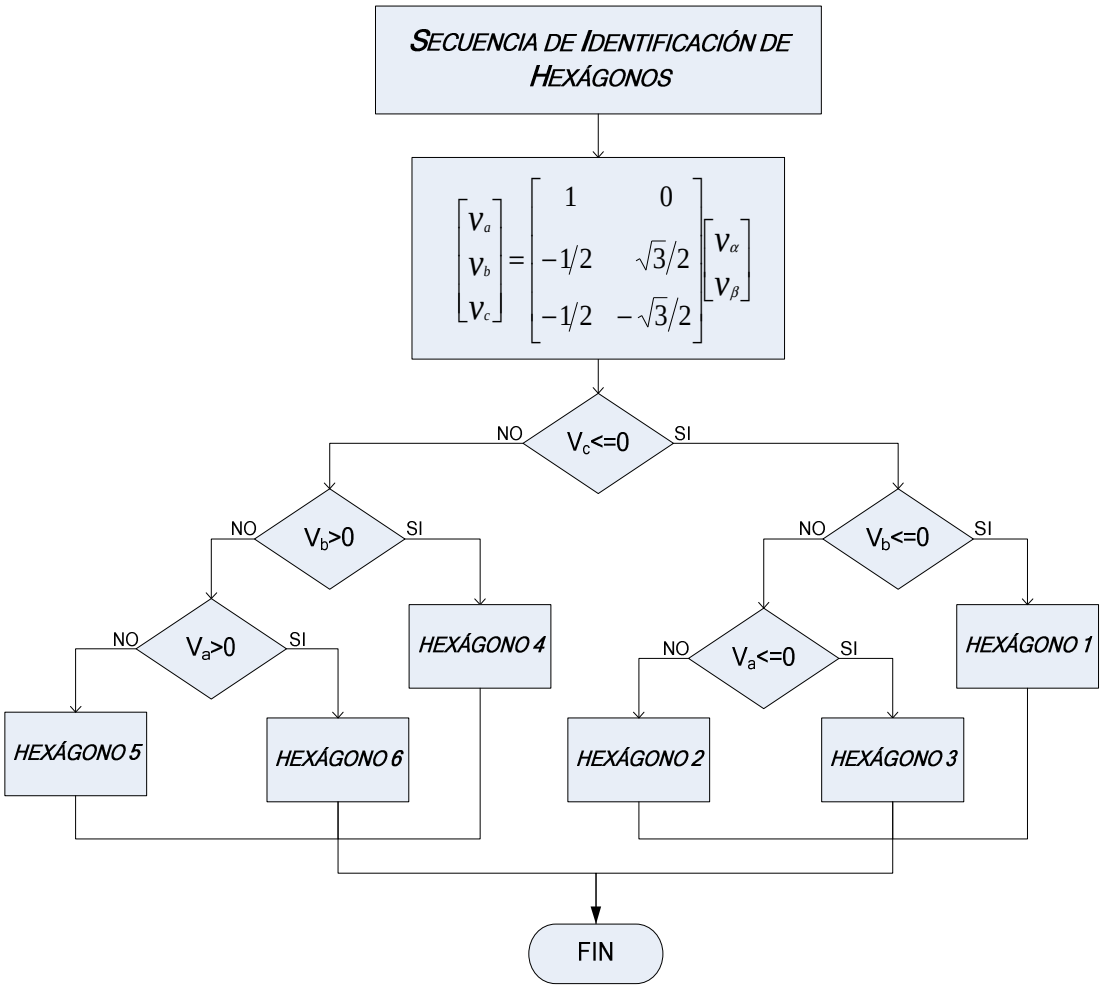


Figura. 4-9. Diagrama de flujo de la secuencia de identificación de hexágonos.

4.4 CORRECCIÓN Y OBTENCIÓN DEL VECTOR DE REFERENCIA EN EL ESPACIO VECTORIAL DE DOS NIVELES

En esta sección se tiene como objetivo cambiar el marco de referencia bajo el cual se analiza al vector de referencia, del espacio vectorial de tres niveles al espacio vectorial de dos niveles. El cambio del marco de referencia se realiza a partir de un ajuste o corrección del $\vec{V}_{ref}^{3}$.

Para realizar la corrección del vector de referencia, es necesario trasladar el origen del $\vec{V}_{ref}^{3}$, desde el centro del hexágono de tres niveles hacia el centro de alguno de los seis hexágonos de dos niveles. Por lo tanto, el ajuste del vector de referencia está en función del hexágono de dos niveles que es seleccionado.

En el traslado del vector de referencia es necesario realizar una resta de vectores. De tal forma que es preciso sustraer del $\vec{V}_{ref}^{3}$, el vector que apunta al centro del hexágono de dos niveles al que se desea desplazar y así obtener un nuevo vector de referencia el cual ahora se encuentra en un espacio vectorial de dos niveles ($\vec{V}_{ref}^{2}$). En la Fig. 4-10, se resaltan los vectores que apuntan a cada uno de los seis hexágonos de dos niveles.

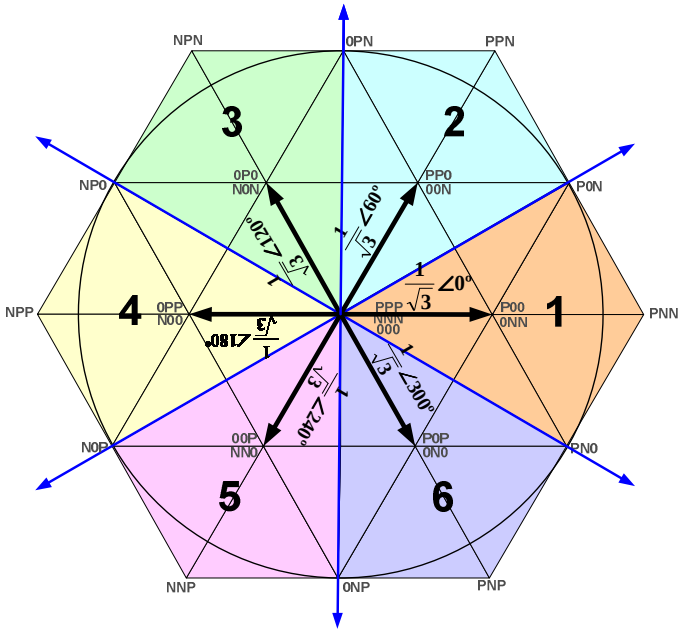


Figura 4-10. Vectores que apuntan a los hexágonos de dos niveles.

Al igual que en la rutina de identificación, la corrección del vector de referencia se realiza en el marco de referencia trifásico. Por lo tanto, es necesario conocer las componentes trifásicas de cada uno de los seis vectores que apuntan a cada hexágono, las cuales se encuentran resumidas en la Tabla 4.4-1.

Para simplificar el algoritmo de corrección, se definen dos variables auxiliares “a y b”, las cuales también son mostradas en la Tabla 4.4-1. Las variables auxiliares toman diferentes valores en función del hexágono de dos niveles al que se desea trasladar el vector de referencia. Por lo tanto, las componentes trifásicas de los vectores que apuntan a los seis hexágonos pueden ser expresadas en función de las variables auxiliares a partir de:

TABLA 4.4-1 COMPONENTES NORMALIZADAS QUE CORRIGEN EL VECTOR DE REFERENCIA $\vec{V}_{ref}^{3}$

HEXÁGONO	VARIABLES AUXILIARES		REPRESENTACIÓN DE LOS VECTORES QUE APUNTAN AL CENTRO DE CADA HEXÁGONO				
	a	b	Polar	[α,β]	V_{a_resta}	V_{b_resta}	V_{c_resta}
1	2	-1	$\frac{1}{\sqrt{3}}\angle 0°$	$\left[\frac{1}{\sqrt{3}}, 0\right]$	$\frac{1}{\sqrt{3}}$	$-\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{12}}$
2	1	1	$\frac{1}{\sqrt{3}}\angle 60°$	$\left[\frac{1}{\sqrt{12}}, \frac{1}{2}\right]$	$\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{3}}$
3	-1	2	$\frac{1}{\sqrt{3}}\angle 120°$	$\left[-\frac{1}{\sqrt{12}}, 0\right]$	$-\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{3}}$	$-\frac{1}{\sqrt{12}}$
4	-2	1	$\frac{1}{\sqrt{3}}\angle 180°$	$\left[-\frac{1}{\sqrt{3}}, 0\right]$	$-\frac{1}{\sqrt{3}}$	$\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{12}}$
5	-1	-1	$\frac{1}{\sqrt{3}}\angle 240°$	$\left[-\frac{1}{\sqrt{12}}, -\frac{1}{2}\right]$	$-\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{12}}$	$\frac{1}{\sqrt{3}}$
6	1	-2	$\frac{1}{\sqrt{3}}\angle 300°$	$\left[\frac{1}{\sqrt{12}}, -\frac{1}{2}\right]$	$\frac{1}{\sqrt{12}}$	$-\frac{1}{\sqrt{3}}$	$\frac{1}{\sqrt{12}}$

$$v_{a_{resta}} = a * V_d/\sqrt{12}$$
$$v_{b\_resta} = b * V_d/\sqrt{12} \quad (4\text{-}10)$$
$$v_{c\_resta} = -v_{a\_resta} - v_{b\_resta}$$

Finalmente las componentes trifásicas del vector de referencia corregido, el cual ahora se encuentra en el espacio vectorial de dos niveles $\vec{V}_{ref}^{2}$, se obtienen a partir de:

$$v_{a\_corregido} = v_a - v_{a\_resta}$$
$$v_{b\_corregido} = v_b - v_{b\_resta} \quad (4\text{-}11)$$
$$v_{c\_corregido} = v_c - v_{c\_resta}$$

El vector de referencia corregido se encuentra expresado en el sistema trifásico [v_a,v_b,v_c], sin embargo, también pude ser representado en el sistema bifásico a partir de la transformación clásica de Clarke:

$$\begin{bmatrix} {v_\alpha}^2 \\ {v_\beta}^2 \end{bmatrix} = \frac{2}{3} * \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_{a\_corregido} \\ v_{b\_corregido} \\ v_{c\_corregido} \end{bmatrix} \quad (4\text{-}12)$$

Donde:
v_α^2: Componente alfa del vector de referencia en el espacio vectorial de dos niveles.
v_β^2: Componente beta del vector de referencia en el espacio vectorial de dos niveles.

La principal ventaja de utilizar la transformación clásica de Clarke, es que una vez que se realiza la transformación, las magnitudes de los voltajes tanto en el sistema bifásico como en el sistema trifásico son iguales. El diagrama de flujo del algoritmo de corrección y obtención del vector de referencia en el espacio vectorial de dos niveles se muestra en la Fig. 4-11. Es importante mencionar que el diagrama de flujo del algoritmo de corrección y el diagrama de flujo del algoritmo de identificación están muy relacionados, ya que en función del hexágono seleccionado se determinan las componentes trifásicas que deben ser sustraídas del $\vec{V}_{ref}^{3}$.

4.5 TÉCNICA DE MODULACIÓN SVM DE DOS NIVELES

Puesto que se ha obtenido un nuevo vector de referencia $\vec{V}_{ref}^{2}$, el cual ahora se encuentra en el marco de referencia de dos niveles, es posible calcular los tiempos de aplicación de los vectores espaciales, así como la secuencia de conmutación, utilizando cualquier algoritmo de modulación SVM empleado en un inversor convencional de dos niveles.

4.5.1 ANÁLISIS DE LA RUTINA DE MODULACIÓN SVM UTILIZADA

El DSP56F8037 cuenta con algunas rutinas enfocadas al control de motores, entre las cuales se encuentra a la rutina de modulación por vectores espaciales estándar svmStd (del inglés Standard Space Vector Modulation), destinada al control de un inversor de dos niveles [57].

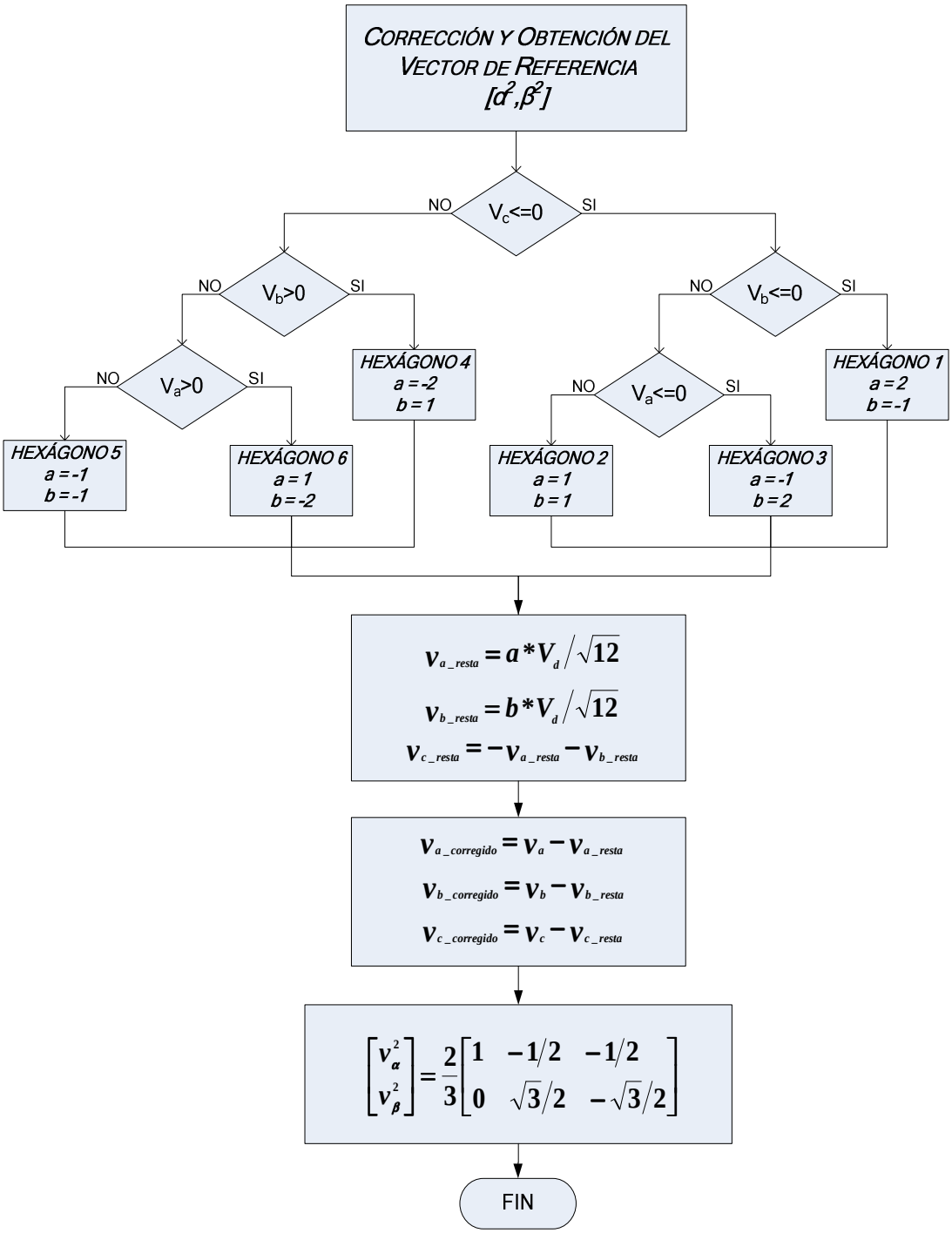


Figura 4-11. Diagrama de flujo del algoritmo de corrección del vector de referencia.

El principio básico de esta técnica de modulación, puede ser explicado con ayuda del diagrama del inversor de dos niveles mostrado en la Fig. 4-12. Cada rama del inversor está constituida por dos interruptores, los cuales trabajan en forma complementaria, esto implica que si el interruptor superior de la rama a, S_{a1} está cerrado (ON), entonces el interruptor inferior S_{a2} está abierto (OFF) y viceversa.

Ahora, para definir las características de operación del inversor, se asigna un valor a cada una de las ramas [a,b,c], en función de la posición que adopten los interruptores que la conforman. Se considera que una rama tiene el valor "1" cuando el interruptor superior está cerrado, mientras que se asigna el valor "0" cuando el interruptor inferior está cerrado.

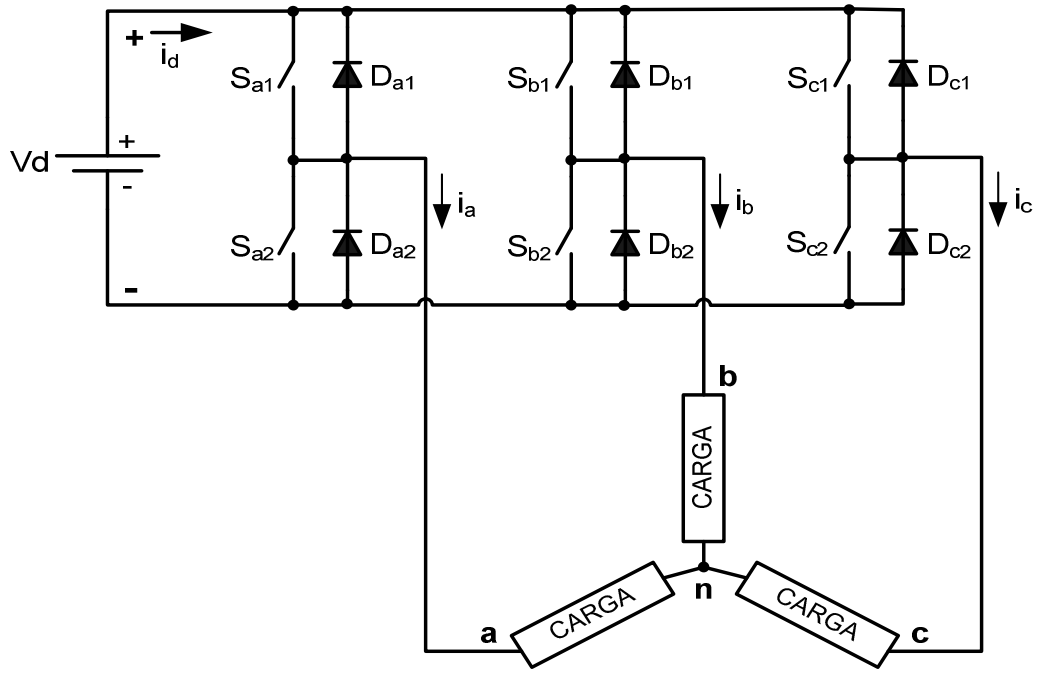


Figura 4-12. Diagrama eléctrico del inversor de dos niveles.

Por lo tanto, los voltajes de línea del inversor pueden ser representados en función de los valores que toma cada una de las ramas, a partir de:

$$\begin{bmatrix} v_{AB} \\ v_{BC} \\ v_{CA} \end{bmatrix} = V_d \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} a \\ b \\ c \end{bmatrix} \tag{4-13}$$

Y asumiendo que el motor que se encuentra conectado a la salida del inversor es simétrico, la matriz que representa los voltajes de fase en el motor está dada por:

$$\begin{bmatrix} v_{An} \\ v_{Bn} \\ v_{Cn} \end{bmatrix} = \frac{V_d}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} a \\ b \\ c \end{bmatrix} \tag{4-14}$$

Finalmente utilizando la transformada de Clarke (4-12), se puede realizar la transformación del sistema trifásico al sistema bifásico, con lo cual se obtiene la representación vectorial del inversor de dos niveles. Las componentes de los vectores generados por el inversor, además de los voltajes de línea y los voltajes de fase en la carga se encuentran resumidos en la Tabla 4.5-1.

Es importante mencionar, que con el propósito de facilitar el desarrollo de la rutina svmStd, los vectores del espacio vectorial de dos niveles también han sido normalizado utilizando [57]:

$$Vector\ normalizado = \sqrt{3} * \left|\vec{V}_{ref}^{2}\right| \tag{4-15}$$

Con lo cual se consigue que la magnitud máxima de los vectores espaciales en la zona lineal sea:

$$\left|\vec{V}_{refmax}^{2}\right| = 1 \tag{4-16}$$

TABLA 4.5-1 VOLTAJES DE FASE, VOLTAJES DE LÍNEA Y COMPONENTES BIFÁSICAS NORMALIZADAS CORRESPONDIENTES A CADA VECTOR ESPACIAL

VECTOR	RAMAS DEL INVERSOR			VOLTAJES DE FASE EN LA CARGA			VOLTAJES DE LÍNEA			COMPONENTES NORMALIZADAS	
	a	b	c	v_{An}	v_{Bn}	v_{Cn}	v_{AB}	v_{BC}	v_{CA}	α	β
$\vec{V}_0$	0	0	0	0	0	0	0	0	0	0	0
$\vec{V}_1$	1	0	0	$\frac{2}{3}V_d$	$-\frac{1}{3}V_d$	$-\frac{1}{3}V_d$	V_d	0	$-V_d$	$\frac{2}{\sqrt{3}}V_d$	0
$\vec{V}_2$	1	1	0	$\frac{1}{3}V_d$	$\frac{1}{3}V_d$	$-\frac{2}{3}V_d$	0	V_d	$-V_d$	$\frac{1}{\sqrt{3}}V_d$	1
$\vec{V}_3$	0	1	0	$-\frac{1}{3}V_d$	$\frac{2}{3}V_d$	$-\frac{1}{3}V_d$	$-V_d$	V_d	0	$-\frac{1}{\sqrt{3}}V_d$	1
$\vec{V}_4$	0	1	1	$-\frac{2}{3}V_d$	$\frac{1}{3}V_d$	$\frac{1}{3}V_d$	$-V_d$	0	V_d	$-\frac{2}{\sqrt{3}}V_d$	0
$\vec{V}_5$	0	0	1	$-\frac{1}{3}V_d$	$-\frac{1}{3}V_d$	$\frac{2}{3}V_d$	0	$-V_d$	V_d	$-\frac{1}{\sqrt{3}}V_d$	-1
$\vec{V}_6$	1	0	1	$\frac{1}{3}V_d$	$-\frac{2}{3}V_d$	$\frac{1}{3}V_d$	V_d	$-V_d$	0	$\frac{1}{\sqrt{3}}V_d$	-1
$\vec{V}_7$	1	1	1	0	0	0	0	0	0	0	0

En la Fig. 4-13, se puede observar que el diagrama vectorial obtenido está constituido únicamente por ocho vectores espaciales, los cuales son generados por los diferentes estados de conmutación que es capaz de producir el inversor de dos niveles. De los ocho vectores generados, seis son vectores activos y dos son vectores cero o nulos.

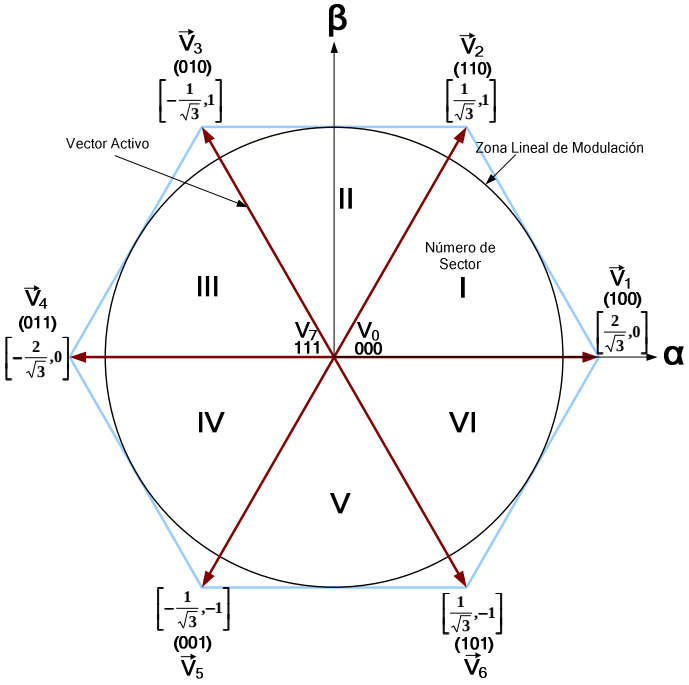


Figura 4-13. Diagrama vectorial del inversor de dos niveles.

Los vectores activos generan un voltaje diferente de cero a la salida del inversor, mientras que los vectores nulos no generan voltaje. También se puede observar que el diagrama vectorial está conformado por seis sectores (I, II, III, IV, V y VI), y cada sector se encuentra delimitado por dos vectores activos.

La técnica de modulación SVM tiene como objetivo generar un vector de referencia, el cual representa los voltajes v_a, v_b y v_c requeridos a la salida del inversor. La generación del vector de referencia es realizada por medio de la aplicación de dos vectores activos y dos vectores nulos. Con el propósito de disminuir el número de conmutaciones y el contenido armónico en la señal de salida del inversor, los vectores activos utilizados deben de ser adyacentes al vector de referencia.

La aplicación de los vectores espaciales debe realizarse en determinados intervalos de tiempo. El cálculo de los tiempos de aplicación, está en función de las proyecciones que tiene el vector de referencia sobre los vectores activos adyacentes. En la Fig. 4-14, se muestran las proyecciones del vector de referencia, considerando que este último se encuentra en el sector I del diagrama vectorial.

En la rutina svmStd utilizada, los tiempos de aplicación de los vectores espaciales, son expresados por medio de ciclos útiles (4-17), los cuales son fracciones de tiempo del periodo de la señal de conmutación.

$$Ciclo\ Util = \frac{Tiempo\ de\ Aplicacion\ del\ Vector\ Espacial}{Periodo\ de\ la\ Señal\ de\ Conmutación} \tag{4-17}$$

Las expresiones que determinan los ciclos útiles de los vectores adyacentes activos, son diferentes en cada uno de los sectores del espacio vectorial. Por lo tanto, con el propósito de simplificar los cálculos, se definen tres variables auxiliares:

$$\begin{aligned} X &= v_\beta \\ Y &= 1/2\left(v_\beta + \sqrt{3}v_\alpha\right) \\ Z &= 1/2\left(v_\beta - \sqrt{3}v_\alpha\right) \end{aligned} \tag{4-18}$$

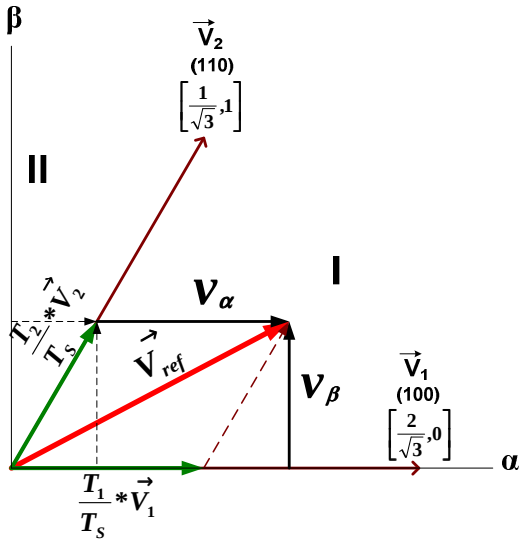


Figura 4-14. Proyección del vector de referencia en el sector I [57].

Donde:
v_α: Componente del vector de referencia de voltaje en el eje alfa.
v_β: Componente del vector de referencia de voltaje en el eje beta.

Y dos expresiones:

t_1 y t_2 (4-19)

Donde:
t_1 y t_2 representan los ciclos útiles de los vectores adyacentes activos.

Por ejemplo para el sector I, t_1 y t_2 representan los ciclos útiles de los vectores activos $\vec{V}_2$ y $\vec{V}_1$ respectivamente.

Finalmente, en la Tabla 4.5-2 se muestran las expresiones que determinan los ciclos útiles t_1 y t_2, para cada uno de los seis sectores, las cuales están en función de las variables auxiliares X, Y y Z.

Una vez que han sido seleccionados los vectores espaciales y además se han calculado los tiempos de aplicación, el siguiente paso es determinar la secuencia de conmutación que será utilizada. En general, la secuencia de conmutación que genera un determinado vector de referencia no es única, pero para satisfacer el requerimiento de minimizar la frecuencia de conmutación de los dispositivos semiconductores, es necesario satisfacer los siguientes dos incisos:

a) La transición entre cada uno de los estados de conmutación debe involucrar únicamente dos interruptores en la misma rama, uno que está siendo abierto y el otro que se está cerrando.
b) Es necesario minimizar o si es posible prescindir de conmutaciones cuando el $\vec{V}_{ref}$ transita entre los diferentes sectores (o regiones) del espacio vectorial.

Considerando lo antes mencionado, la secuencia de conmutación con alineación de centros, la cual se puede observar en la Fig. 4-15, es la que mejores resultados ofrece. Para generar la secuencia con alineación de centros, es necesario satisfacer las ecuaciones mostradas en (4-20), las cuales calculan los ciclos útiles t_1, t_2 y t_3, requeridos para cada una de las fases del inversor.

$$t_1 = \frac{1}{2}(T_S - t\_1 - t\_2)$$
$$t_2 = t_1 + t\_1 \quad (4\text{-}20)$$
$$t_3 = t_2 + t\_2$$

Donde:
T_S: Es el periodo de la señal de conmutación.

TABLA 4.5-2 DETERMINACIÓN DE LAS EXPRESIONES t_1 y t_2 PARA TODOS LOS SECTORES

SECTOR	I	II	III	IV	V	VI
t_1	X	Y	-Y	Z	-Z	-X
t_2	-Z	Z	X	-X	-Y	Y

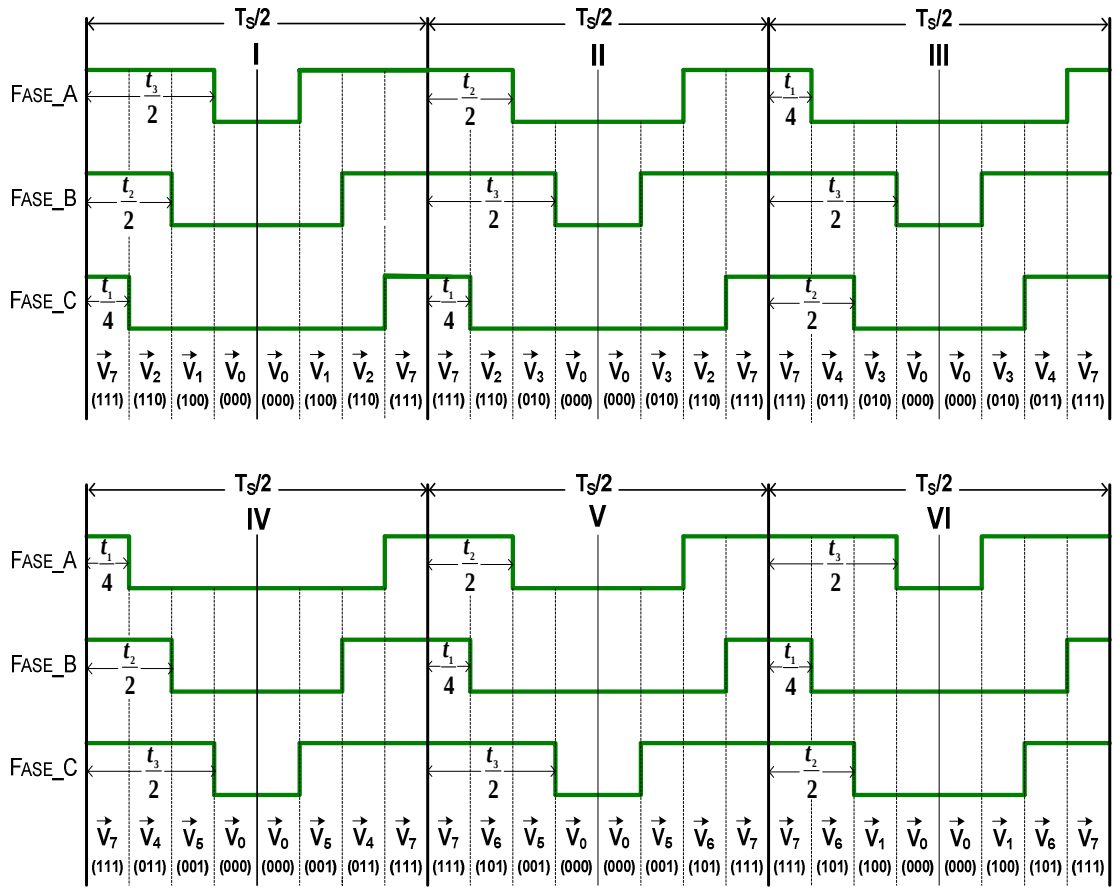


Figura 4-15. Secuencia de conmutación SVM con alineación de centros.

Después, es necesario asignar los ciclos útiles calculados t_1, t_2 y t_3, a las fases apropiadas del inversor, de tal forma que sea posible obtener la secuencia de conmutación deseada. Conociendo el sector en el que se encuentra el vector de referencia y apoyándose en la Fig. 4-15, el proceso de asignación de los ciclos útiles queda determinado tal y como se muestra en la Tabla 4.5-3.

Recapitulando se tiene que la rutina svmStd, requiere como datos de entrada a las componentes bifásicas [v_α,v_β] del vector de referencia, y como resultado entrega los valores de los ciclos útiles requeridos para cada una de las fases del inversor t_{phase_A}, t_{phase_B} y t_{phase_C}. Los valores tanto de entrada y salida que maneja la rutina utilizada están dados en formato Q15. También es importante mencionar que la rutina svmStd trabaja únicamente en la zona de modulación lineal. Para clarificar el análisis previamente desarrollado, en la Fig. 4-16, se muestra el diagrama de flujo que satisface el algoritmo de modulación SVM de dos niveles que fue utilizado.

TABLA 4.5-3 ASIGNACIÓN DE LOS CICLOS ÚTILES A CADA UNA DE LAS FASES DEL INVERSOR

SECTOR	I	II	III	IV	V	VI
t_{phase_A}	t_3	t_2	t_1	t_1	t_2	t_3
t_{phase_B}	t_2	t_3	t_3	t_2	t_1	t_1
t_{phase_C}	t_1	t_1	t_2	t_3	t_3	t_2

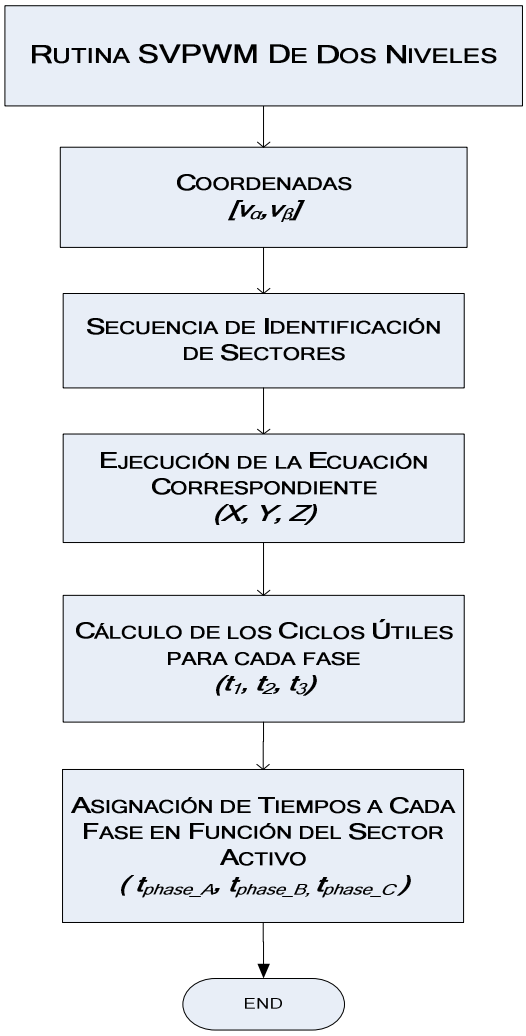
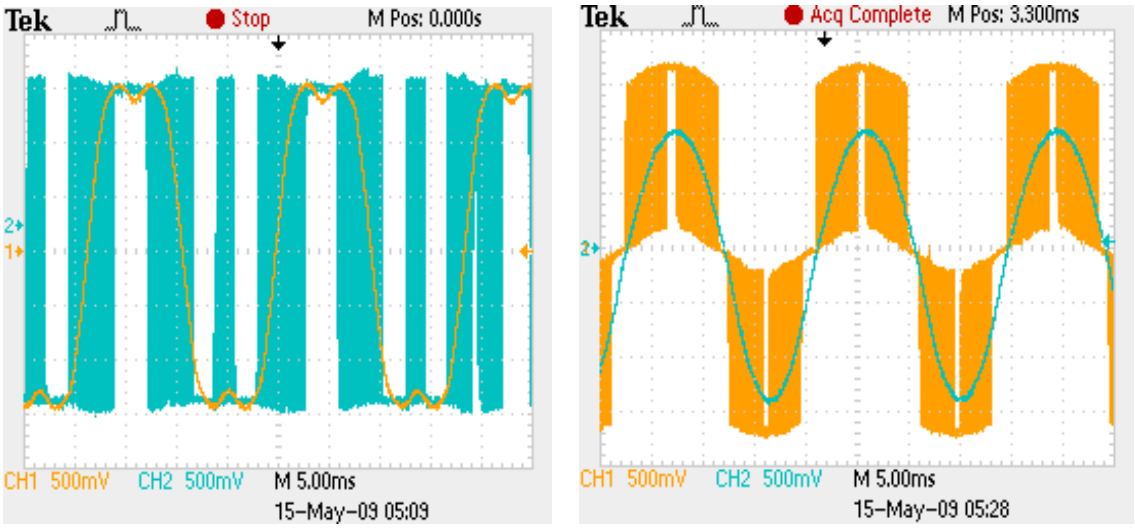


Figura 4-16. Diagrama de flujo de la rutina SVM de dos niveles.

Finalmente en la Fig. 4-17, se muestran algunos resultados experimentales, los cuales fueron obtenidos al utilizar a la rutina svmStd para generar las señales de control de un inversor de dos niveles [68].



a) b)

Figura 4-17. Voltajes con señales fundamentales. (a) Voltaje polar; (b) Voltaje de línea.

4.6 OBTENCIÓN DE LAS SEÑALES DE CONTROL

En esta sección se tiene como objetivo determinar las señales de control de cada uno de los interruptores que constituyen al inversor de tres niveles.

Como se analizó anteriormente, una vez que se aplica la rutina svmStd de dos niveles, se obtienen los tiempos de aplicación de los vectores espaciales, los cuales están implícitos en la secuencia de conmutación con alineación de centros. Por lo tanto, para obtener las señales de control del inversor, primero es necesario analizar la secuencia de conmutación requerida en el espacio vectorial de tres niveles, para después relacionarla con la secuencia de conmutación de dos niveles. Para facilitar el análisis de la secuencia de conmutación, es necesario recordar los estados de conmutación que puede generar cada una de las ramas del inversor de tres niveles, los cuales son mostrados en la Tabla 4.6-1.

TABLA 4.6-1 ESTADOS DE CONMUTACIÓN DEL INVERSOR DE TRES NIVELES

Estados de Conmutación	Estado de los Interruptores (X=A,B,C)				Voltaje Polar v_{XZ}
	S_{X1}	S_{X2}	S_{X3}	S_{X4}	
P	ON	ON	OFF	OFF	E
O	OFF	ON	ON	OFF	0
N	OFF	OFF	ON	ON	-E

También es preciso redefinir el espacio vectorial de tres niveles, enumerando cada una de las áreas que lo constituyen, tal y como se observa en la Fig. 4-18.

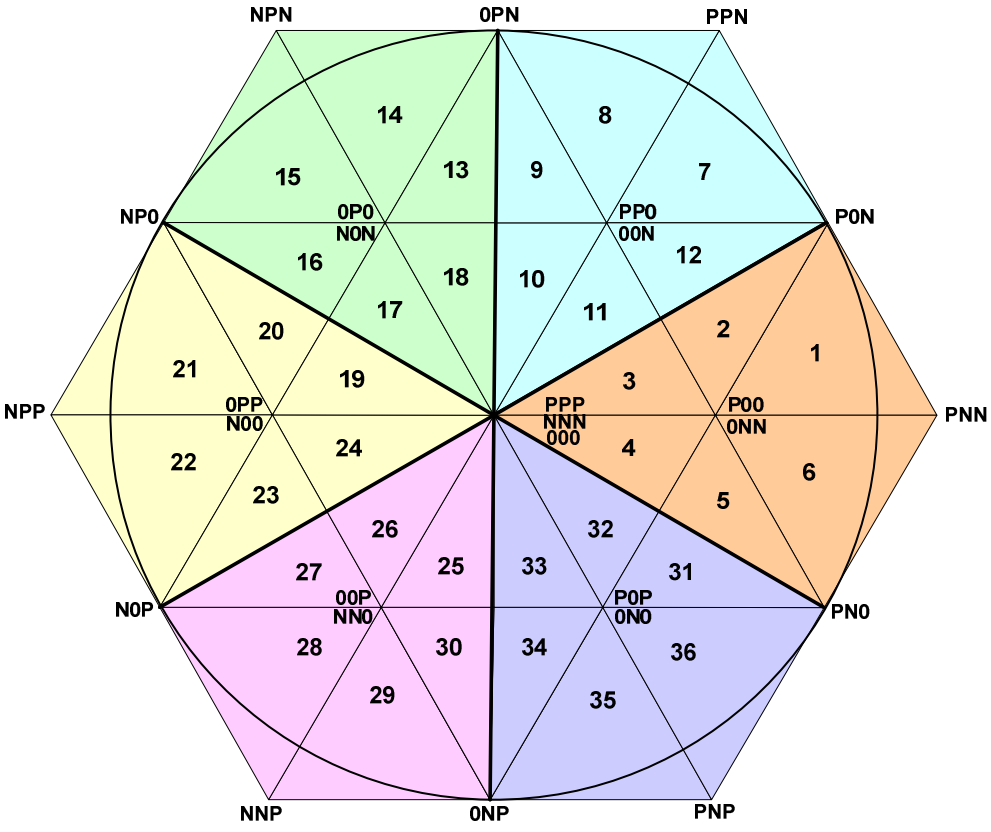


Figura 4-18. Definición de las 36 áreas que conforman al espacio vectorial de tres niveles.

En la sección anterior se observó que un hexágono de dos niveles está conformado por seis sectores, y puesto que el diagrama vectorial de tres niveles está conformado por seis hexágonos de dos niveles, al redefinir el espacio vectorial resultan un total de 36 áreas.

Con el fin de clarificar el proceso de redefinición del espacio vectorial, en la Tabla 4.6-2, se muestra de forma explícita, a cuál de los seis hexágonos de dos niveles, y a cuál de sus respectivos sectores, corresponde cada una de las 36 áreas previamente definidas.

TABLA 4.6-2 DEFINICIÓN EXPLICITA DE LAS ÁREAS QUE CONFORMAN EL ESPACIO VECTORIAL DE TRES NIVELES

ÁREA	HEXÁGONO DE DOS NIVELES	SECTOR
1	1	I
2		II
3		III
4		IV
5		V
6		VI
7	2	I
8		II
9		III
10		IV
11		V
12		VI
13	3	I
14		II
15		III
16		IV
17		V
18		VI
19	4	I
20		II
21		III
22		IV
23		V
24		VI
25	5	I
26		II
27		III
28		IV
29		V
30		VI
31	6	I
32		II
32		III
34		IV
35		V
36		VI

Ahora bien, en el capítulo 2 se determinó que al utilizar la secuencia de conmutación con alineación de centros se obtienen resultados satisfactorios, ya que es posible reducir la frecuencia de conmutación de los dispositivos semiconductores, así como también minimizar la variación de voltaje en el punto neutro propiciada por los diferentes estados de conmutación. Por lo tanto, considerando que el vector de referencia se encuentra en el área 1 del espacio vectorial de tres niveles, la secuencia de conmutación que se debe satisfacer para obtener la alineación de los centros es: (POO)-(PON)-(PNN)-(ONN)-(ONN)-(PNN)-(PON)-(POO), tal como se muestra en la Fig. 4-19. Mientras que, si se considera al espacio vectorial de dos niveles, el vector de referencia se encuentra en el sector I del hexágono 1, y por lo tanto la secuencia de conmutación que se obtiene una vez que se aplica la rutina svmStd es: (111)-(110)-(100)-(000)-(000)-(100)-(110)-(111). Ambas secuencias de conmutación se muestran en la Fig. 4-20. Se puede observar que las señales que definen la secuencia de conmutación son iguales, lo único que cambia, son los estados de conmutación a los que se hace referencia.

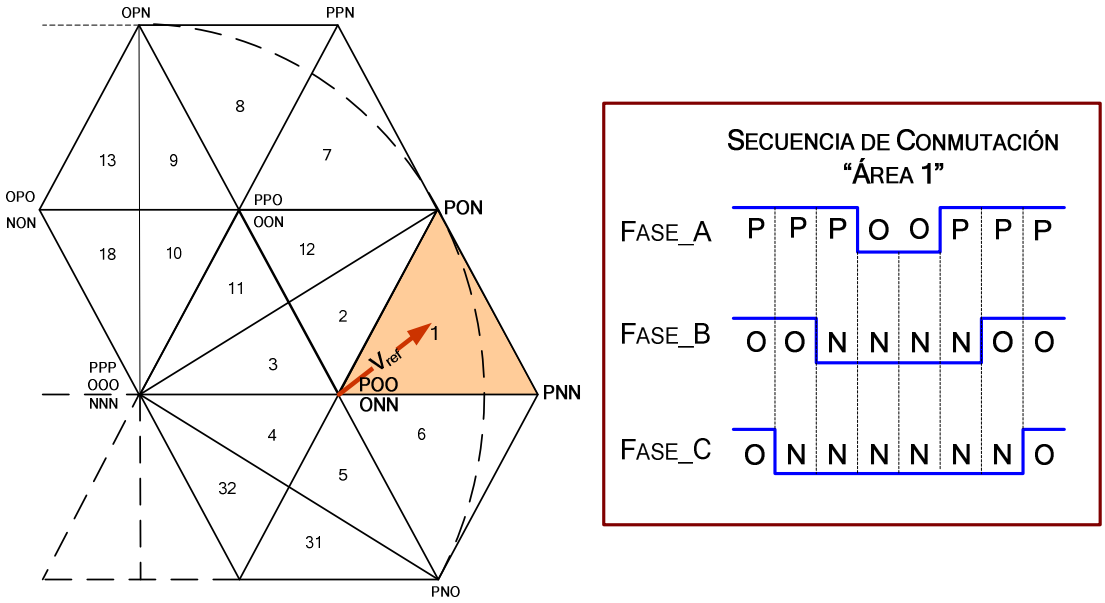


Figura 4-19. Secuencia de conmutación con alineación de centros correspondiente al área 1 del espacio vectorial de tres niveles.

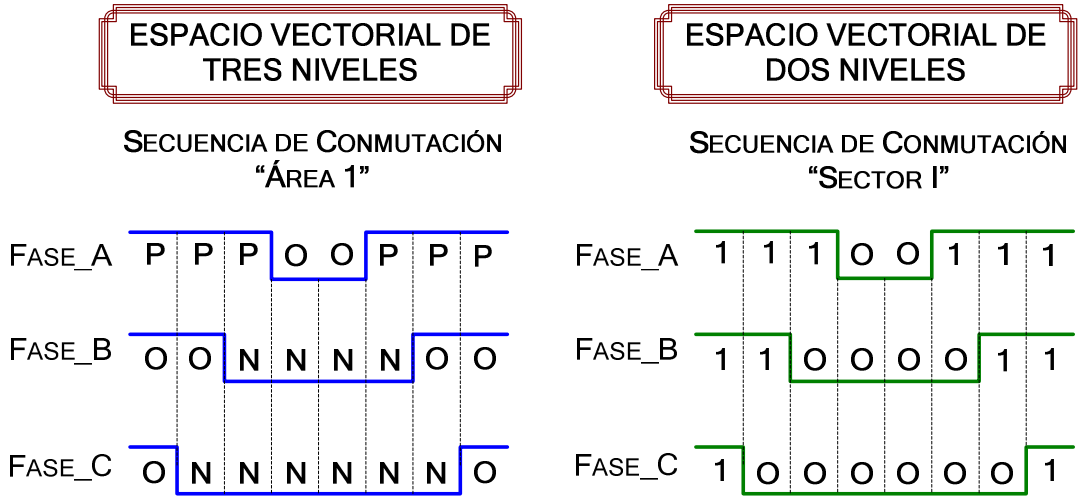


Figura 4-20. Secuencias de conmutación correspondientes a los espacios vectoriales de dos y tres niveles.

En la secuencia de conmutación que considera el espacio vectorial de tres niveles, están involucrados tres estados de conmutación P, O y N, mientras que, la secuencia de conmutación que considera al espacio vectorial de dos niveles, únicamente involucra dos estados de conmutación, 1 y 0. Ahora, con el propósito de analizar el comportamiento de las señales que determinan las secuencias de conmutación en otras áreas del espacio vectorial, en la Fig. 4-21 se muestran las secuencias de conmutación requeridas, cuando el vector de referencia sigue una trayectoria, en la cual se encuentran involucradas las áreas 2, 12 y 7 del espacio vectorial de tres niveles.

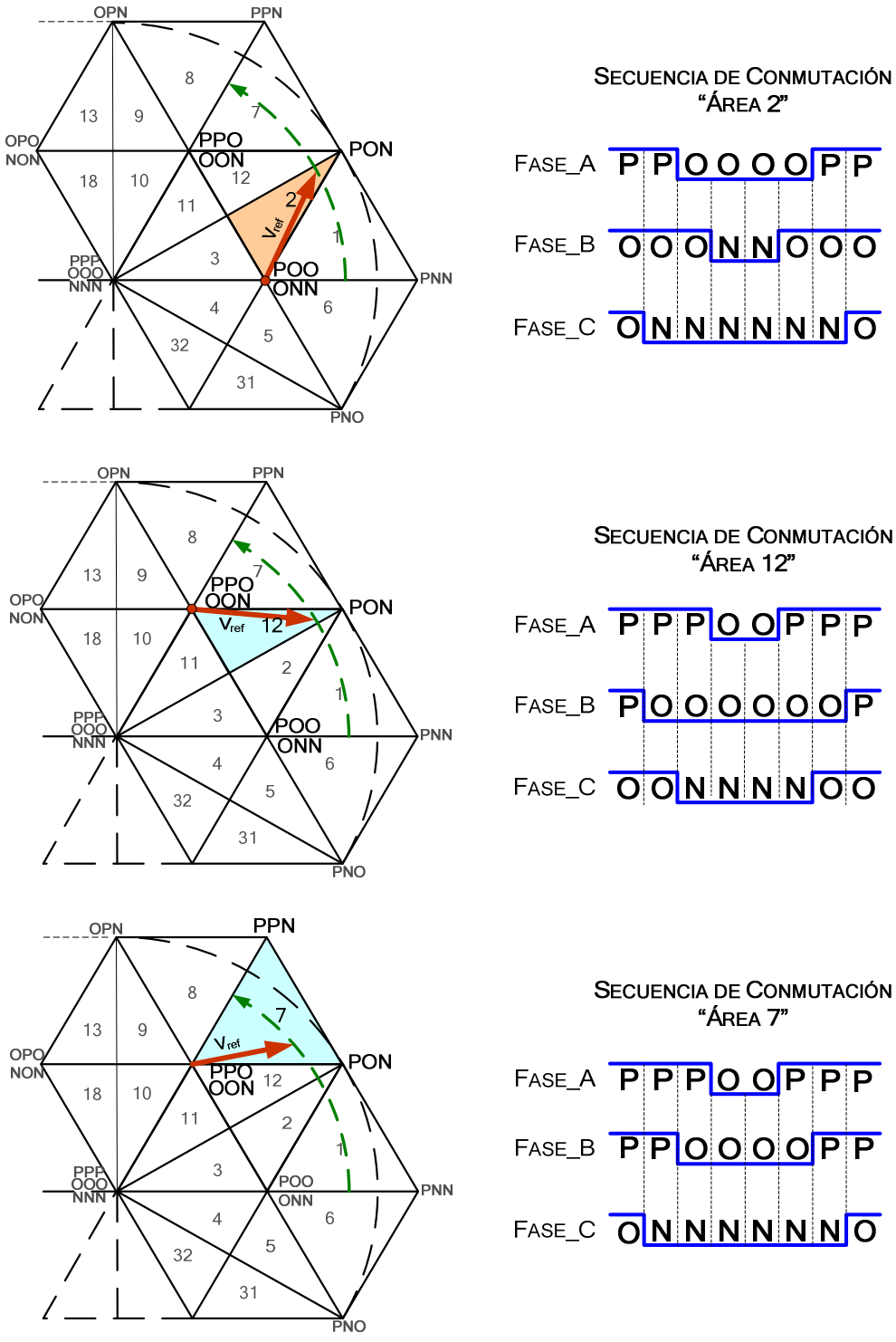


Figura 4-21. Secuencias de conmutación con alienación de centros correspondientes a las áreas 2, 12 y 17.

Finalmente, con ayuda de la Fig. 4-22 se puede verificar que las señales que definen las secuencias de conmutación, para los espacios vectoriales de dos y tres niveles son iguales. Por lo tanto, se concluye que la secuencia de conmutación requerida en el espacio vectorial de tres niveles, puede ser determinada a partir de la secuencia de conmutación obtenida al aplicar la rutina svmStd.

Ahora con el objeto de obtener las señales de control, es necesario analizar los estados que toman los interruptores del inversor de tres niveles, en el momento en que éstos generan una determinada secuencia de conmutación. En la Fig. 4-23, se muestra el comportamiento de cada uno de los interruptores cuando generan la secuencia de conmutación con alineación de los centros, correspondiente al área 1 del espacio vectorial de tres niveles.

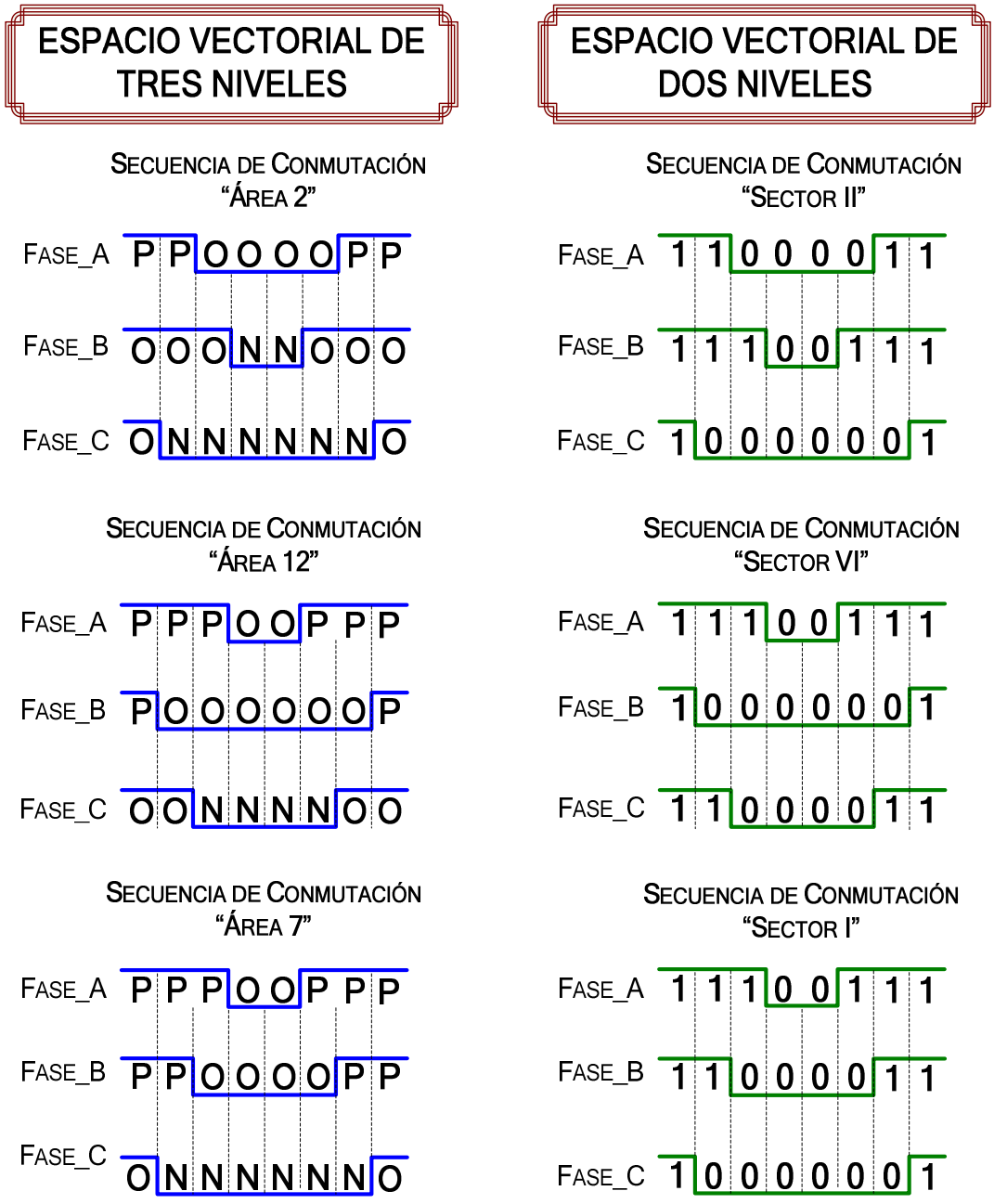


Figura 4-22. Secuencias de conmutación correspondientes a las áreas 2, 12 y 7; considerando los espacios vectoriales de dos y tres niveles.

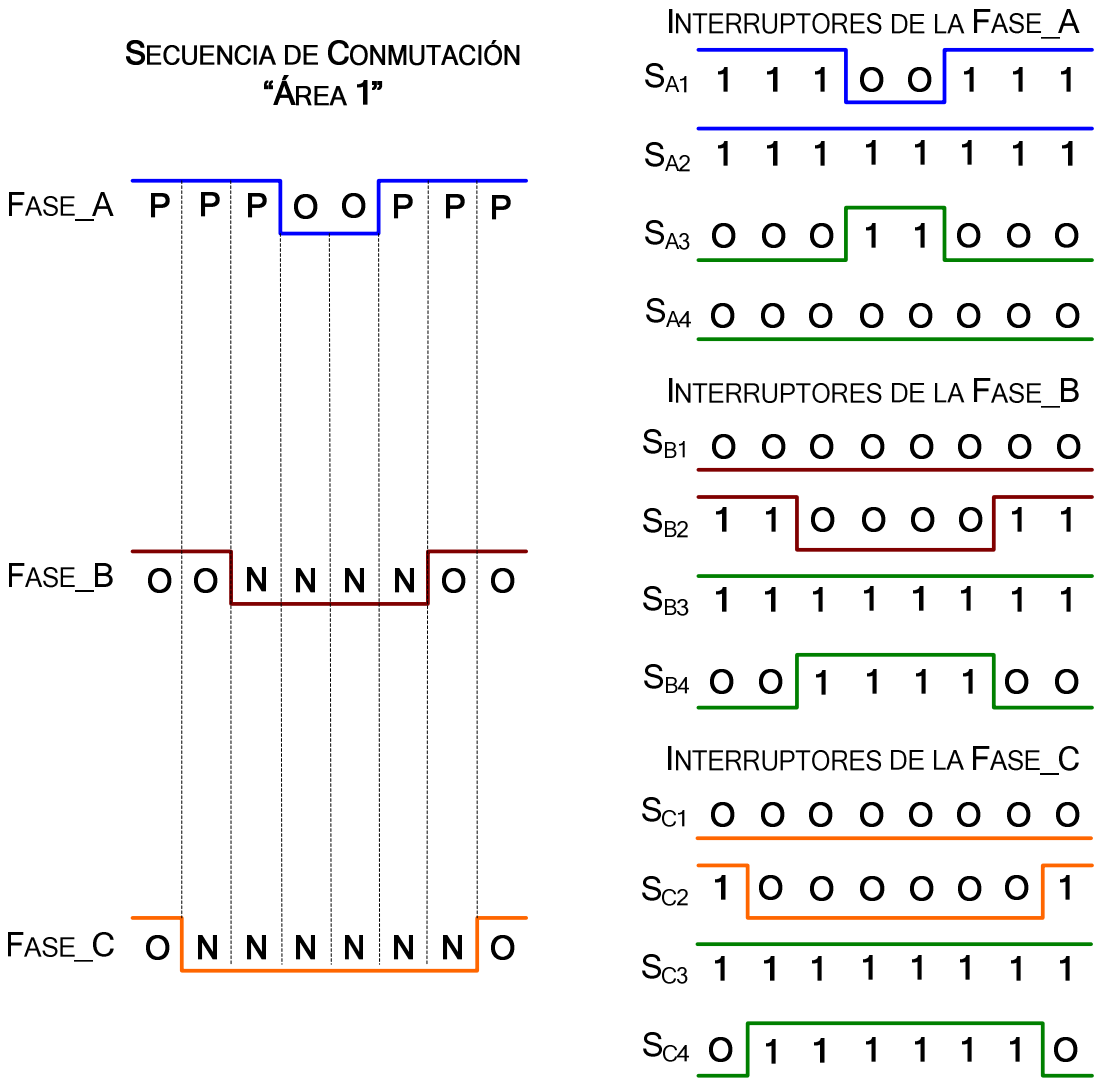


Figura. 4-23. Estados de los interruptores del inversor de tres niveles cuando generan la secuencia de conmutación correspondiente al área 1.

Como se puede observar, al generar los estados de conmutación P, O y N, las parejas de interruptores S_{X1}, S_{X3} y S_{X2}, S_{X4} (X=A,B,C) operan en forma complementaria. Por lo tanto, para controlar a los cuatro interruptores de cada una de las ramas del inversor, únicamente es necesario determinar dos señales de control, las cuales serán nombradas señales de control "principales". Esto implica que, las dos señales de control principales y sus dos respectivas señales complementarias, controlan a los cuatro interruptores que conforman a cada una de las ramas del inversor.

También es importante observar en la Fig. 4-23, que para generar la secuencia de conmutación, la cual se encuentra alternando entre los estados P y O, es necesario que el interruptor S_{X1} sea controlado por la señal que define la secuencia de conmutación (t_{phase_X}), mientras que el interruptor S_{X2} tenga un nivel alto en todo momento (t_{Alto}). Cuando la secuencia de conmutación se encuentra alternando entre los estados N y O, es necesario que el interruptor S_{X1} tenga un nivel bajo (t_{Bajo}), y que ahora el interruptor S_{X2} sea controlado por la señal que define la secuencia de conmutación. Por lo tanto, para generar las secuencias de conmutación requeridas, se ha determinado que los interruptores S_{X1} y $S_{X2,}$ sean controlados por las señales de control principales, y que, los interruptores S_{X3} y S_{X4} sean controlados por las señales de control complementarias.

Es importante mencionar que con el propósito de disminuir las pérdidas por conmutación, las secuencias de conmutación nunca alternan entre los estados P y N, ya que esto implica que los cuatro interruptores de una misma rama del inversor tienen que conmutar, dos que se cierran y dos que se abren.

Por lo tanto, las seis señales de control principales requeridas para controlar al inversor de tres niveles, quedan definidas a partir de los ciclos útiles t_{phase_A}, t_{phase_B} y t_{phase_C}, obtenidos al aplicar la rutina svmStd de dos niveles, y también por los niveles t_{Alto} o t_{Bajo} de las tres señales de control adicionales, los cuales como se analizó anteriormente están en función de los estados de conmutación P o N que se requieran generar. Para clarificar lo antes mencionado, en la Fig. 4-24, se muestra la disposición que deben satisfacer las señales de control de la fase A, las cuales generan las secuencias de conmutación que alternan entre los estados P-O y O-N.

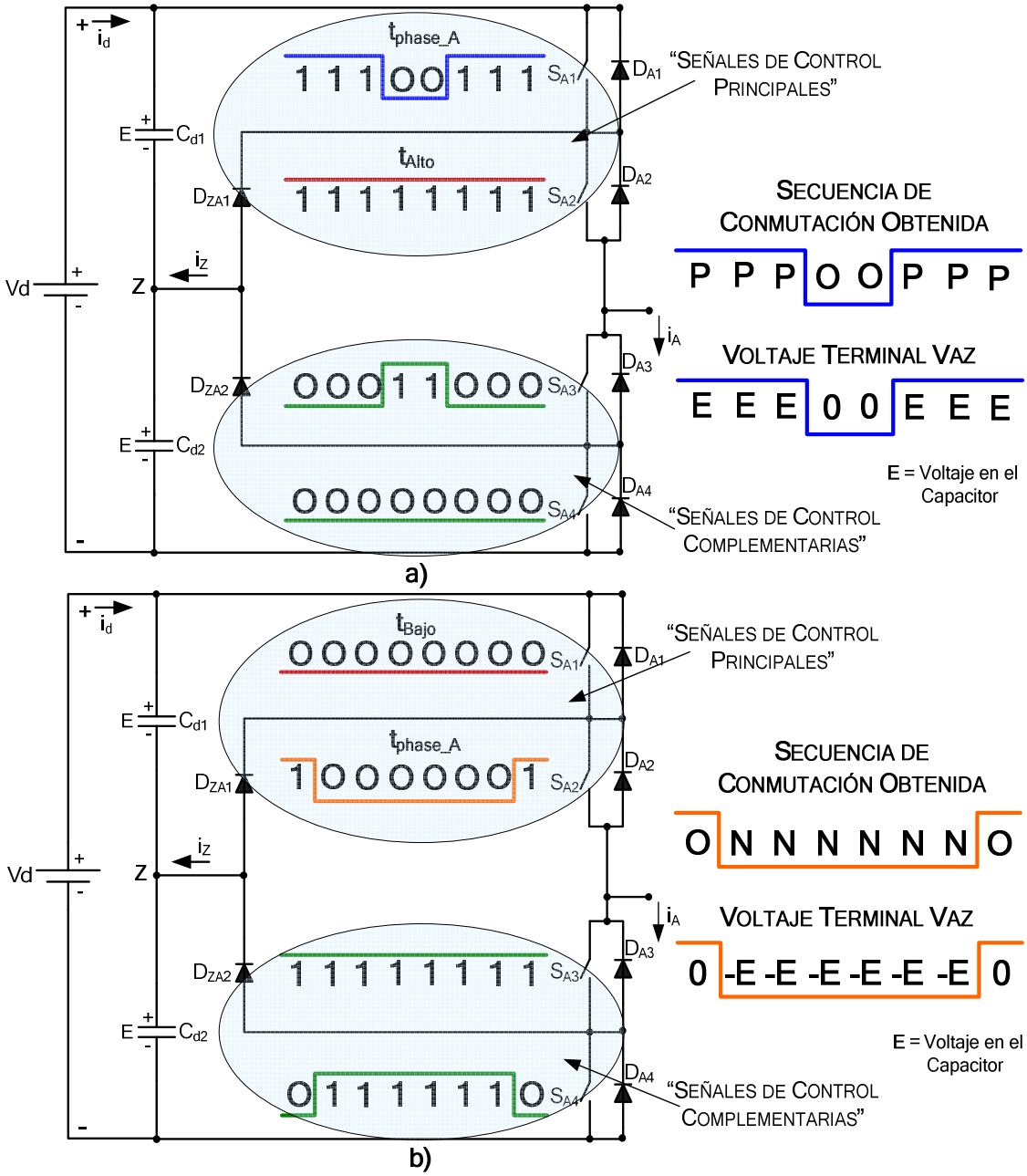


Figura 4-24. Disposición de las señales de control de la fase A del inversor, las cuales generan una secuencia de conmutación que alterna entre los estados: a) P-O; b) O-N.

TABLA 4.6-3. CARACTERÍSTICAS DE LAS SECUENCIAS DE CONMUTACIÓN EN LAS 36 ÁREAS DEL ESPACIO VECTORIAL DE TRES NIVELES

ÁREA	HEXÁGONO	FASE	SECTOR					
			I	II	III	IV	V	VI
1 a 6	**1**	A	P-O	P-O	P-O	P-O	P-O	P-O
		B	O-N	O-N	O-N	O-N	O-N	O-N
		C	O-N	O-N	O-N	O-N	O-N	O-N
6 a 12	**2**	A	P-O	P-O	P-O	P-O	P-O	P-O
		B	P-O	P-O	P-O	P-O	P-O	P-O
		C	O-N	O-N	O-N	O-N	O-N	O-N
12 a 18	**3**	A	O-N	O-N	O-N	O-N	O-N	O-N
		B	P-O	P-O	P-O	P-O	P-O	P-O
		C	O-N	O-N	O-N	O-N	O-N	O-N
18 a 24	**4**	A	O-N	O-N	O-N	O-N	O-N	O-N
		B	P-O	P-O	P-O	P-O	P-O	P-O
		C	P-O	P-O	P-O	P-O	P-O	P-O
24 a 30	**5**	A	O-N	O-N	O-N	O-N	O-N	O-N
		B	O-N	O-N	O-N	O-N	O-N	O-N
		C	P-O	P-O	P-O	P-O	P-O	P-O
30 a 36	**6**	A	P-O	P-O	P-O	P-O	P-O	P-O
		B	O-N	O-N	O-N	O-N	O-N	O-N
		C	P-O	P-O	P-O	P-O	P-O	P-O

Ahora es necesario definir la secuencia de conmutación requerida en cada una de las 36 áreas que conforman al espacio vectorial de tres niveles, y a partir de esto determinar la forma en que serán dispuestas las señales de control principales. En el Apéndice B se pueden observar las secuencias de conmutación correspondientes a cada una de las 36 áreas del espacio vectorial.

Una vez que se han definido y analizado las secuencias de conmutación, en la Tabla 4.6-3, se muestran algunas características importantes. Se puede observar que las secuencias de conmutación se encuentran alternando entre los mismos estados de conmutación P-O o O-N, en los seis sectores de un determinado hexágono de dos niveles. Por ejemplo, cuando el vector de referencia se encuentra en cualquiera de los sectores del hexágono 2, implica que las secuencias de conmutación para las fases A y B alternan únicamente entre los estados P-O, mientras que la secuencia de conmutación para la fase C alterna entre los estados O-N. Este análisis permite afirmar que, a partir del conocimiento del hexágono de dos niveles en el cual se encuentra el vector de referencia, es posible determinar cómo serán dispuestas las señales de control principales en las tres fases del inversor.

En la Tabla 4.6-4, se observa la disposición de las señales de control principales, las cuales están en función del hexágono de dos niveles seleccionado. Si se considera que el vector de referencia se encuentra en alguno de los sectores del hexágono 2, las señales de control para las fases A y B, deben generar los estados de conmutación P-O, por lo tanto la señales t_{phase_A} y t_{phase_B}, controlan a los interruptores S_{A1} y S_{B1} respectivamente, mientras que las señales de control para los interruptores S_{A2} y S_{B2}, se mantiene en alto. Las señales de control para la fase C deben generar los estados de conmutación O-N, por lo tanto la señal t_{phase_C} controla al interruptor S_{C2}, mientras que una señal con un nivel bajo es aplicada al interruptor S_{C1}.

TABLA 4.6-4. DISPOSICIÓN DE LAS SEÑALES DE CONTROL PRINCIPALES

HEXÁGONO	FASE A	FASE B	FASE C
1	S_{A1} = PWM1 = t_{phase_A} S_{A2} = PWM2= t_{Alto}	S_{B1} = PWM3 = t_{Bajo} S_{B2} = PWM4 = t_{phase_B}	S_{C1} = PWM5 = t_{Bajo} S_{C2} = PWM6 = t_{phase_C}
2	S_{A1} = PWM1 = t_{phase_A} S_{A2} = PWM2= t_{Alto}	S_{B1} = PWM3 = t_{phase_B} S_{B2} = PWM4 = t_{Alto}	S_{C1} = PWM5 = t_{Bajo} S_{C2} = PWM6 = t_{phase_C}
3	S_{A1} = PWM1 = t_{Bajo} S_{A2} = PWM2= t_{phase_A}	S_{B1} = PWM3 = t_{phase_B} S_{B2} = PWM4 = t_{Alto}	S_{C1} = PWM5 = t_{Bajo} S_{C2} = PWM6 = t_{phase_C}
4	S_{A1} = PWM1 = t_{Bajo} S_{A2} = PWM2= t_{phase_A}	S_{B1} = PWM3 = t_{phase_B} S_{B2} = PWM4 = t_{Alto}	S_{C1} = PWM5 = t_{phase_C} S_{C2} = PWM6 = t_{Alto}
5	S_{A1} = PWM1 = t_{Bajo} S_{A2} = PWM2= t_{phase_A}	S_{B1} = PWM3 = t_{Bajo} S_{B2} = PWM4 = t_{phase_B}	S_{C1} = PWM5 = t_{phase_C} S_{C2} = PWM6 = t_{Alto}
6	S_{A1} = PWM1 = t_{phase_A} S_{A2} = PWM2= t_{Alto}	S_{B1} = PWM3 = t_{Bajo} S_{B2} = PWM4 = t_{phase_B}	S_{C1} = PWM5 = t_{phase_C} S_{C2} = PWM6 = t_{Alto}

El DSP56F8037 tiene un modulo PWM con 6 canales (PWM-PWM6), los cuales serán utilizados para proporcionar las seis señales de control principales al inversor de tres niveles. Los canales PWM1 y PWM2 controlan a los interruptores S_{A1} y S_{A2}, los canales PWM3 y PWM4 controlan a los interruptores S_{B1} y S_{B2}, y los canales PWM5 y PWM6 controlan a los interruptores S_{C1} y S_{C2}.

En lo que respecta a las señales complementarias, éstas fueron generadas por medio del Hardware, sin embargo, si se utiliza un DSP con 12 canales PWM es posible generar las señales complementarias por medio del Software.

Basándose en la Tabla 4.6-4, se procede a desarrollar el diagrama de flujo del algoritmo que realiza la asignación de las señales de control a los correspondientes canales PWM, y el cual es mostrado en la Fig. 4-25. Considerar que un canal PWM tiene el 100% del ciclo útil, implica que la señal que genera permanece en un nivel alto durante el periodo completo de la señal de conmutación, cuando se carga con el 0%, implica que la señal permanecerá en un estado bajo durante el periodo completo de la señal de conmutación.

Finalmente en el Apéndice D se encuentra el programa en lenguaje “C” que satisface el análisis desarrollado en el presente capítulo. Para realizar la programación del DSP56F8037 se utilizó el entorno de desarrollo “MetroWerks CodeWarrior” y también fue de gran ayuda el uso del “Processor Expert”, el cual permite utilizar algunas rutinas de control creadas por un grupo de expertos en la materia.

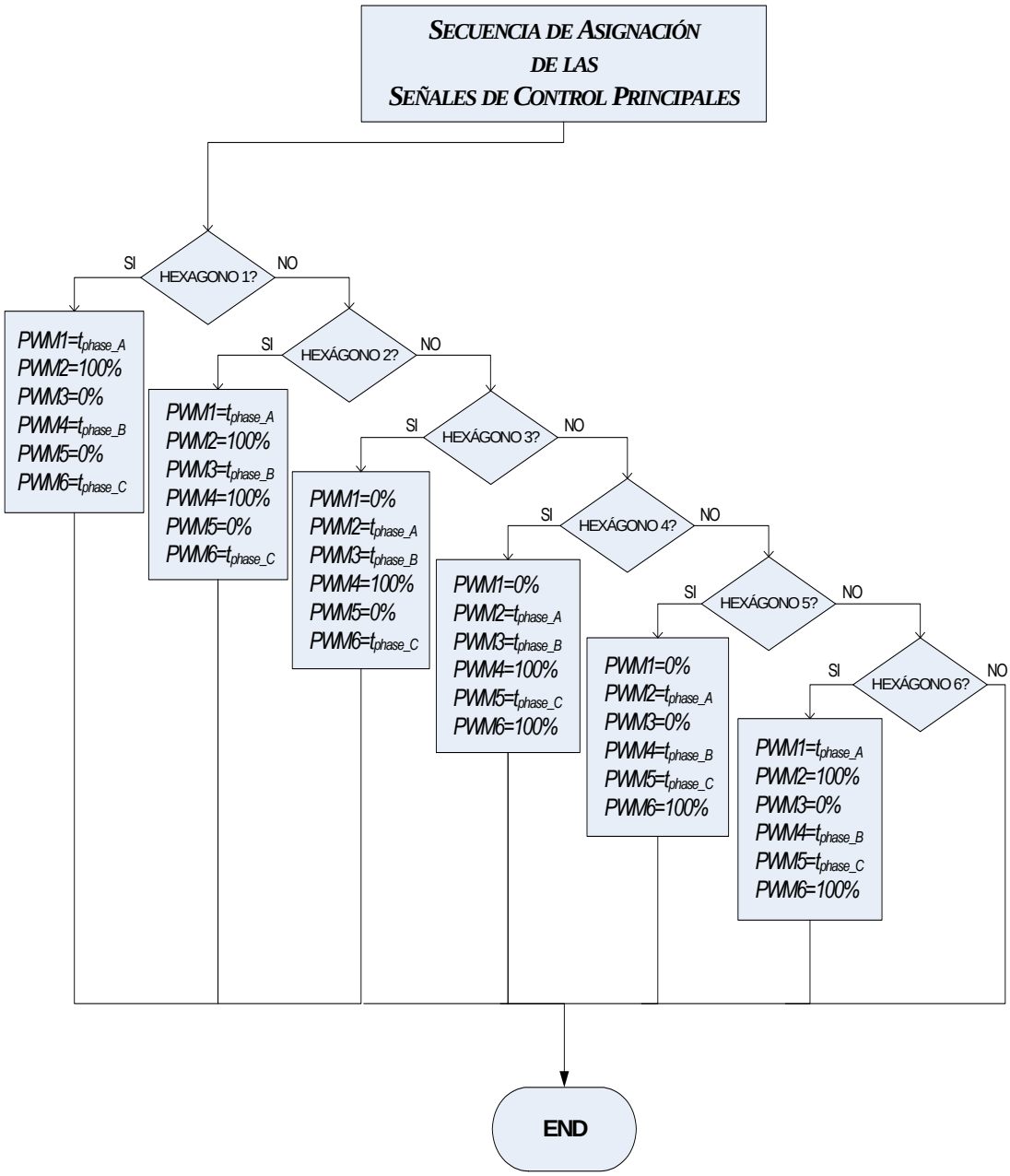


Figura 4-25. Diagrama de flujo del algoritmo de asignación de las señales de control principales.

CAPÍTULO 5

RESULTADOS EXPERIMENTALES

5.1 INTRODUCCIÓN

Este capítulo está dedicado a la presentación de los resultados experimentales, los cuales fueron obtenidos al implementar el inversor de tres niveles NPC y al desarrollar el algoritmo de modulación SVM simplificado.

En primer lugar se muestran los resultados que validan el correcto desempeño del algoritmo SVM desarrollado. Después se presentan los resultados experimentales obtenidos de controlar al inversor de tres niveles NPC-VSI utilizando la técnica de modulación SVM. Por último se muestran los resultados de simulación y los resultados experimentales obtenidos de controlar al inversor de tres niveles aplicando la técnica de modulación PWM basada en portadoras en contrafase (APOD).

5.2 VALIDACIÓN DEL ALGORITMO SVM

En esta sección de muestran los resultados preliminares que validan el correcto funcionamiento del algoritmo de modulación SVM simplificado, el cual fue utilizado para controlar al inversor de tres niveles NPC.

5.2.1 RUTINA SVM DE DOS NIVELES

En el capítulo 4, se mostró que para desarrollar el algoritmo SVM simplificado, fue necesario utilizar una rutina de modulación SVM de dos niveles. Por lo tanto, con el propósito de familiarizarse y al mismo tiempo verificar el desempeño de la rutina SVM, esta última fue utilizada para controlar a un inversor convencional de dos niveles.

En las Figs. 5-1, 5-2 y 5-3, se muestran los resultados experimentales obtenidos al aplicar un índice de modulación (m) del 80%, una frecuencia de conmutación (F_C) de 10KHz y al conectar a la salida del inversor de dos niveles una carga resistiva [68].

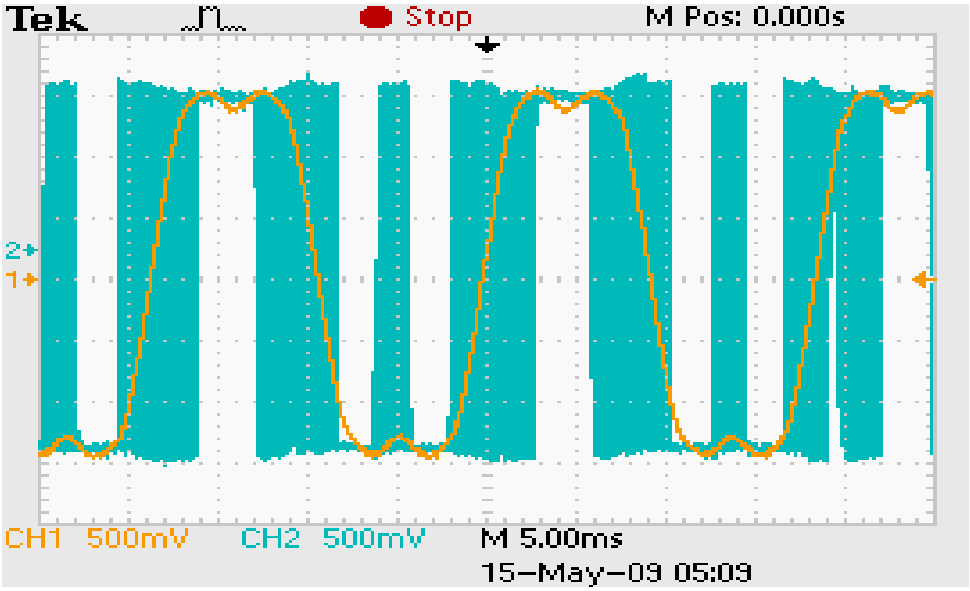


Figura 5-1. Voltaje polar y señal fundamental en un inversor de dos niveles.

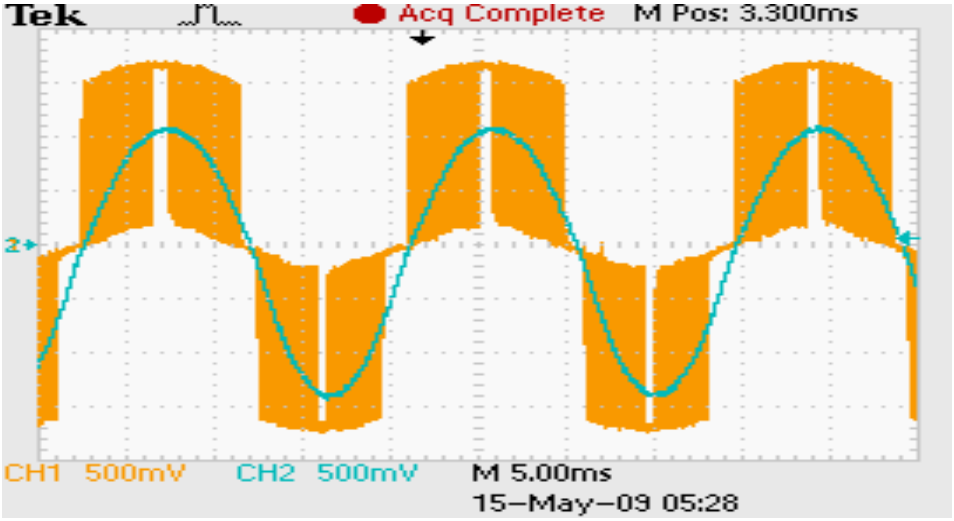


Figura 5-2. Voltaje de línea y señal fundamental en un inversor de dos niveles.

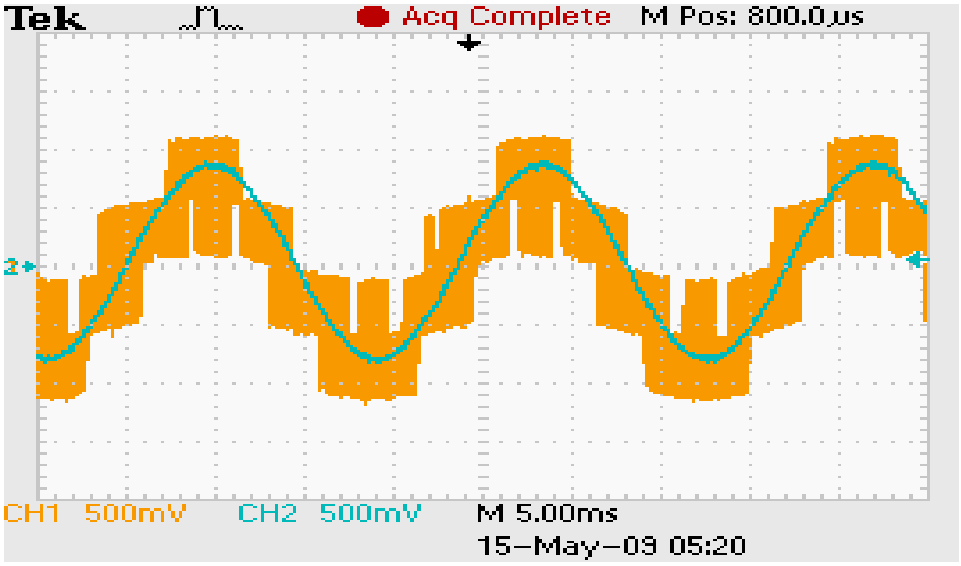


Figura 5-3. Voltaje de fase en la carga y señal fundamental en un inversor de dos niveles.

5.2.2 PROCESO DE VALIDACIÓN

El proceso de validación tiene por objetivo verificar que las áreas por las que se desplaza el vector de referencia mientras se ejecuta el algoritmo SVM simplificado, corresponden con la trayectoria deseada.

En el capítulo 4 se observó que la componente beta del vector de referencia está representada por medio de una señal senoidal, de manera que la amplitud de la señal senoidal determina el índice de modulación (magnitud del vector de referencia), y su frecuencia define la frecuencia de la componente fundamental del voltaje a la salida del inversor. Además en el mismo capítulo, se redefinió el espacio vectorial de tres niveles, el cual está conformado por 36 áreas.

Para verificar el funcionamiento del algoritmo SVM simplificado desarrollado en este trabajo de tesis, se realizó un algoritmo adicional de validación, el cual se ejecuta en el instante en que se generan las señales PWM (en tiempo real). El algoritmo de validación tiene el propósito de mostrar, las áreas por las que realmente se traslada el vector de referencia cuando se ejecuta el algoritmo SVM.

El algoritmo de validación genera una señal senoidal y una señal escalonada, por medio de los Convertidores Digital-Analógico (DAC's). Las referencias del índice de modulación y de la frecuencia de la señal fundamental de salida están representadas en la señal senoidal. La señal escalonada (que de ahora en adelante será nombrada señal de trasladado) muestra las áreas por las que realmente se desplaza el vector de referencia al aplicar el algoritmo SVM.

Para generar la señal de traslado, el algoritmo de validación asigna a cada área del espacio vectorial un nivel de voltaje, partiendo del valor de 100mV. Esto significa, que cuando el vector de referencia se encuentra en el área 1, la amplitud de la señal de traslado es de 100mV, cuando se encuentra en el área 2, la amplitud de la señal de traslado es de 200mV y así sucesivamente hasta llegar al área 36, la cual corresponde al voltaje máximo a la salida del DAC (3.6V verificado experimentalmente).

Antes de analizar las señales que proporciona el algoritmo de validación, es importante mencionar que en el algoritmo de control SVM simplificado, se ha implementado un control escalar V/F constante, por lo que el índice de modulación y la frecuencia de la señal fundamental (representados en la señal senoidal) se modifican en forma proporcional.

Para realizar el proceso de validación, se definen tres trayectorias del vector de referencia, tal como se muestra en la Fig. 5-4. Se observa que cada trayectoria pasa por algunas de las 36 áreas del espacio vectorial. Por lo tanto, al realizar el proceso de validación se verifica que al ejecutarse el algoritmo SVM, este último considera las áreas que corresponden a la trayectoria requerida. A continuación se analizan por separado las tres trayectorias definidas.

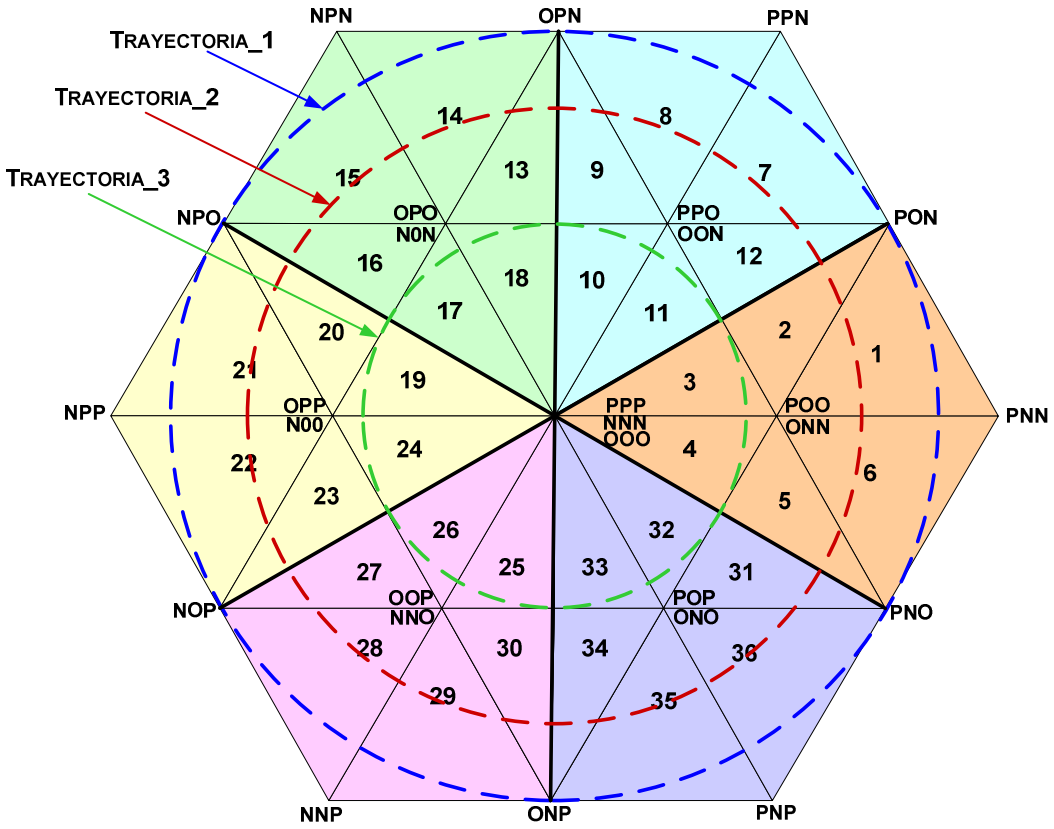


Figura 5-4. Trayectorias del vector de referencia.

TRAYECTORIA_1

En la Fig. 5-5, se muestran las áreas que están involucradas cuando el vector de referencia se desplaza por la trayectoria_1 del espacio vectorial. El algoritmo SVM genera un vector de referencia que sigue la trayectoria_1, cuando el índice de modulación requerido es del 100% y la frecuencia deseada la salida del inversor es de 60Hz.

Por lo tanto, cuando el algoritmo SVM funciona bajo las condiciones mencionadas previamente, el algoritmo de validación genera las señales que se muestran en la Fig. 5-6. Se puede observar que el algoritmo SVM genera el vector de referencia adecuado, ya que las características de la señal senoidal: amplitud máxima y frecuencia muy cercana a 60Hz, corresponden con las características que requiere la Trayectoria_1.

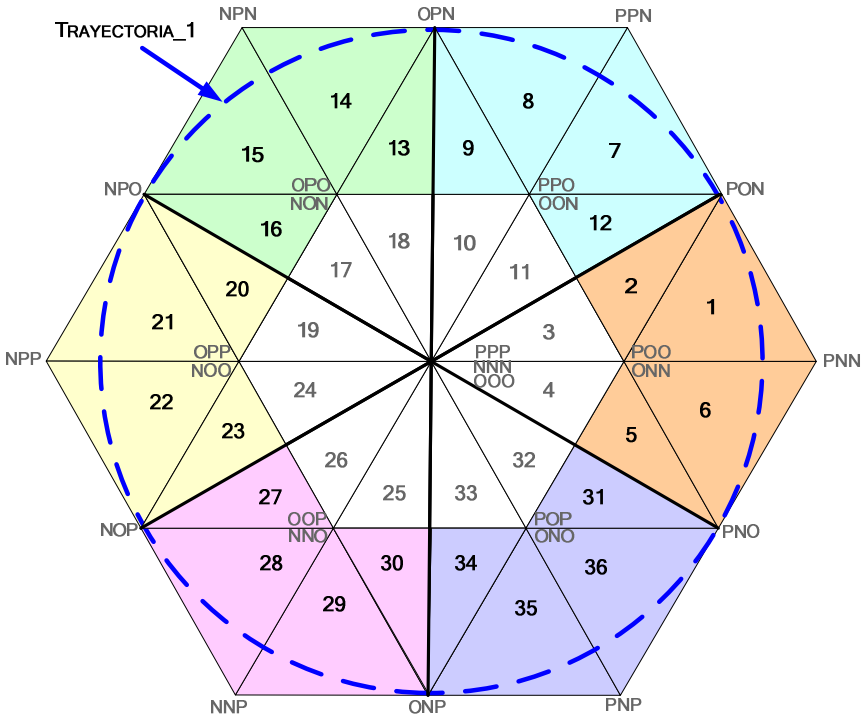


Figura 5-5. Áreas involucradas cuando el vector de referencia sigue la Trayectoria_1.

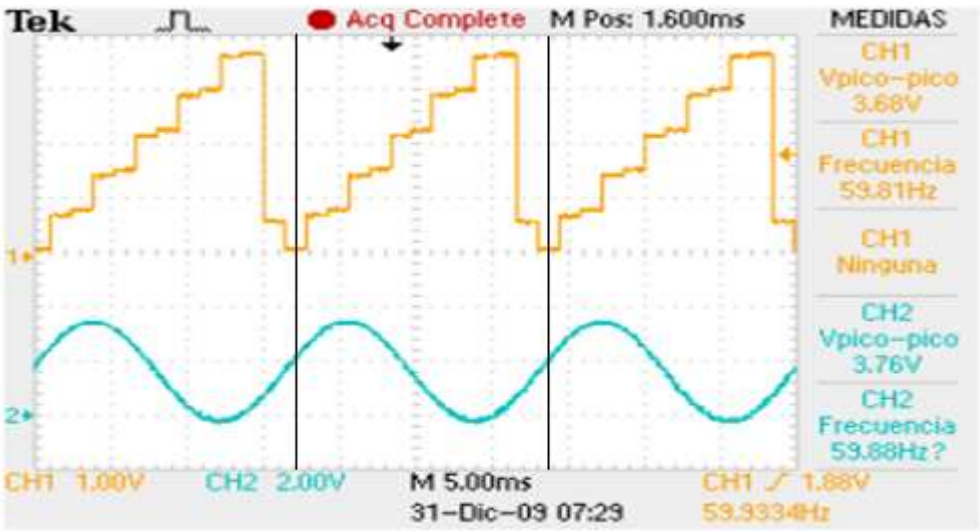


Figura 5-6. Señales obtenidas por el algoritmo de validación para m=100%.

En la Fig. 5-6, también se observa que la frecuencia de la señal de traslado es igual a la frecuencia de la señal senoidal, lo cual implica que la velocidad de giro real del vector de referencia es correcta. Ahora es necesario verificar que el vector de referencia realmente se desplaza por las áreas que corresponden a la trayectoria_1 (Ver Fig. 5-5), por lo que es necesario observar detenidamente cuales son los niveles de voltaje que conforman a la señal de traslado. Para ello es preciso analizar la señal de traslado en intervalos de tiempo más pequeños tal como se muestra en las Figs. 5-7, 5-8, 5-9. Es importante mencionar que los intervalos de tiempo utilizados representan un giro completo (360º) del vector de referencia en el espacio vectorial.

En la Fig. 5-7, se muestra el intervalo_1 de la señal de traslado, en el cual se observa que el vector de referencia se ha desplazado por las áreas: 1, 2, 7, 8, 13, 14 y 15. Esto implica que el vector de referencia no ha considerado a las áreas 12 y 9.

En la Fig. 5-8, se muestra el intervalo_2 de la señal de traslado, la cual indica que el vector de referencia se ha desplazado por las áreas: 16, 20, 21, 22, 27 y 28. Se puede observar que el lapso de tiempo en el que el vector permanece en las áreas 20 y 27 es muy pequeño. Y en esta ocasión el vector de referencia no se ha posicionado en el área 23 del espacio vectorial.

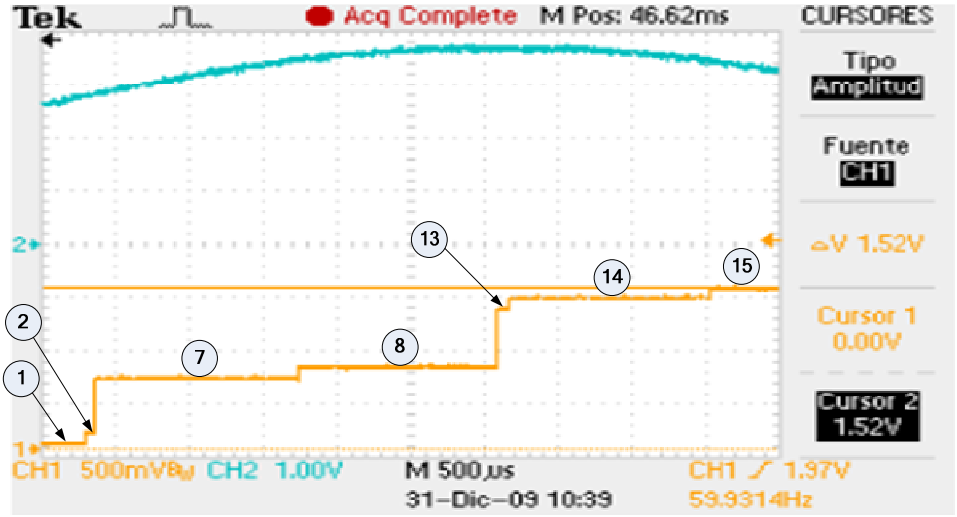


Figura 5-7. Intervalo_1 comprendido entre 0º y 120º con m=100%.

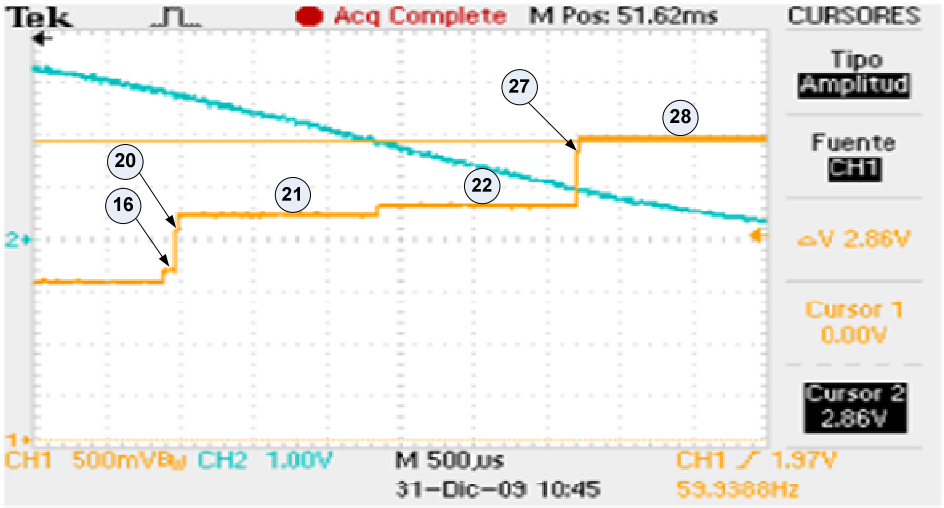


Figura 5-8. Intervalo_2 comprendido entre 120º y 240º con m=100%.

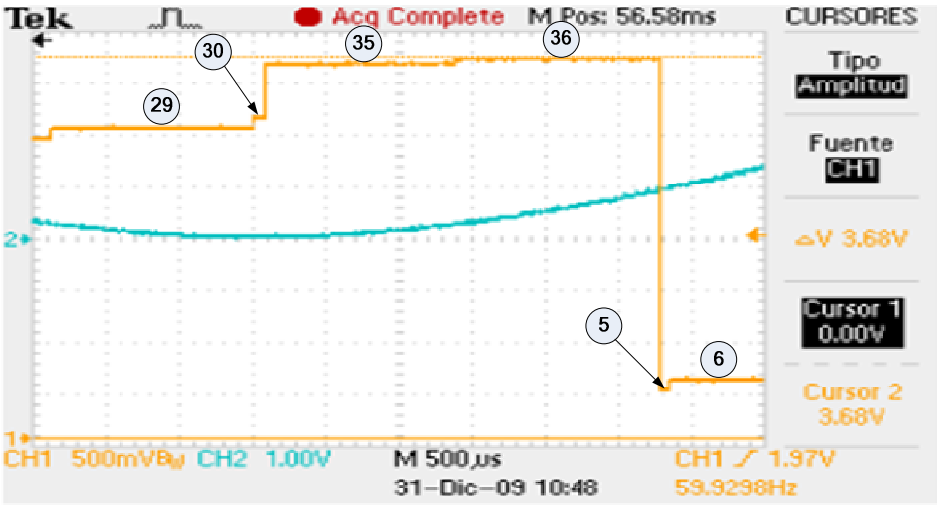


Figura 5-9. Intervalo_3 comprendido entre 240º y 360º con m=100%.

En la Fig. 5-9, se muestra el intervalo_3 de la señal de traslado, en el cual se observa que el vector de referencia se ha desplazado por las áreas: 29, 30, 35, 36, 5 y 6. Esto implica que el vector de referencia no ha considerado a las áreas 34 y 31.

Una vez analizados los intervalos de la señal de traslado, se observa que el vector de referencia efectivamente se desplaza por las áreas que conforman a la trayectoria_1. Sin embargo, generar la trayectoria_1 implica considerar algunas áreas por lapsos de tiempo muy cortos (Ver Fig. 5-5), tanto que en ocasiones no son detectadas por el vector de referencia. Por lo tanto, es justificable que el vector de referencia no se haya posicionado en 6 de las 24 áreas que conforman a la trayectoria_1.

TRAYECTORIA_2

En la Fig. 5-10, se observan las áreas que están involucradas cuando el vector de referencia se desplaza por la trayectoria_2.

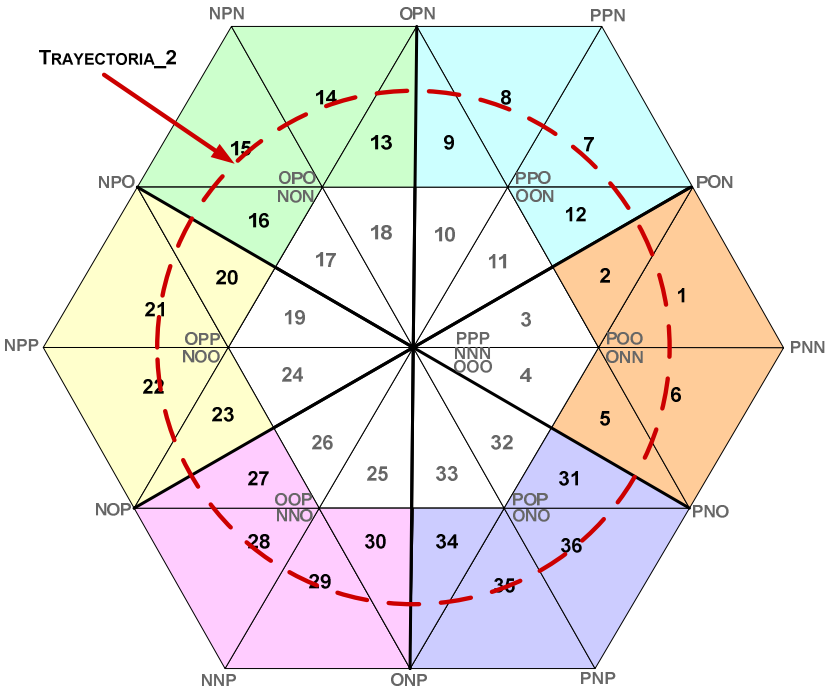


Figura 5-10. Áreas involucradas cuando el vector de referencia sigue la Trayectoria_2.

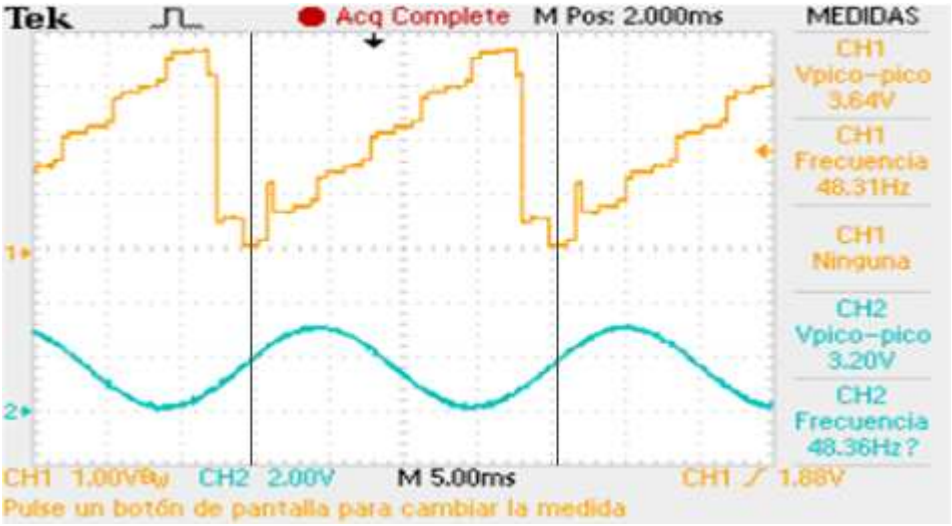


Figura 5-11. Señales obtenidas por el algoritmo de validación con m=80%.

El algoritmo SVM genera un vector de referencia que sigue la trayectoria_2, cuando el índice de modulación requerido es del 80%, y por lo tanto la frecuencia a la salida del inversor es de 48Hz. De acuerdo con estas condiciones, el algoritmo de validación genera las señales que se muestran en la Fig. 5-11. Se puede observar que la amplitud de señal senoidal ha disminuido y su frecuencia es muy cercana a 48Hz, por lo que se cumplen con los requerimientos para tener como referencia a la Trayectoria_2. En la Fig. 5-11, se observa que la frecuencia de la señal de traslado es igual a la frecuencia de la señal senoidal, lo cual implica que la velocidad de giro real del vector de referencia es correcta.

Ahora para verificar los niveles de voltaje que conforman a la señal de traslado, esta última se analiza en intervalos de tiempo más pequeños, los cuales se muestran en las Figs. 5-12, 5-13, 5-14 y 5-15. Es importante mencionar que los intervalos de tiempo utilizados representan un giro completo del vector de referencia en el espacio vectorial.

En la Fig. 5-12, se muestra el intervalo_1 de la señal de traslado, en el cual se observa que el vector de referencia se ha desplazado por las áreas: 1, 2, 12, 7, 8, 9 y 13. Por lo que se verifica que el vector de referencia se ha trasladado por las áreas correctas.

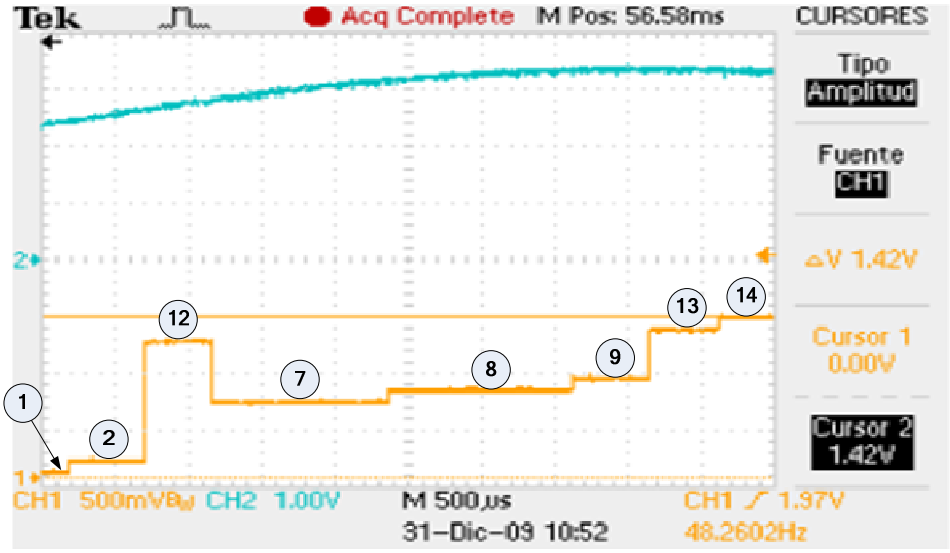


Figura 5-12. Intervalo_1 comprendido entre de 0º y 90º, con m=80%.

En la Fig. 5-13, se muestra el intervalo_2 de la señal de traslado, el cual indica que el vector de referencia se ha desplazado por las áreas: 14, 15, 16, 20, 21 y 22. Esto implica que el vector de referencia ha considerado a cada una de las áreas que conforman al intervalo_2.

En la Fig. 5-14, se muestra el intervalo_3 de la señal de traslado, el cual indica que el vector de referencia se ha desplazado por las áreas: 23, 27, 28, 29, 30 y 34. Nuevamente se verifica que el vector de referencia ha considerado todas las áreas que conforman al intervalo_3.

En la Fig. 5-15, se muestra el último intervalo de la señal de traslado, la cual indica que el vector de referencia se ha desplazado por las áreas: 35, 36, 31, 5, 6 y 1. Lo cual implica que el vector de referencia ha considerado todas las áreas que conforman al intervalo_4.

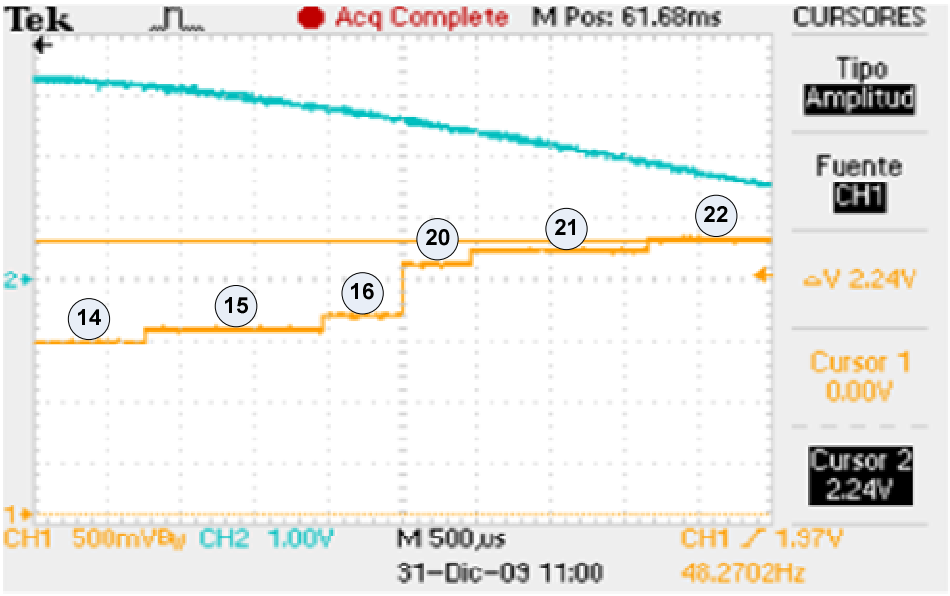


Figura 5-13. Intervalo_2 comprendido entre 90º y 180º, con m=80%.

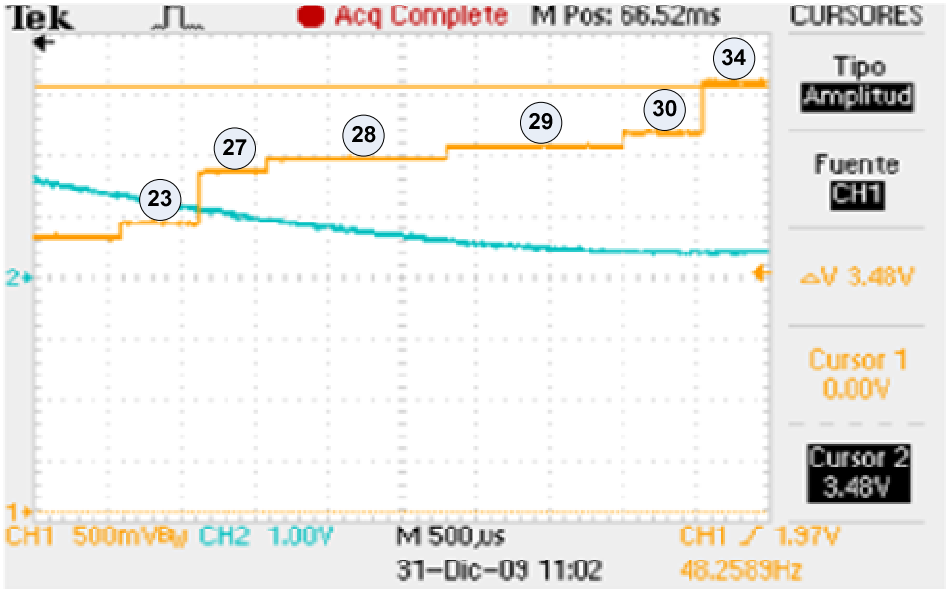


Figura 5-14. Intervalo_3 comprendido entre 180º y 270º, con m=80%.

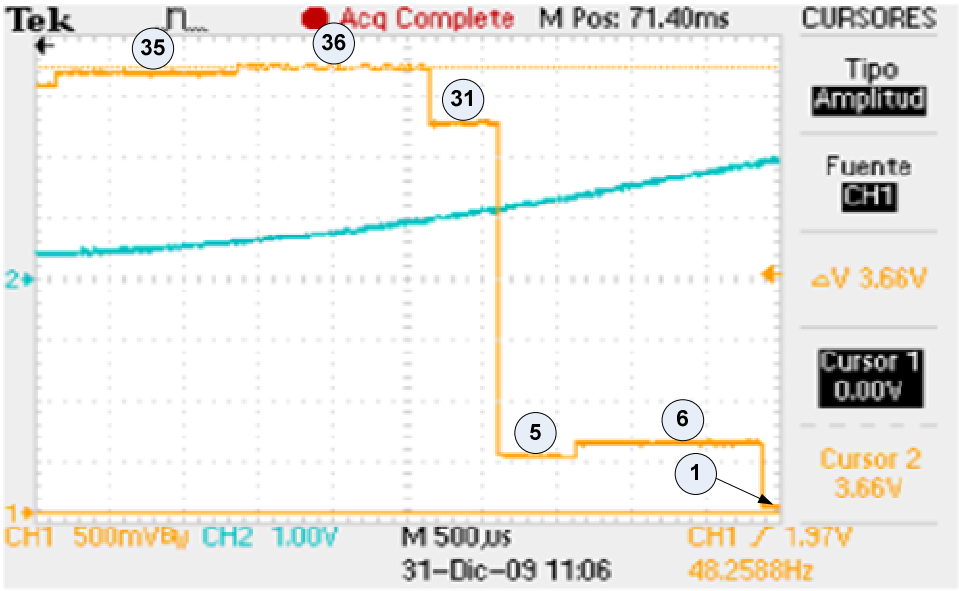


Figura 5-15. Intervalo_4 comprendido entre 270º y 360º, con m=80%.

Una vez analizados los 4 intervalos de la señal de traslado, se observa que el vector de referencia efectivamente se ha desplazado por cada una de las 24 áreas que conforman a la trayectoria_2. Es importante mencionar que las trayectorias 1 y 2 previamente analizadas, involucran las mismas áreas del espacio vectorial, la diferencia radica en el tiempo en que el vector de referencia permanece en cada una de ellas.

TRAYECTORIA 3

Por último, en la Fig. 5- 16, se observan las áreas que están involucradas cuando el vector de referencia se desplaza por la trayectoria_3. Se puede observar que las áreas que conforman a la trayectoria_3, no son consideradas cuando el vector se desplaza por las trayectorias 1 y 2.

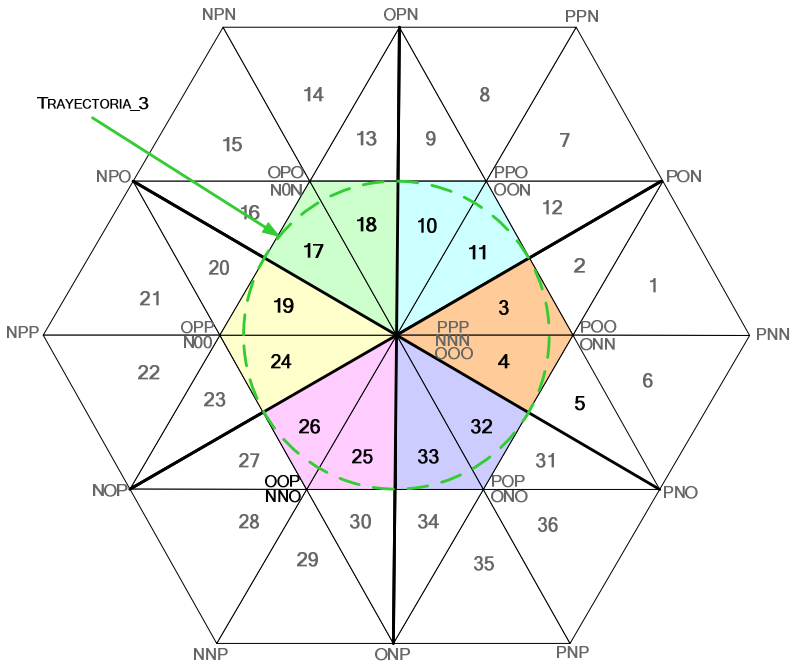


Figura 5-16. Áreas involucradas cuando el vector de referencia sigue la Trayectoria_3.

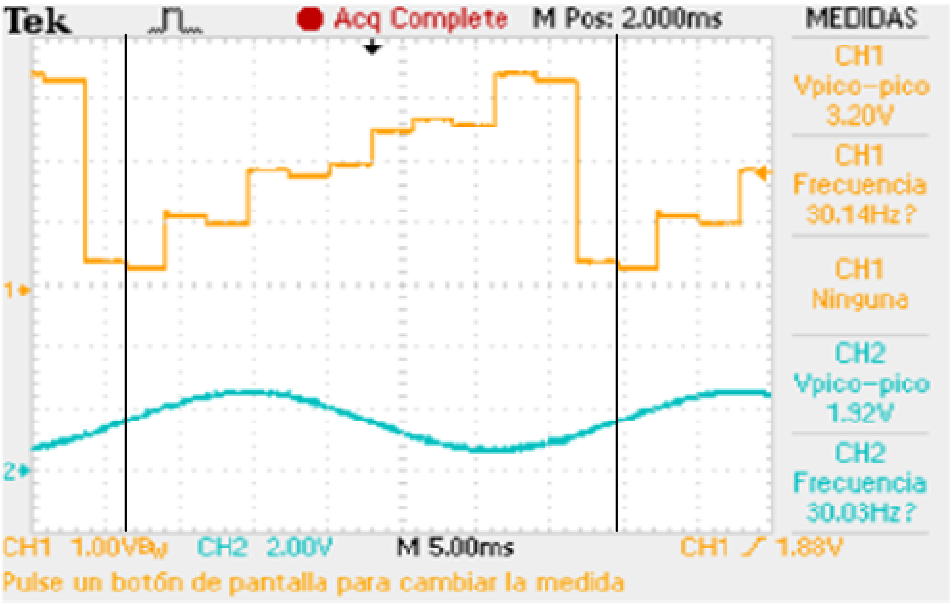


Figura 5-17. Señales obtenidas por el algoritmo de validación con m=50%.

El algoritmo SVM genera un vector de referencia que sigue la trayectoria_3, cuando el índice de modulación requerido es del 50%, y por lo tanto la frecuencia de la componente fundamental del voltaje a la salida del inversor es de 30Hz. De acuerdo con estas condiciones, el algoritmo de validación genera las señales que se muestran en la Fig. 5-17. Se observa que la amplitud de la señal senoidal ha disminuido al 50% de su magnitud máxima y su frecuencia es muy cercana a 30Hz, con lo cual se cumplen con los requerimientos para tener como referencia a la Trayectoria_3.

Ahora para verificar los niveles de voltaje que determinan las áreas por las que se desplaza el vector de referencia se utilizan 3 intervalos de la señal de traslado.

En las Figs. 5-18, 5-19, y 5-20, se muestran los tres intervalos de la señal de traslado. Y una vez analizados, se verifica que el vector de referencia realmente sigue la trayectoria deseada.

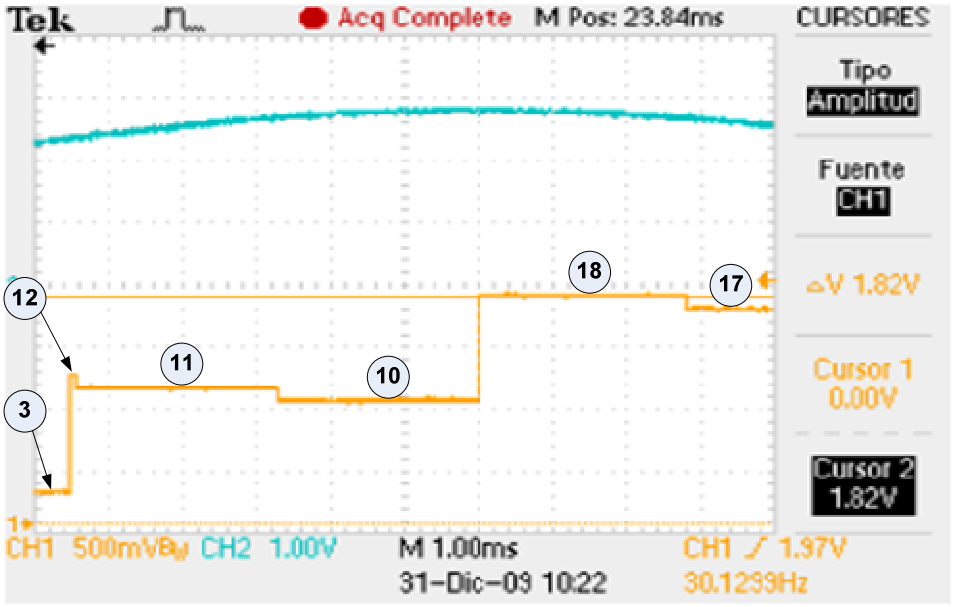


Figura 5-18. Intervalo_1 comprendido entre 0º y 120º, con m=50%.

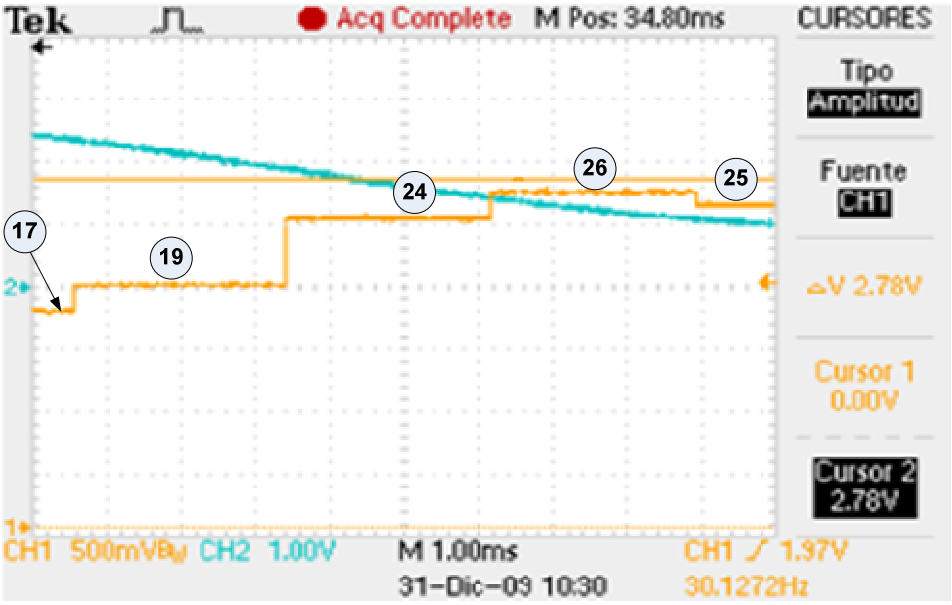


Figura 5-19. Intervalo_2 comprendido entre 120º y 240º, con m=50%.

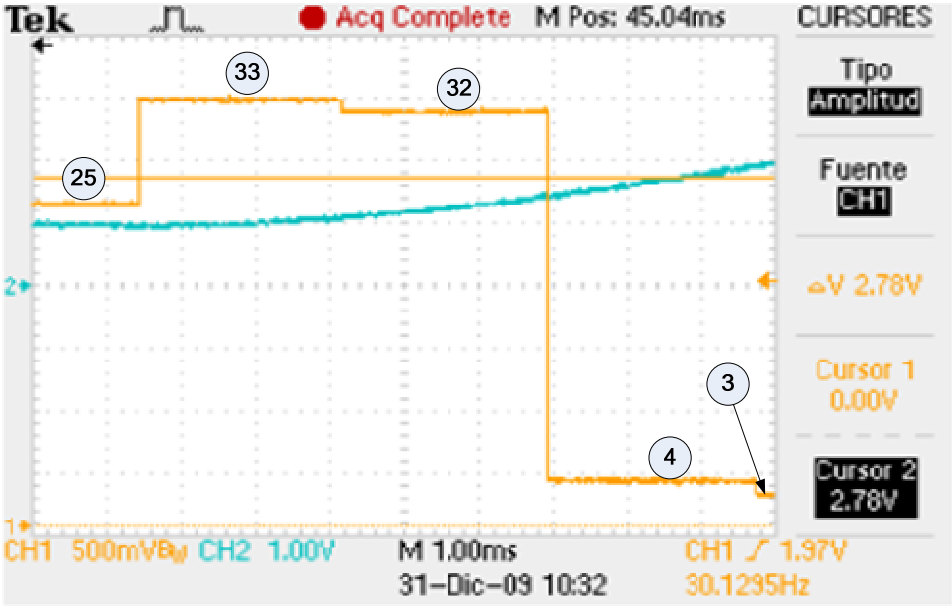


Figura 5-20. Intervalo_3 comprendido entre 240º y 360º, con m=50%.

Es importante mencionar que la trayectoria_3 verificada previamente, únicamente está conformada por 12 de las 36 áreas del espacio vectorial.

Finalmente, una vez realizado el proceso de validación de las tres trayectorias previamente definidas, se observa que las condiciones de operación más críticas, se presentan cuando el algoritmo SVM requiere generar las trayectorias 1 y 3, ya que estas últimas involucran áreas por lapsos de tiempo extremadamente cortos. Sin embargo, esto no modifica la operación del inversor y por lo tanto se concluye que el algoritmo SVM funciona correctamente y puede ser utilizado para controlar al inversor de tres niveles NPC-VSI.

5.3 CONTROL DEL INVERSOR DE TRES NIVELES APLICANDO LA TÉCNICA DE MODULACION SVM.

En esta sección se muestran los resultados experimentales obtenidos de controlar al inversor de tres niveles NPC-VSI, utilizando el algoritmo de modulación SVM simplificado.

5.3.1 CARGA RESISTIVA

En la Fig. 5-21, se muestra el diagrama eléctrico general del sistema desarrollado y en la Fig. 5-22, se observa el prototipo implementado mediante el cual se obtuvieron los resultados experimentales en el presente trabajo de tesis.

En las Figs. 5-23, 5-24 y 5-25, se muestran las formas de onda del voltaje polar, del voltaje de línea y del voltaje de fase en la carga, las cuales se obtienen cuando el algoritmo de modulación SVM simplificado utiliza un índice de modulación del 100% y una frecuencia de conmutación de 10KHz. Mientras que, en las Figs. 5-26, 5-27 y 5-28, se muestran las formas de onda de los voltajes cuando el algoritmo SVM utiliza un índice de modulación del 80% y una frecuencia de conmutación de 1KHz.

El voltaje polar se mide de una fase de salida del inversor con respecto al punto Z y está conformado por los niveles de voltaje +E, 0 y –E. El voltaje de línea se mide entre dos fases del inversor y está conformado por los niveles de voltaje +2E, +E, 0, -E Y -2E. El voltaje de fase en la carga se mide de una fase de salida del inversor con respecto al punto neutro en la carga n y esta conformado por los niveles de voltaje 4E/3, E, 2E/3 E/3, 0, -E/3, -2E/3, -E, y -4E/3.

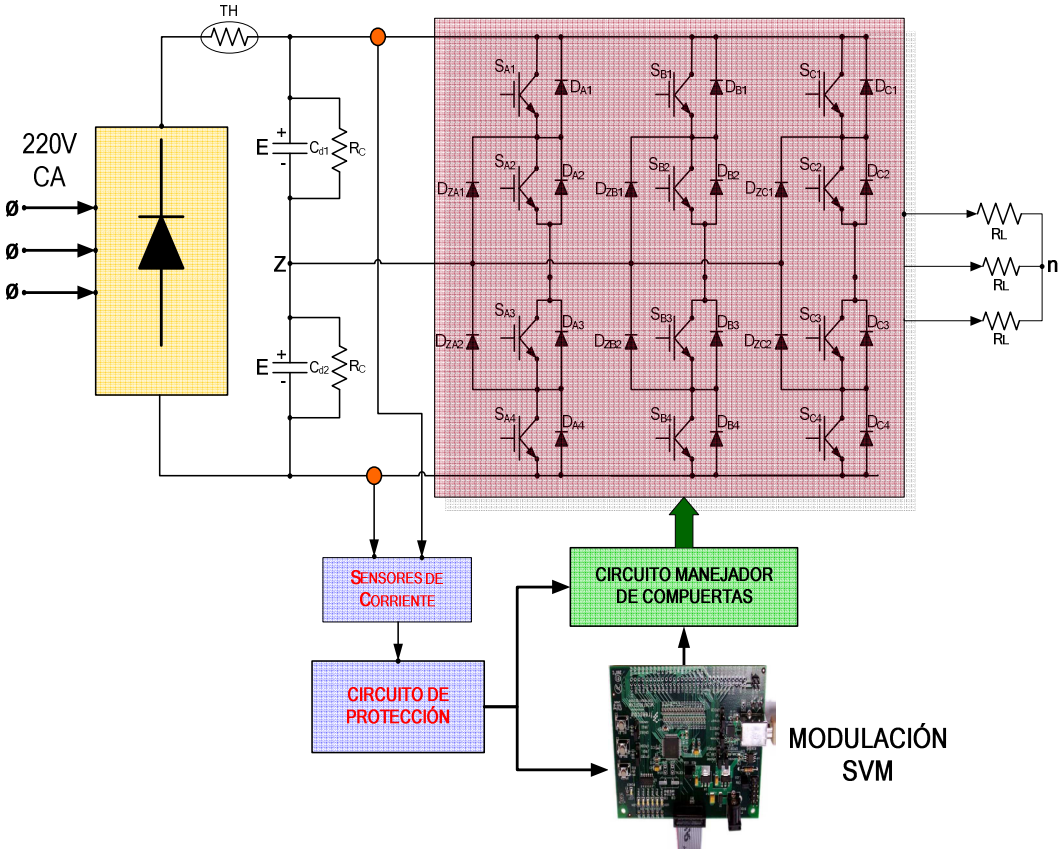


Figura 5-21. Diagrama eléctrico general.

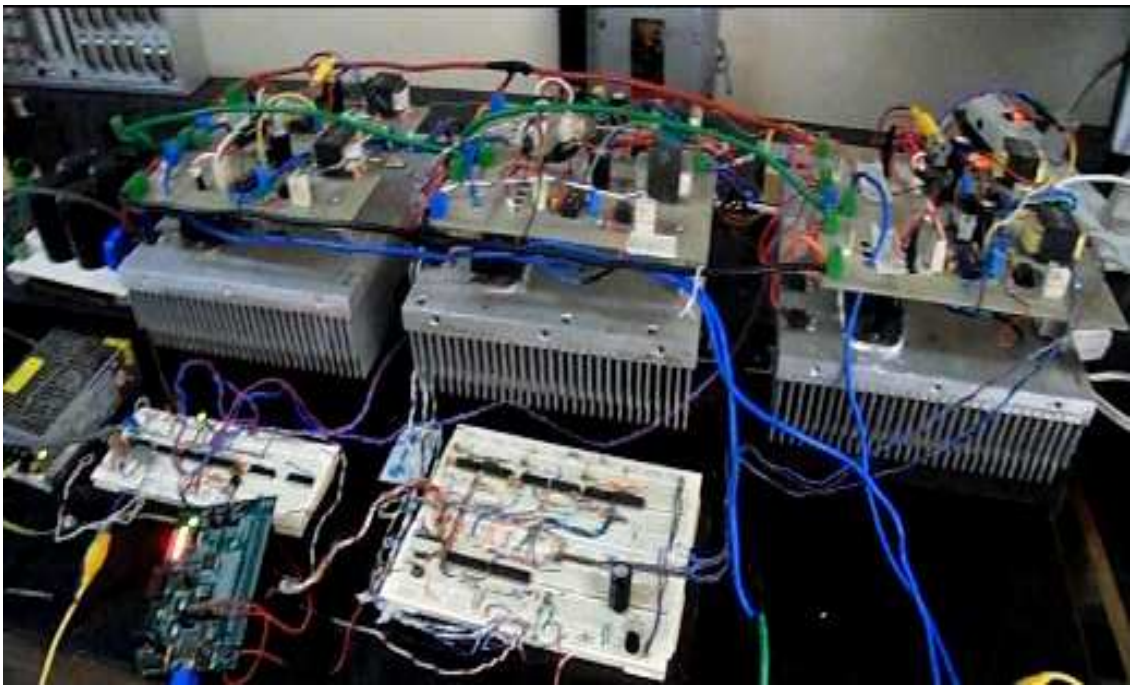


Figura 5-22. Prototipo del inversor de tres niveles NPC-VSI.

Para realizar las mediciones y obtener las gráficas de voltaje se utilizó el osciloscopio de almacenamiento digital TPS2000 de Tektronix®. Es importante considerar que en el momento de realizar las mediciones se utilizó un divisor de voltaje (para visualizar la amplitud completa de las señales), por lo que las graficas reportan del voltaje realmente medido.

También es importante mencionar que el nivel de voltaje de CD obtenido y reportado en las graficas es superior al esperado y esto es debido a que la fuente de alimentación de CA utilizada proporcionaba niveles de voltaje de hasta 240V.

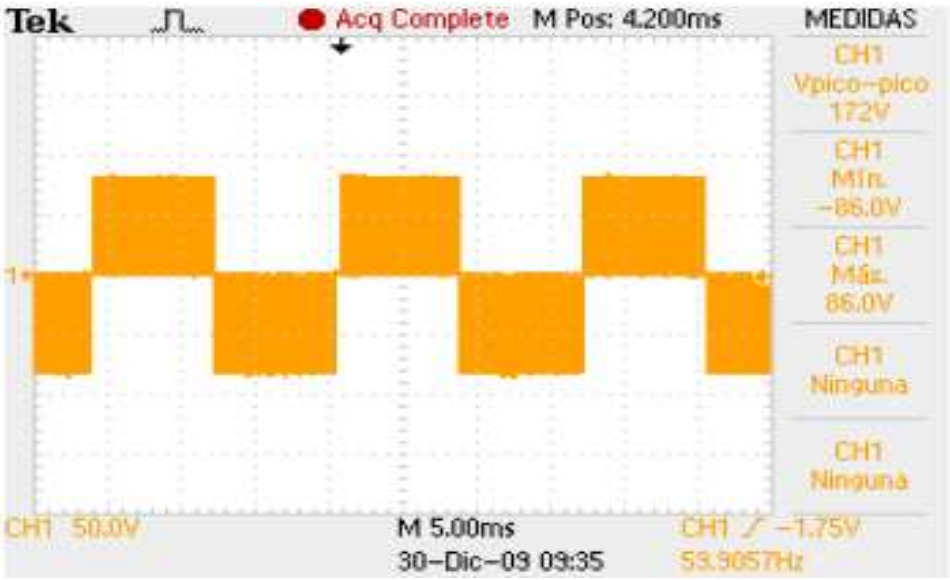


Figura 5-23. Voltaje polar @ F_C=10KHz y m=100%.

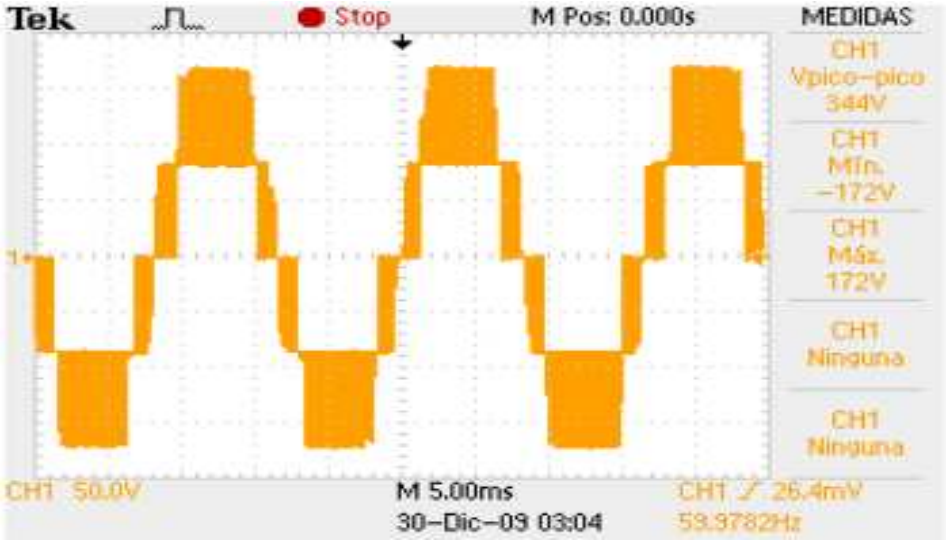


Figura 5-24. Voltaje de línea @ F_C=10KHz y m=100%.

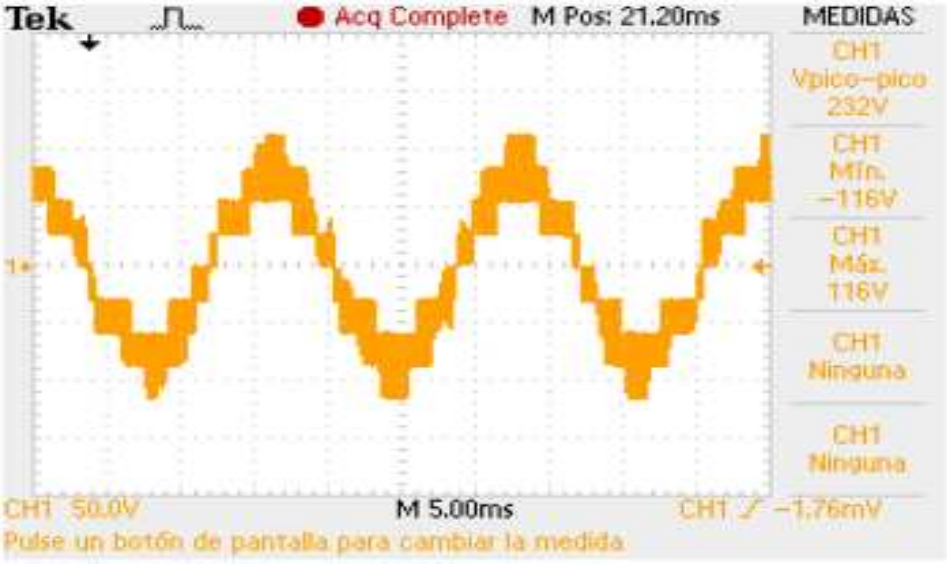


Figura 5-25. Voltaje de fase en la carga @ F_C=10KHz y m=100%.

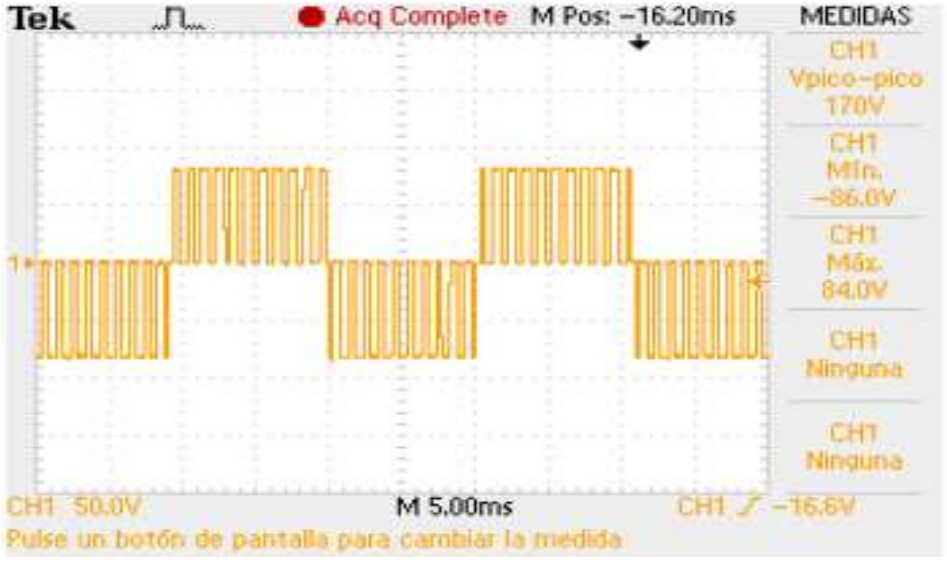


Figura 5-26. Voltaje polar @ F_C=1KHz y m=80%.

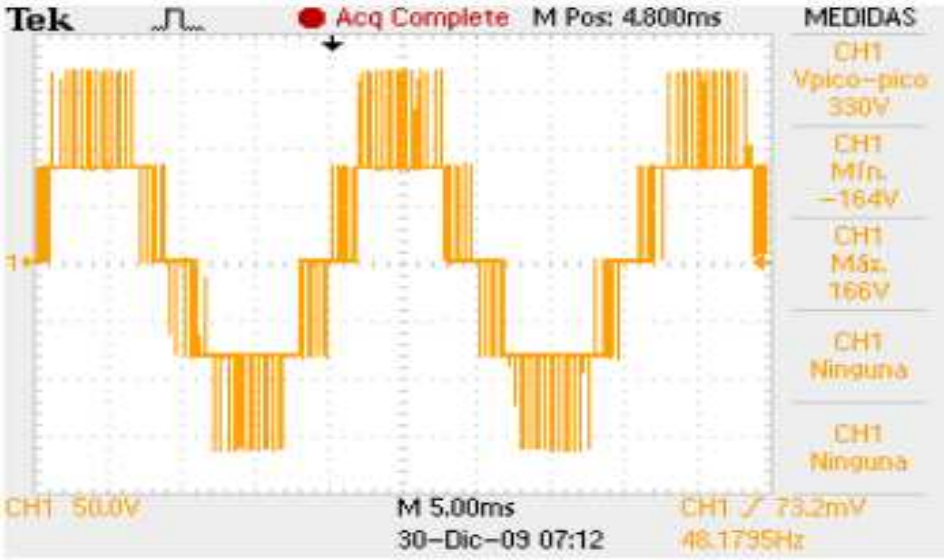


Figura 5-27. Voltaje de línea @ F_C=1KHz y m=80%.

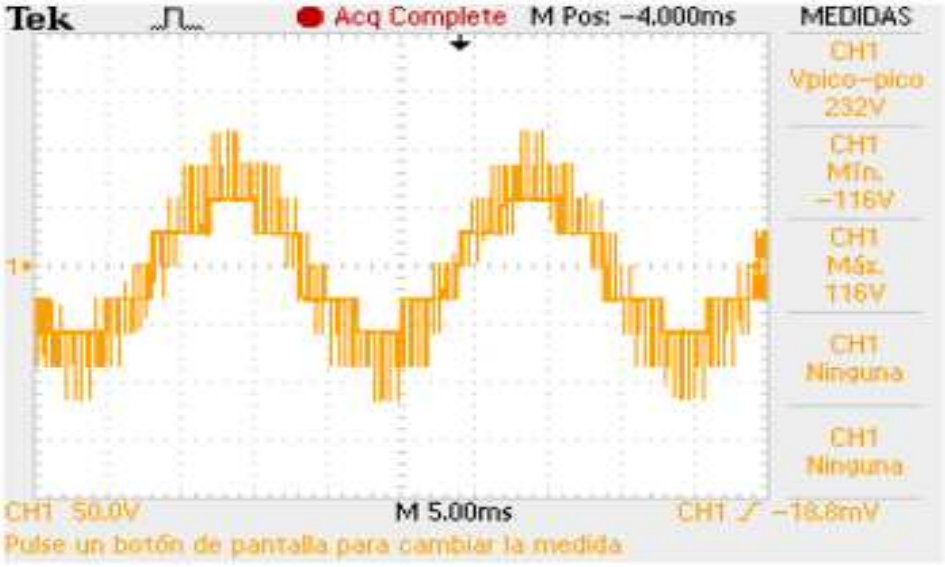


Figura 5-28. Voltaje de fase en la carga @ F_C=1KHz y m=80%.

5.4 CONTROL DEL INVERSOR DE TRES NIVELES APLICANDO LA TÉCNICA DE MODULACIÓN APOD

En esta sección se muestran los resultados de simulación y experimentales obtenidos de controlar al inversor de tres niveles aplicando la técnica de modulación de portadoras en contrafase (APOD). Para aplicar la técnica de modulación APOD se utilizó la tarjeta DS1103 de DSPACE®, la cual funciona como una interfaz de tiempo real con MATLAB/Simulink. La tarjeta incluye entradas y salidas en una sola unidad, y tiene el propósito de satisfacer las necesidades del diseño de prototipos de control. El procesador Power PC 604e, opera a una frecuencia de 400MHz para realizar a gran velocidad los cálculos necesarios, incluyendo los que involucran operaciones con cantidades de punto flotante. La unidad es capaz de manejar salidas y entradas digitales, además de que cuenta con 36 canales analógicos/digitales y 8 canales digital/analógicos. El sistema incluye al DSP esclavo TMS320F240 con entradas y salidas adicionales para realizar tareas especiales, entre las cuales está la generación de las señales PWM [64].

Por lo tanto, en MATLAB/Simulink se desarrolló el diagrama a bloques del control de un inversor de tres niveles NPC aplicando la técnica de modulación APOD, tal como se muestra en la Fig. 5-29 [65]. En el diagrama a bloques se definen tres señales senoidales (moduladoras) desfasadas 120º entre sí y dos señales triangulares (portadoras) en oposición de fase. Las señales de control del inversor de tres niveles se obtienen a partir de la comparación de las señales moduladoras y las señales portadoras. En las Figs. 5-30, 5-31 y 5-32, se muestran los resultados de simulación obtenidos al aplicar un índice de modulación del 80%, una frecuencia de conmutación de 1KHz y al conectar a la salida del inversor una carga resistiva.

Después se utilizó la interfaz de tiempo real entre Simulink y la tarjeta dSPACE (RIT o RTI-MP), por medio de la cual se obtuvieron las señales de control del inversor de tres niveles NPC implementado. En las Figs. 5-33, 5-34 y 5-35, se muestran los resultados experimentales obtenidos. Se puede apreciar que los resultados experimentales corresponden con los resultados de simulación con lo cual se verifica el correcto desempeño del hardware implementado.

Una vez aplicadas las técnicas de modulación SVM y APOD, por medio de las gráficas obtenidas se observa que aunque el número de niveles de voltaje no se modifica, si hay diferencia entres las formas de onda y está es más notable en los voltajes de línea y de fase en la carga. Estudios comparativos recomiendan utilizar la técnica de modulación SVM, debido a producen un menor contenido armónico en el voltaje de salida [5],[6].

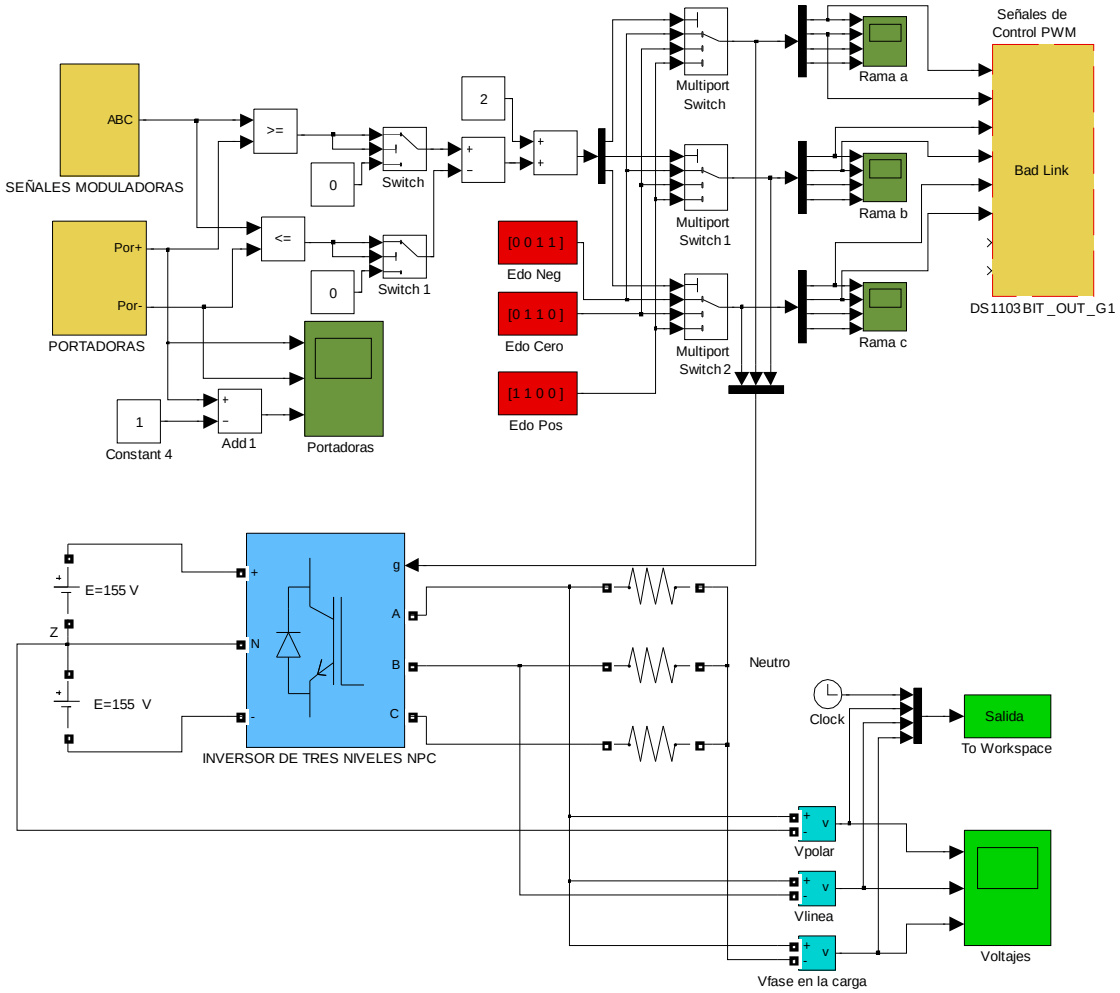


Figura 5-29. Diagrama a bloques del control APOD de un inversor de tres niveles NPC-VSI.

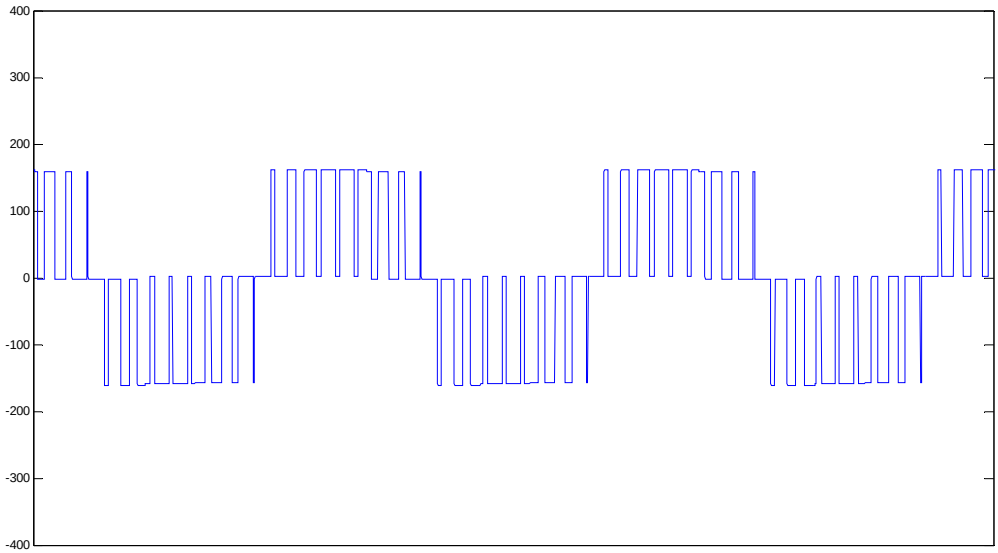


Figura 5-30. Voltaje polar @ F_C=1KHz y m=80%.

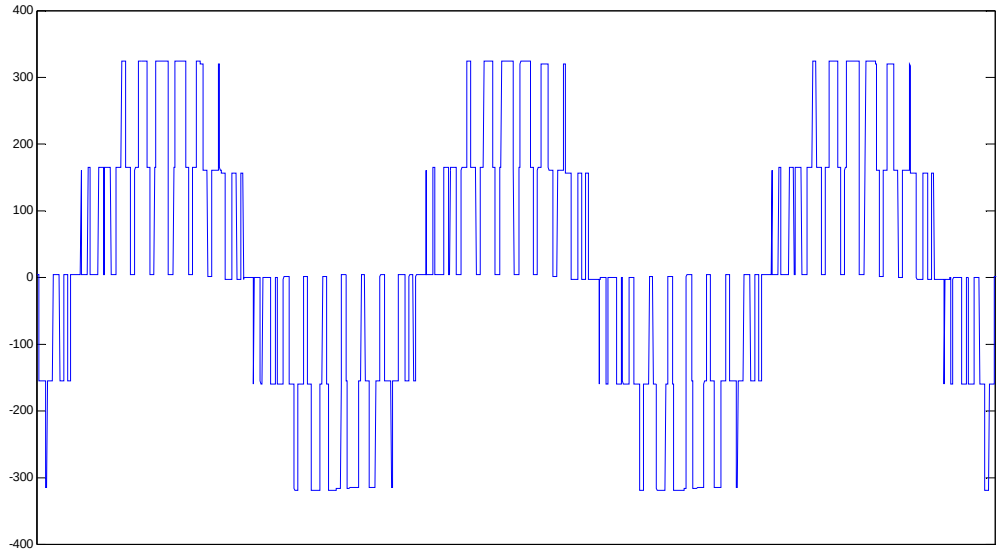


Figura 5-31. Voltaje de línea @ F_C=1KHz y m=80%.

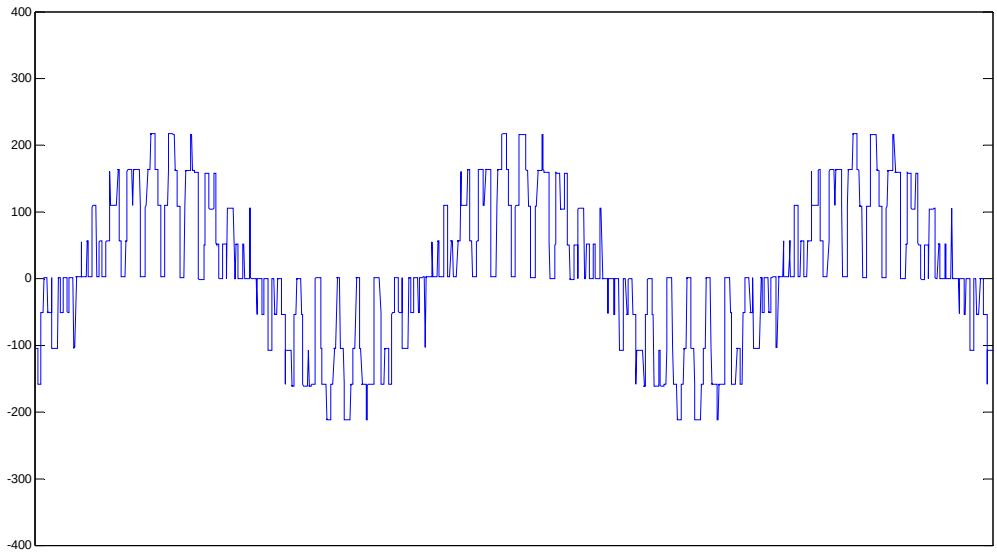


Figura 5-32. Voltaje de fase en la carga @ F_C=1KHz y m=80%.

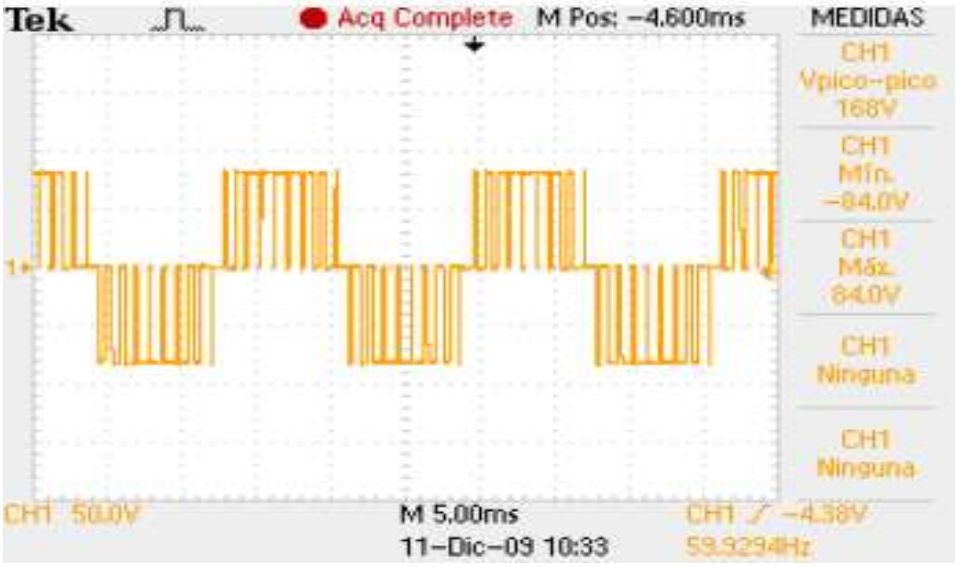


Figura 5-33. Voltaje polar @ F_C=1KHz y m=80%.

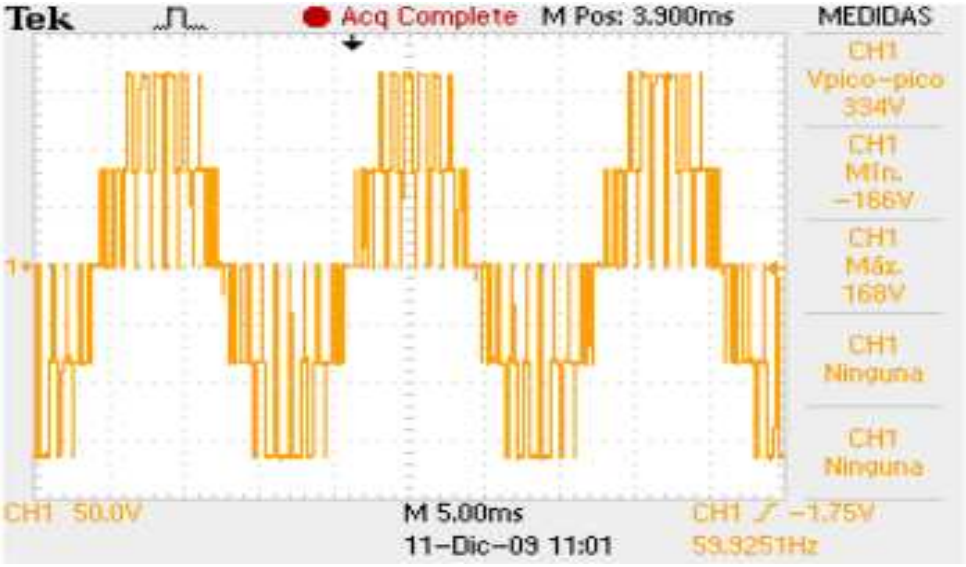


Figura 5-34. Voltaje de línea @ F_C=1KHz y m=80%.

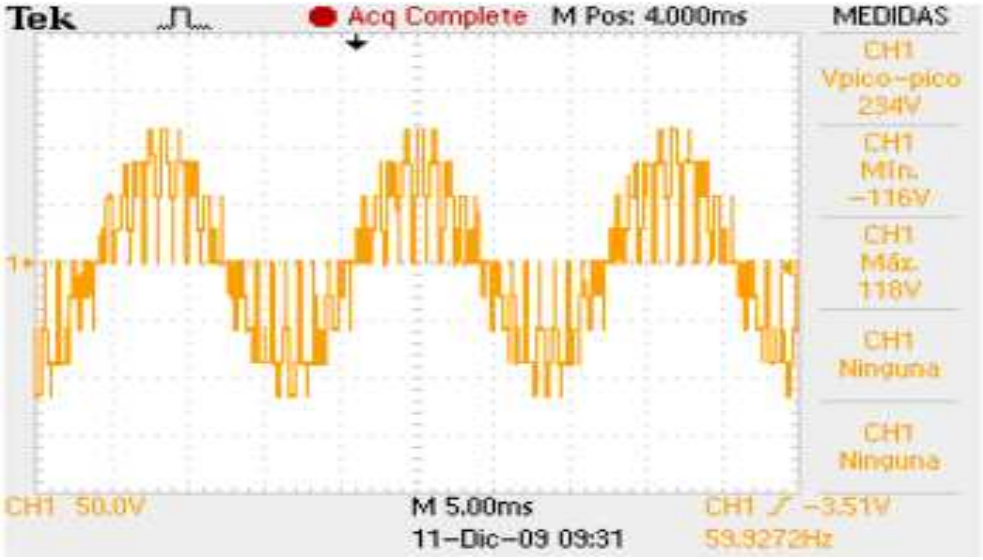


Figura 5-35. Voltaje de fase en la carga @ F_C=1KHz y m=80%.

CAPÍTULO 6

CONCLUSIONES Y RECOMENDACIONES

6.1 INTRODUCCIÓN

En este capítulo se presentan las conclusiones, las principales aportaciones y algunas recomendaciones para trabajos futuros, las cuales fueron obtenidas del desarrollo del presente trabajo de tesis.

6.2 CONCLUSIONES

Las conclusiones obtenidas de la implementación del inversor de tres niveles son:

- En el instante en que se energiza la fuente de CD que alimenta al inversor de tres niveles se produce una corriente de carga de los capacitores de gran magnitud, la cual puede dañar al puente a diodos, y a los propios capacitores. En esta aplicación se verificó que es factible utilizar termistores NTC como elementos limitadores de esta corriente, ya que proporcionan los niveles de protección requeridos por el puente rectificador y los capacitores del filtro, además de que representan una opción muy fácil de implementar.

- Uno de los métodos para incorporar una fuente de alimentación flotante en el circuito manejador de compuertas de IGBT's es mediante la técnica bootstrap, en donde la fuente de alimentación está constituida por un diodo D_b y un capacitor C_b. Sin embargo, en el control del inversor de tres niveles no es recomendable utilizar un circuito bootstrap en la misma forma en que se emplea en un inversor convencional de dos niveles, debido a que como se analizó en el apartado 3.6.2, la operación del inversor de tres niveles impide la recarga del capacitor C_b en cada periodo de conmutación y esto modifica la operación del inversor.

- Es imprescindible utilizar resistencias de compuerta, las cuales determinan la velocidad de activación de los IGBT's, de esta forma se controla la relación de cambio del voltaje de salida con respecto al tiempo (dV/dt), de manera que no se excedan los valores recomendados por el fabricante.

- Es preciso reducir al máximo la longitud de los cables de conexión entre la fuente de alimentación de CD y los IGBT's, debido a que las inductancias parasitas asociadas a estos cables generan sobrevoltajes que perjudican al inversor. Este problema provocó el daño de algunos módulos de IGBT's durante el desarrollo del trabajo experimental.

- El trabajo experimental desarrollado, mostró la necesidad de realizar un rediseño de las tarjetas de circuito impreso, con el objetivo de minimizar los transitorios de voltaje, los cuales son propiciados principalmente por las inductancias parasitas asociadas al cableado de conexiones entre el circuito manejador de compuertas y los IGBT's.

- Es posible controlar los doce IGBT's que conforman al inversor de tres niveles a partir del DSP56F8037, el cual proporciona únicamente seis señales PWM. Sin embargo, es necesario utilizar un circuito generador de señales complementarias que además inserte el tiempo muerto (fijo) requerido por cada pareja de IGBT's.

Las conclusiones obtenidas al desarrollar el algoritmo de control SVM simplificado son:

- Se desarrolló satisfactoriamente un algoritmo alternativo de identificación de hexágonos, el cual como se muestra en la Fig. 4-7, se basa en evaluar los cruces por cero de las señales trifásicas de referencia (v_{a_ref}, v_{b_ref} y v_{c_ref}), y en función de ello determina en cuál de los seis hexágonos de dos niveles se encuentra el vector de referencia. El algoritmo alternativo de identificación de hexágonos propuesto en el presente trabajo, representa una alternativa interesante ya que reduce aun más la complejidad del algoritmo SVM simplificado, en comparación con el algoritmo de identificación que se plantea en el trabajo realizado por J. H. Seo [19].

- Al realizar la simplificación del espacio vectorial de tres a dos niveles, es posible calcular los tiempos de aplicación de los vectores espaciales así como la secuencia de conmutación, en la misma forma en que se realiza en un inversor convencional de dos niveles. Por lo tanto, es posible reducir el tiempo de ejecución del algoritmo SVM en el inversor de tres niveles.

- La secuencia de conmutación con alineación de los centros definida por el algoritmo SVM y que se muestra en la Fig. 4-19, permite reducir las pérdidas por conmutación en el inversor de tres niveles.

- Fue de gran importancia la definición de las 36 áreas en el espacio vectorial de tres niveles (Ver Fig. 4-17), ya que permitió realizar un análisis detallado de las secuencias de conmutación, y por lo tanto fue posible desarrollar el algoritmo de asignación de las señales de control principales (Ver Fig. 4-24).

- Es recomendable utilizar los DSP's de Freescale® ya que proporcionan rutinas que fueron desarrolladas específicamente para el control de motores. Entre ellas se encuentra la rutina de modulación SVM de dos niveles, la cual fue utilizada para desarrollar el algoritmo SVM simplificado.

6.3 APORTACIONES

Las principales aportaciones realizadas al desarrollar el presente trabajo de tesis se mencionan a continuación:

- Implementación y caracterización de la tarjeta que incorpora el puente rectificador, el filtro de entrada y las medidas de protección necesarias, tal y como se muestra en la Fig. 3-5. La tarjeta desarrollada se considera una aportación para el laboratorio.

- Diseño y caracterización de los circuitos: aislador, manejador de compuertas y de protección del inversor, los cuales se muestran en el Apéndice E.

- Implementación y caracterización de los circuitos que determinan la lógica de restablecimiento del inversor, la cual fue analizada en el apartado 3.7.5. La lógica de restablecimiento, determina las condiciones que deben prevalecer para que sea posible restablecer al sistema después de que ocurra una falla.

- Desarrollo del algoritmo alternativo de identificación de hexágonos, el cual fue analizado detalladamente en el apartado 4.3. Con este algoritmo se busca reducir la complejidad y el tiempo de ejecución del algoritmo SVM simplificado.

- Desarrollo del algoritmo de asignación de las señales de control principales, el cual fue analizado detalladamente en el apartado 4.6. Las señales de control principales controlan los interruptores S_{X1} y S_{X2} del inversor de tres niveles, tal y como se muestra en la Fig. 4-23. Para obtener el algoritmo que determina las señales de control principales, fue necesario realizar una análisis de la secuencias de conmutación en cada una de las 36 áreas del espacio vectorial (Apéndice B).

- Desarrollo de un algoritmo de validación, el cual fue analizado en el apartado 5.2.2. El algoritmo de validación muestra la trayectoria del vector de referencia en el espacio vectorial de tres niveles (por medio de la generación de determinados niveles de voltaje), con esto fue posible verificar el correcto funcionamiento del algoritmo SVM simplificado.

6.4 RECOMENDACIONES PARA TRABAJOS FUTUROS

Las recomendaciones para trabajos futuros derivadas del presente trabajo de tesis se muestran a continuación:

- Utilizar un relevador o algún otro método, que permita la conexión de las resistencias de descarga de los capacitores del filtro R_d, únicamente en el instante en que el equipo se desconecta de la red de alimentación. Con esto se evita que las resistencias de descarga disipen energía en todo momento.

- Implementar el circuito “charge pump” propuesto por el fabricante International Rectifier®, el cual tiene el propósito de mantener la carga del capacitor de bootstrap C_b, mientras este último proporciona energía a la compuerta de algún IGBT durante un lapso grande de tiempo. De esta forma es posible reducir el número de fuentes independientes requeridas para controlar el inversor de tres niveles.

- Realizar un análisis de las conmutaciones que son propiciadas por el desplazamiento del vector de referencia, en cada una de las 36 áreas del espacio vectorial. Esto con el propósito de verificar el desempeño del inversor de tres niveles cuando es controlado por el algoritmo SVM simplificado.

- Rediseñar las tarjetas de circuito impreso y los circuitos de potencia buscando mas confiabilidad para su utilización en el laboratorio.

- Realizar más pruebas experimentales teniendo como carga máquinas de inducción y máquinas síncronas de imanes permanentes.

- Reconstruir el vector de referencia a partir de las lecturas de los voltajes de salida del inversor.

- Programar el módulo PWM del DSP utilizando interrupciones.

- Cuantificar y si es necesario desarrollar un algoritmo de control del voltaje en el punto neutro del inversor NPC.

- Incorporar un tercer sensor de corriente justo después del punto intermedio de voltaje de entrada Z (Ver Fig. 3-26). Esto con el propósito de aumentar el nivel de protección en el sistema.

6.5 PUBLICACIONES

J. D. Betanzos, J. J. Rodríguez, M. García, "Control de un Inversor de Dos Niveles Aplicando la Técnica SVPWM a partir del DSP56F8037", Vigesimasegunda Reunión de Verano de Potencia, Aplicaciones Industriales y Exposición Industrial, RVP-AI/2009, Acapulco, Gro., México., 2009.

J. D. Betanzos, J. J. Rodríguez, M. García, "Simulación en PSCAD de un Inversor de Tres Niveles con Fijación del Neutro Aplicando la Técnica SPWM", XI Congreso Nacional de Ingeniería Electromecánica y de Sistemas, México, D.F, 2009.

M. García, J. Rodríguez, P. Ponce, J. D. Betanzos, "Modulación sinusoidal del ancho de los pulsos en el control de un inversor trifásico de tres niveles", XI Congreso Nacional de Ingeniería Electromecánica y de Sistemas, México, D.F, 2009.

F. Espino, P. Gomez, D. Betanzos, "Modeling of the Heat Generation on Stress Grading Coating of Motors Fed by High Speed Drives", 2010 IEEE International Power Modulator and High Voltage Conference, 2010 IEEE IPMHVC, Atlanta, GA, 2010.

J. D. Betanzos, J. J. Rodríguez, M. García, "Modulación Vectorial del Ancho de los Pulsos en Inversores de Tres Niveles NPC-VSI (Parte I)", Vigesimatercera Reunión de Verano de Potencia, Aplicaciones Industriales y Exposición Industrial, RVP-AI/2010, Acapulco, Gro., México., 2010.

J. D. Betanzos, J. J. Rodríguez, E. Peralta, "Modulación Vectorial del Ancho de los Pulsos en Inversores de Tres Niveles NPC-VSI (Parte II)", Vigesimatercera Reunión de Verano de Potencia, Aplicaciones Industriales y Exposición Industrial, RVP-AI/2010, Acapulco, Gro., México., 2010.

REFERENCIAS

[1] B. K. Bose, *Modern Power Electronics and AC Drives*, Prentice Hall, 2002.

[2] N. Mohan, *Advanced Electric Drives*, MNPERE, 2001.

[3] M. H. Rashid, *Power Electronics*, Prentice Hall, 2004.

[4] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics: Converters, Applications and Design*, John Wiley & Sons, 2ª edición, 1995.

[5] B. Wu, *High Power Converters and AC Drives*, IEEE Press, 2006.

[6] D. G. Holmes, T. A. Lipo, *Pulse Width Modulation for Power Converters Priciples and Practise*, IEEE Press, ISBN 0-471-20814-0, U.S.A., 2003.

[7] J.-S. Lai and F. Zheng Peng, "Multilevel converters a new breed of power converters," *IEEE Trans. Ind. Applicat.*, vol. 32, no. 3, pp. 509–517, May 1985.

[8] J. Rodriguez, S. Bernet, B. Wu, J. Pontt, and S. Kouro, "Multilevel voltage-source-converter topologies for industrial medium-voltage drives," *IEEE Trans. Ind. Electron.*, vol. 54, no. 6, pp. 2930–2945, Dec. 2007.

[9] A. BenAbdelghani, C.A. Martins, X. Roboam, and T.A. Meynard, "Use of extra degrees of freedom in multilevel drives," *IEEE Trans. Ind. Electron.*, vol. 49, no. 5, pp. 965–977, Oct. 2002.

[10] Z. Pan, F.Z. Peng, K.A. Corzine, V.R. Stefanovic, J.M. Leuthen, and S. Gataric, "Voltage balancing control of diode-clamped multilevel rectifier/invertir systems," *IEEE Trans. Ind. Applicat.*, vol. 41, no. 6, pp. 1698–1706, Nov. 2005.

[11] B. Ozpineci, L.M. Tolbert, and J.N. Chiasson, "Harmonic optimization of multilevel converters using genetic algorithms," *IEEE Power Electron. Lett.*, vol. 3, no. 3, pp. 92–95, Sept. 2005.

[12] B.P. McGrath, D.G. Holmes, and T. Meynard, "Reduced PWM harmonic distortion for multilevel inverters operating over a wide modulation range," *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 941–949, July 2006.

[13] M. Marchesoni and P. Tenca, "Diode-clamped multilevel converters: A practicable way to balance dc-link voltages," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 752–765, Aug. 2002.

[14] K.A. Corzine and X. Kou, "Capacitor voltage balancing in full binary combination schema flying capacitor multilevel inverters," *IEEE Power Electron. Lett.*, vol. 1, no. 1, pp. 2–5, Mar. 2003.

[15] M. Marchesoni, "High-performance current control techniques for application to multilevel highpower voltage source inverters," *IEEE Trans. Power Electron.*, vol. 7, no. 1, pp. 189–204, Jan. 1992.

[16] A. Bendre and G. Venkataramanan, "Neutral current ripple minimization in a three-level rectifier," *IEEE Trans. Ind. Applicat.*, vol. 42, no. 2, pp. 582–590, Mar. 2006.

[17] A. Nabae, I. Takahashi, and H. Akagi, "A neutral-point-clamped PWM inverter," *IEEE Trans. Ind. Applicat.*, vol. 1A-17, no. 5, pp. 518–523, Sept. 1981.

[18] T.A. Meynard and H. Foch, "Multi-level choppers for high voltage applications," in *Proc. European Conf. Power Electronics and Applications*, 1992, pp. 45–50.

[19] J. H. Seo, C. H. Choi and D. S. Hyun, "A new simplified space-vector PWM Method for three-level Inverters," *IEEE Transactions on Power Electronics*., vol. 16 no. 4, pp. 545-555, July 2001.

[20] D. Krug, S. Bernet, S. S Fazel, K. Jalili, and M. Malinowski, "Comparison of 2.3-kV Medium-Voltage Multilevel Converters for Industrial Medium-Voltage Drives," *IEEE Transactions on Industrial Electronics.*, vol. 54, No. 6, pp. 2979-2992, Dec. 2007.

[21] S. Bernet, "Recent Developments of High Power Converters for Industry and Traction Applications," *IEEE Transactions on Power Electronics*, vol. 15, no. 6, pp. 1102- 1117, 2000.

[22] J. Holtz and N. Oikonomou, "Neutral point potential balancing algorithm at low modulation index for three-level inverter médium voltage drives," *IEEE Trans. Ind. Elect.* Vol. 43, No. 3, pp. 761-768, 2007.

[23] N.S. Choi, J.G. Cho, and G.H. Cho, "A general circuit topology of multilevel inverter," in *PESC'91Conf. Rec.*, Cambridge, MA, June 1991, pp. 96–103.

[24] P. M. Bhagwat and V. R. Stefanovic, "Generalized structure of a multilevel PWM inverter," *IEEE Trans. Ind. Applicat.*, vol. IA-19, pp. 1057–1069, Nov./Dec. 1983.

[25] M. Marchesoni, M. Mazzucchelli, and S. Tenconi, "A nonconventional power converter for plasma stabilization," *IEEE Trans. Power Electron.*, vol. 5, no. 2, pp. 212–219, Apr. 1991.

[26] J. Rodríguez, J. Pontt, G. Alzamora, N. Becker, O. Einenkel, J. L. Cornet, and A. Weinstein, "Novel 20 MW Downhill Conveyor System Using Three-Level Converters," in *Proc. IEEE Indus. Applicat. Conf.*, 30 Sep.-4 Oct., 2001, Chicago, IL, USA, vol. 2, pp. 1396-1403.

[27] J. P. Lyons, V. Vlatkovic, P. M. Espelage, F. H. Boettner, and E. Larsen, "Innovation IGCT Main Drives," in *Proc. IEEE Indus. Applicat. Conf.*, 3-4 Oct. 1999, Phoenix, AZ, USA, vol. 4, pp. 2655-2661.

[28] B. Welchko, M. Correa, T. Lipo, "A Cost Effective Three-Level MOSFET Inverter for Low Power Drives," *IECON'02*, vol.2, pp.1267-1272, 2002.

[29] Krug, H.P., T. Kume, and M. Swarmy, "Neutral-Point Clamped Three-Level General Purpose Inverter – Features, Benefits and Applications," *IEEE 35th Annual Power Electronics Specialists Conference 2004*, Eurogress, Aachen, Germany, Volume 1, 20-25 June 2004, pp.323-328.

[30] L.M. Tolbert, F.Z. Peng, and T.G. Habetler, "Multilevel converters for large electric drives," *IEEE Trans. Ind. Applicat.*, vol. 35, no. 1, pp. 36–44, Jan. 1999.

[31] R. Teodorescu, F. Blaabjerg, J.K. Pedersen, E. Cengelci, S. Sulistijo, B. Woo, and P. Enjeti, "Multilevel converters-A survey," in *Proc. Eur. Power Electronics Conf.*, 1999, Lausanne, Switzerland, pp. 408–418.

[32] J. Holtz, "Pulsewidth modulation for electronic power conversion," *Proc. IEEE*, vol. 82, no. 8, Aug. 1994, pp. 1194–1214.

[33] S. Fukuda, K. Suzuki, "Harmonic Evaluation of Carrier-Based PWM Methods using Harmonic Distorsion Determining Factor," *Power Conversion Conference (PCC'97)*, pp. 259–264, 1997.

[34] S. Halasz, "Analysis of Pulsewidth Modulation Techniques for Induction Motor Drives," *IEEE Int. Symp. On Industrial Electronics (ISIE'93)*, pp. 200–204, 1993.

[35] G. Carrara, S. Gardella, M. Marchesoni, R. Salutari, and G. Sciutto, "A new multilevel PWM method: A theoretical analysis," *IEEE Trans. Power Electron.*, vol. 7, no. 3, pp. 497–505, July 1992.

[36] B.P. McGrath and D.G. Holmes, "Multicarrier PWM strategies for multilevel inverters," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 858–867, Aug. 2002.

[37] Z. Du, L.M. Tolbert, and J.N. Chiasson, "Active harmonic elimination for multilevel converters," *IEEE Trans. Power Electronics*, vol. 21, no. 2, pp. 459–469, Mar. 2006.

[38] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters," *IEEE Trans. Ind. Applicat.*, vol. 36, no. 1, pp. 160–170, Jan. 2000.

[39] B. Ozpineci, L.M. Tolbert, and J.N. Chiasson, "Harmonic optimization of multilevel converters using genetic algorithms," *IEEE Power Electron. Lett.*, vol. 3, no. 3, pp. 92–95, Sept. 2005.

[40] S. Ogasawara and H. Akagi, "A Vector Control System Using a Neutral-Point-Clamped Voltage Source PWM Inverter," in *Proc. IEEE-IAS Annu. Meeting*, 28 Sep.-4 Oct. 29, 1991, Dearborn, MI, USA, vol. 1, pp. 422-427.

[41] B. Kaku, I. Miyashita, and S. Sone, "Switching Loss Minimised Space Vector PWM Method for IGBT Three-Level Inverter," in *Proc. IEE Electric Power Applic.*, May 1997, vol. 144, no. 3, pp. 182-190.

[42] L. Wei, Y. Wu, C. Li, H. Wang, S. Liu, and F. Li, "A Novel Space Vector Control of Three-Level PWM Converter," in *Proc. IEEE-PEDS'99*, 27-29 July, 1999, Hong Kong, vol. 2, pp. 745-750.

[43] N. Celanovic and D. Boroyevich, "A Fast Space-Vector Modulation Algorithm for Multilevel Three-Phase Converters," *IEEE Trans. Indus. Applicat.,* vol. 37, no. 2, pp. 637-641, March/April 2001.

[44] K.E. Bornhardt, "Novel modulation techniques for DC-side commutated inverters," in *Proc. 4th Int. Conf. Power Electronics and Variable-Speed Drives*, July 1990, 1991, pp. 92–97.

[45] M.M. Prats, J.M. Carrasco, and L.G. Franquelo, "Effective algorithm for multilevel converters with very low computational cost," *IEEE Electron. Lett.*, vol. 38, no. 22, pp. 1398–1400, Oct. 2002.

[46] M.M. Prats, J.M. Carrasco, and L.G. Franquelo, "New space vector modulation algorithms applied to multilevel converters with balanced dc-link voltage," *HAIT J. Sci. Eng. B.*, vol. 2, no. 5–6, pp. 690–714, 2005.

[47] L.G. Franquelo, J.I. León, M.M. Prats, and R. Portillo, "Space vector modulation techniques for multilevel converters—A survey," *Przeglad Elektrotechniczny*, vol. 2006, no. 4, pp. 56–61, 2006.

[48] N. Celanovic and D. Boroyevich, "A comprehensive study of neutral point voltage balancing problem in three-level-neutral-point-clamped voltaje source PWM inverters," *IEEE Trans. Power Electron.*, vol. 15, pp. 242–249, Mar. 2000.

[49] S. Ogasawara and H. Akagi, "Analysis of variation of neutral point potential in neutral-pointclamped voltage source PWM inverters," in *Proc. IEEE-IAS Ann. Meeting*, Toronto, Canada, 1993, pp. 965–970.

[50] L. G. Franquelo, J. Rodríguez, J. I. Leon, S. Kouro, R. Portillo and M. A. Prats "The Age of Multilevel Converters Arrives," *IEEE Industrial Electronics Magazine*, vol. 2, Issue 2, pp. 28–39,June 2008.

[51] M.M. Prats, L.G. Franquelo, R. Portillo, J.I. León, E. Galvan, and J.M. Carrasco, "A 3-D space vector modulation generalized algorithm for multilevel converters," *IEEE Power Electron. Lett.*, vol. 1, no. 4, pp. 110–114, 2003.

[52] L.G. Franquelo, M.M. Prats, R. Portillo, J.I. León, J.M. Carrasco, E. Galván. M. Perales, and J.L. Mora, "Three dimensional space vector modulation algorithm for four-leg multilevel converters using abc coordinates," *IEEE Trans. Ind. Electron.*, vol. 53, no. 2, pp. 458–466, Apr. 2006.

[53] J. Rodriguez, J.-S. Lai, and F.Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, Aug. 2002.

[54] H. W. Van der Broeck, H. Skudelny, and G. Stanke, "Analysis and realization of a pulse width modulator based on voltage space vectors," *IEEE Trans. on Industry Applications., vol.24, no.1, Jan./Feb., 1988, pp. 142-150.*

[55] Y. H. Lee, B. S. Suh, et al., "A Novel PWM Scheme for a Three Level Voltage Source Inverter with GTO Thyristors", *IEEE Transactions on Industry applications*, Vol. 32, No. 2, pp. 260–268, 1996.

[56] D. W. Feng, B. Wu, et al., “Space Vector Modulation for Neutral Point Clamped Multilevel Inverter with Even Order Harmonic Elimination,” *Canadian Conference on Electrical and Computer Engineering (CCECE)*, pp. 1471–1475, 2004.

[57] Freescale, “Motor Control Library Users Manual”, Freescale Semiconductor, 2008.

[58] Freescale, “56F8037/56F8027”, Data Sheet, MC56F8037, Freescale Semiconductor, 2008.

[59] http://www.ametherm.com/inrush-current

[60] International Rectifier. “Application Note AN-978: HV Floating MOS-Gate Driver ICs,” International Rectifier, USA.

[61] A. Marello, A. Rugginenti and M. Grasso, “Using Monolithic high voltage gate drivers,” International Rectifier, USA.

[62] International Rectifier. “Solving IGBT Protection in AC or BLDC Motor Drive,” International Rectifier, USA.

[63] http://www.lem.com

[64] A. Obregón, “Control Vectorial de la Velocidad de un Motor de Inducción Utilizando la Tarjeta DS1103 de dSPACE”, Tesis de Maestría, IPN SEPI-ESIME, México, D.F., 2008.

[65] M. García, J. Rodríguez, P. Ponce, J. D. Betanzos, “Modulación sinusoidal del ancho de los pulsos en el control de un inversor trifásico de tres niveles”, XI Congreso Nacional de Ingeniería Electromecánica y de Sistemas, México, D.F, 2009.

[66] F. Espino, P. Gomez, D. Betanzos, “Modeling of the Heat Generation on Stress Grading Coating of Motors Fed by High Speed Drives”, 2010 IEEE International Power Modulator and High Voltage Conference, 2010 IEEE IPMHVC, Atlanta, GA, 2010.

[67] J. D. Betanzos, J. J. Rodríguez, M. García, “Simulación en PSCAD de un Inversor de Tres Niveles con Fijación del Neutro Aplicando la Técnica SPWM”, XI Congreso Nacional de Ingeniería Electromecánica y de Sistemas, México, D.F, 2009.

[68] J. D. Betanzos, J. J. Rodríguez, M. García, “Control de un Inversor de Dos Niveles Aplicando la Técnica SVPWM a partir del DSP56F8037”, Vigesimasegunda Reunión de Verano de Potencia, Aplicaciones Industriales y Exposición Industrial, RVP-AI/2009, Acapulco, Gro., México., 2009.

APÉNDICE A

REPRESENTACIÓN FRACCIONARIA

A.1 INTRODUCCIÓN

La representación de números en un formato de punto fijo es una generalización de la representación decimal de un número como una cadena de dígitos con punto decimal. En esta notación, los dígitos a la izquierda del punto representan la parte entera del numero, y los dígitos a la derecha del punto decimal, representan la parte fraccional del numero.

A.2 REPRESENTACIÓN FRACCIONARIA EN FORMATO DE PUNTO FIJO

Se sabe que un número en representación binaria puede ser interpretado como positivo o negativo. Sin embargo, en punto fijo también es necesario operar con números fraccionarios y para ello es posible utilizar una forma muy simple de representación.

A.2.1 FORMATO NUMÉRICO DIGITAL $Q_{m,n}$ (Q_n)

En un formato $Q_{m,n}$ se utilizan m bits para representar la parte entera de un numero, y n bits para representar la parte fraccionaria. El bit extra es utilizado para representar el signo del número. El rango entero representable es $(-2^m, 2^m-2^{-n})$ con una resolución de 2^{-n}.

Considerando un sistema de 16 bits, para realizar una representación numérica en formato $Q_{4,12}$, o Q_{12}, se utilizan 3 bits para representar al número entero, 12 bits para representar los decimales y 1 bit de signo, tal y como se muestra en la Fig. A-1

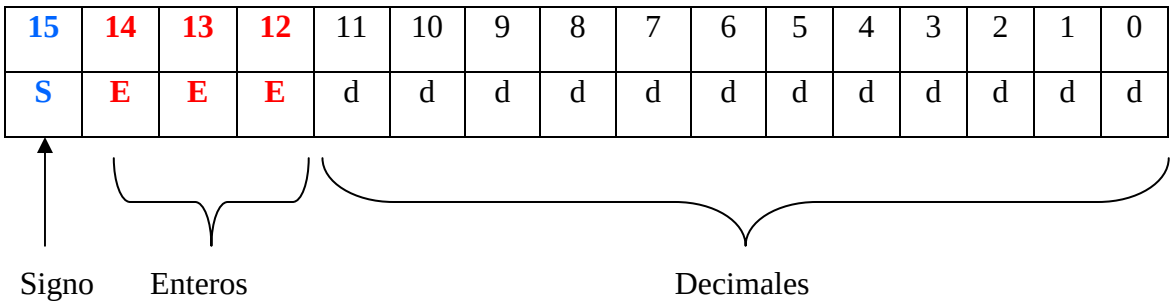


Figura A-1. Representación numérica en formato Q_{12}.

La resolución del formato está dada por:

$$\frac{1}{2^{12}} = 0.000244140625 \qquad \text{(A-1)}$$

La correspondencia entre la magnitud interpretada y el valor de 16 bits almacenado en el DSP es la siguiente:

$$(-8 : 7.99975585938) \iff (-32768 : 32767) \qquad \text{(A-2)}$$

Y en formato hexadecimal:

$$(-8 : 7.99975585938) \iff (-8000 : 7FFFh) \qquad \text{(A-3)}$$

Lo anteriormente comentado se puede representar gráficamente en la Fig. A-2.

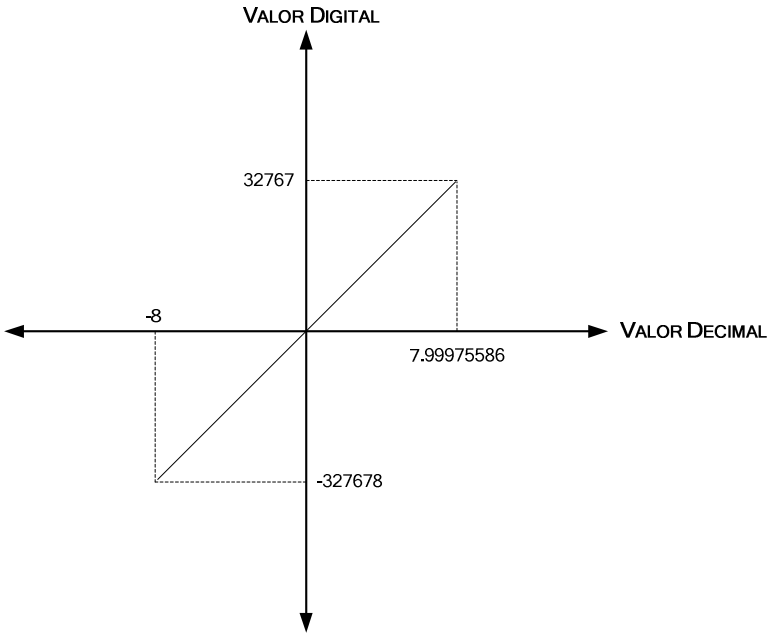


Figura A-2. Correspondencia entre los valores decimales y la representación digital.

Las reglas para la operación con números en este tipo de notación se muestran a continuación:

1.- Suma de cantidades con m bits decimales:

$$Q_m + Q_m = Q_m \tag{A-5}$$

2.- Multiplicación de cantidades con m y n bits decimales:

$$Q_m * Q_m = Q_{m+n} \tag{A-6}$$

Por ejemplo al multiplicar 2 números en formato Q12, el resultado debe ser truncado para poder representarlo en los 16 bits del DSP. Los primeros 12 bits, los menos significativos deben ser eliminados, quedando sólo los 16 bits más significativos que representan el resultado de la multiplicación.

APÉNDICE B

SECUENCIAS DE CONMUTACIÓN

En esta sección se muestran la secuencia de conmutación con alineación de centros de cada una de las 36 áreas que conforma al espacio vectorial de tres niveles.

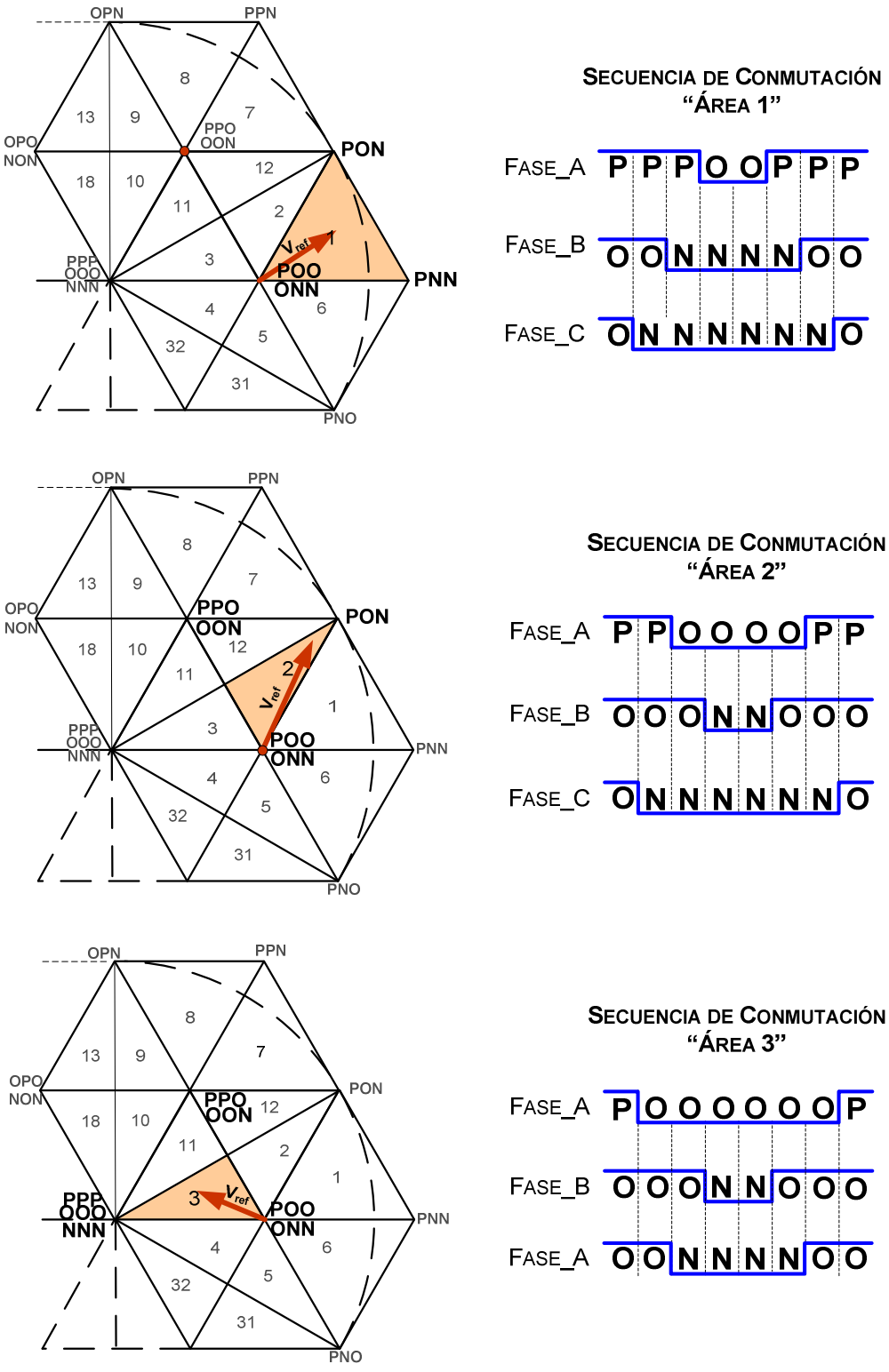


Figura B-1. Secuencias de conmutación correspondientes a las áreas 1, 2 y 3.

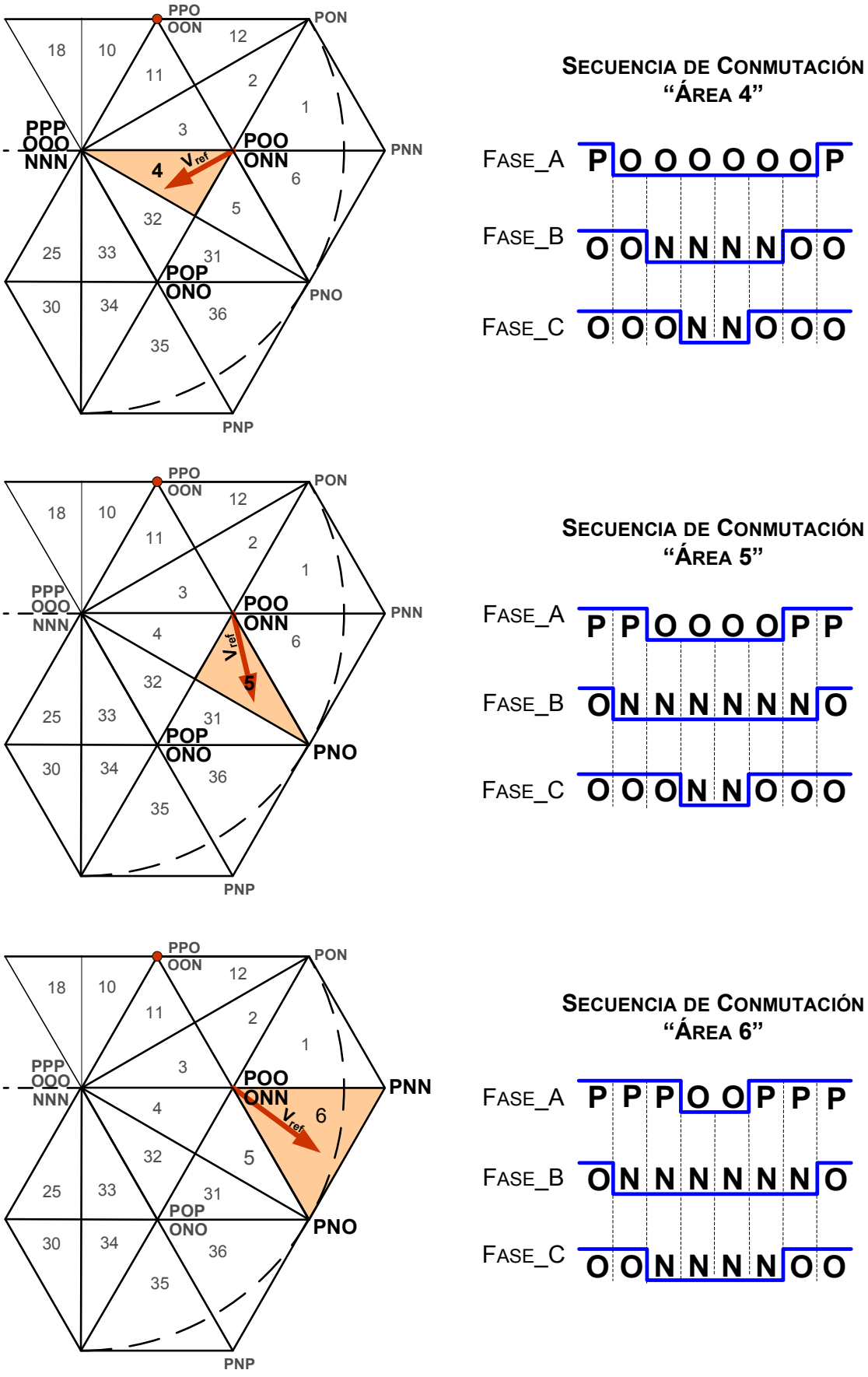
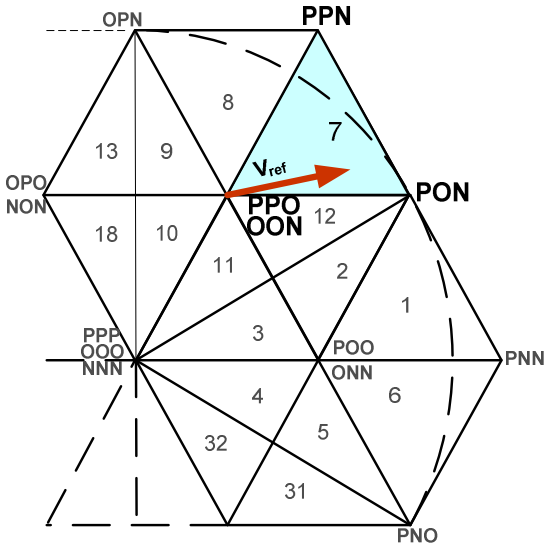
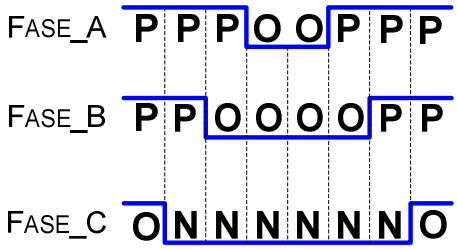
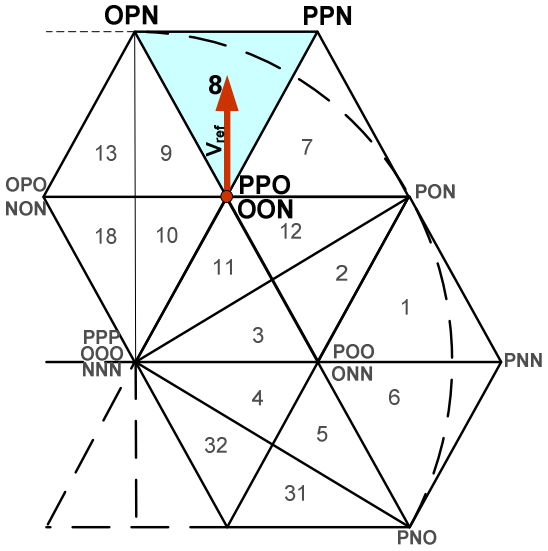


Figura B-2. Secuencias de conmutación correspondientes a las áreas 4, 5 y 6.

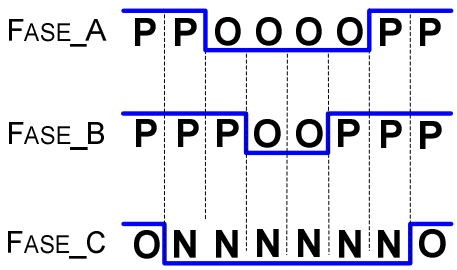


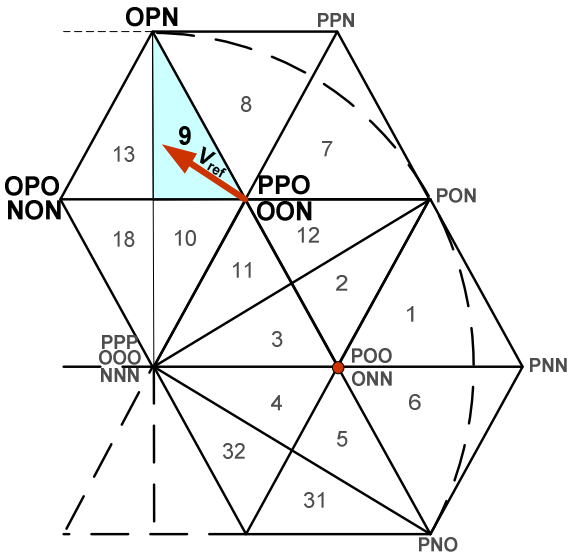
SECUENCIA DE CONMUTACIÓN "ÁREA 7"





SECUENCIA DE CONMUTACIÓN "ÁREA 8"





SECUENCIA DE CONMUTACIÓN "ÁREA 9"

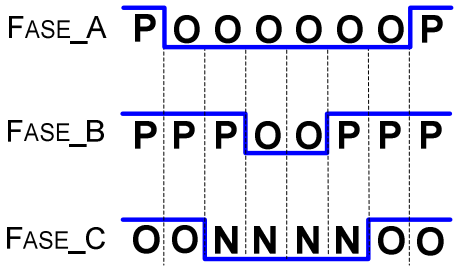
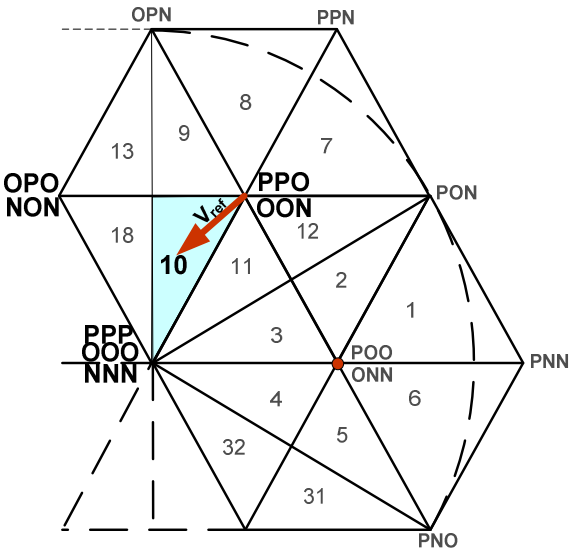
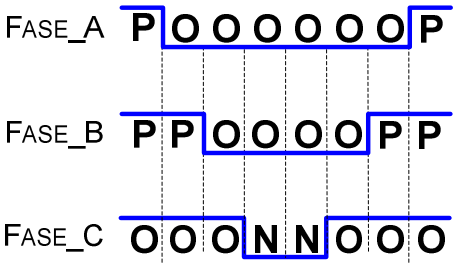
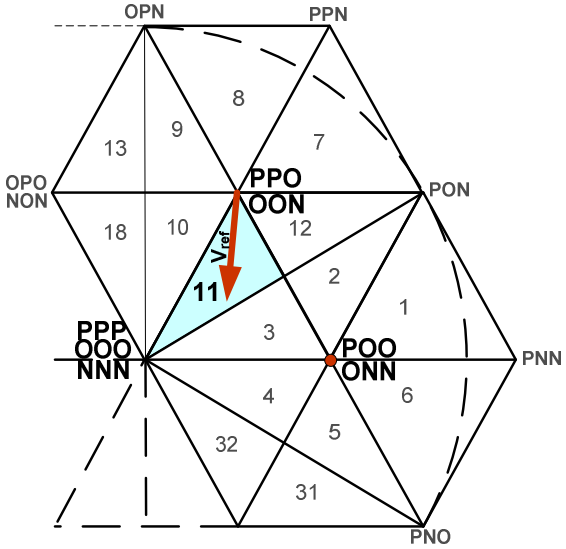


Figura B-3. Secuencias de conmutación correspondientes a las áreas 7, 8 y 9.

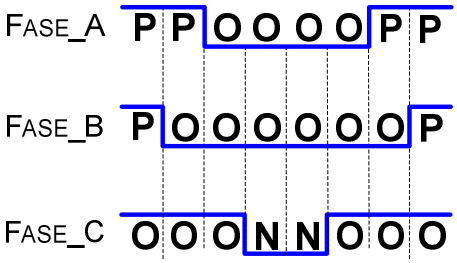


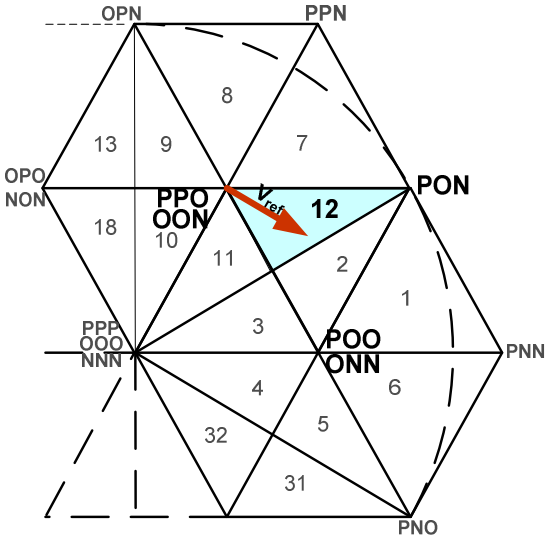
SECUENCIA DE CONMUTACIÓN "ÁREA 10"





SECUENCIA DE CONMUTACIÓN "ÁREA 11"





SECUENCIA DE CONMUTACIÓN "ÁREA 12"

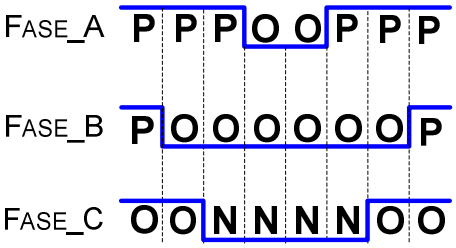
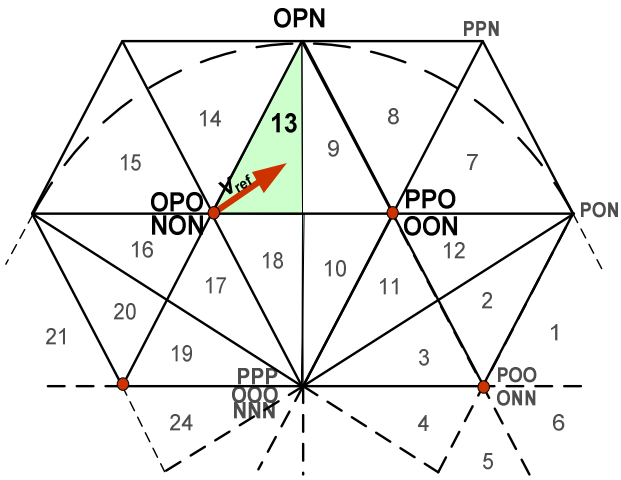
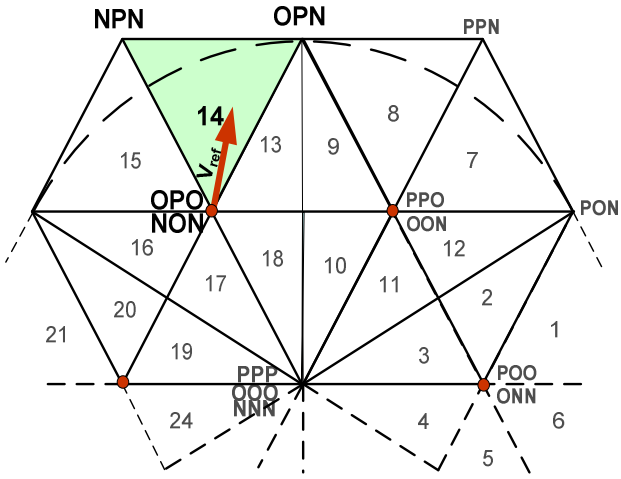


Figura B-4. Secuencias de conmutación correspondientes a las áreas 10, 11 y 12.



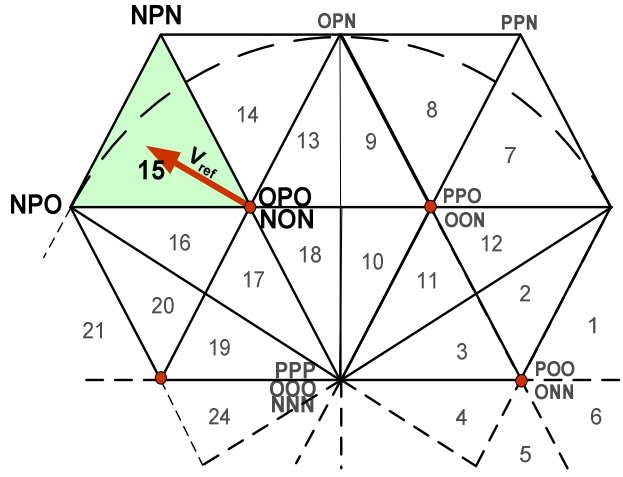
SECUENCIA DE CONMUTACIÓN "ÁREA 13"

FASE_A	O	O	O	N	N	O	O	O
FASE_B	P	P	O	O	O	O	P	P
FASE_C	O	N	N	N	N	N	N	O



SECUENCIA DE CONMUTACIÓN "ÁREA 14"

FASE_A	O	O	N	N	N	N	O	O
FASE_B	P	P	P	O	O	P	P	P
FASE_C	O	N	N	N	N	N	N	O



SECUENCIA DE CONMUTACIÓN "ÁREA 15"

FASE_A	O	N	N	N	N	N	N	O
FASE_B	P	P	P	O	O	P	P	P
FASE_C	O	O	N	N	N	N	O	O

Figura B-5. Secuencias de conmutación correspondientes a las áreas 13, 14 y 15.

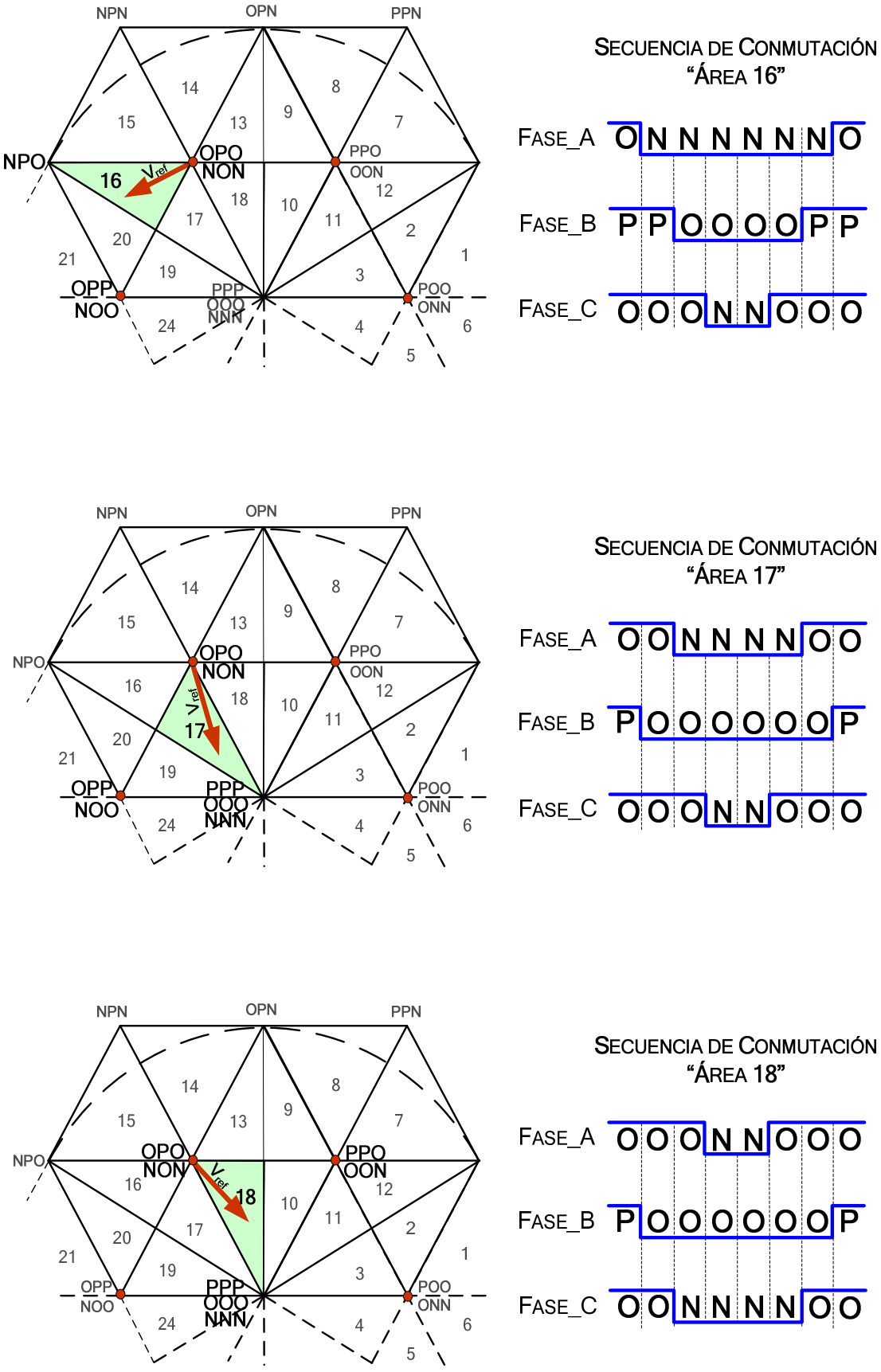
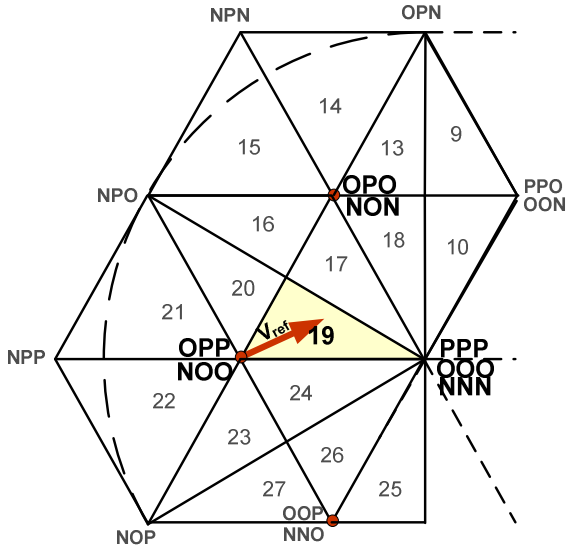
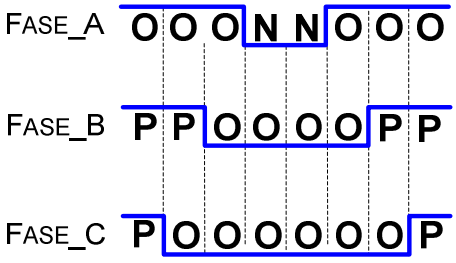
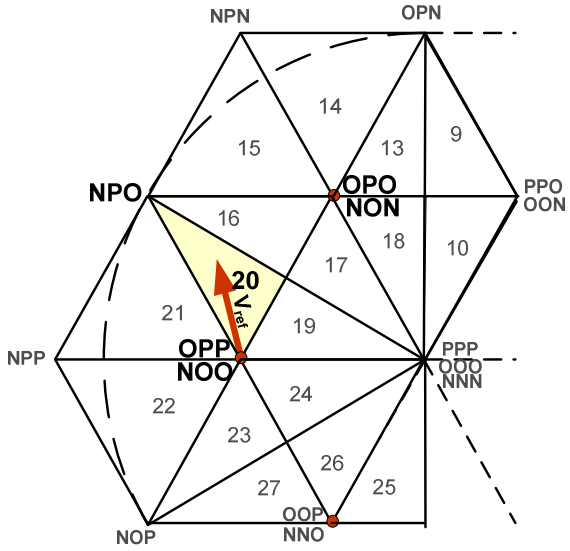


Figura B-6. Secuencias de conmutación correspondientes a las áreas 16, 17 y 18.

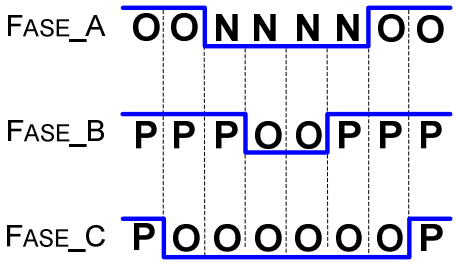


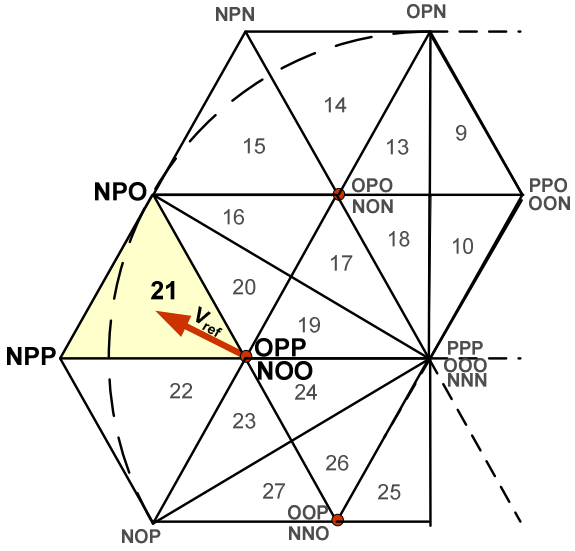
SECUENCIA DE CONMUTACIÓN "ÁREA 19"





SECUENCIA DE CONMUTACIÓN "ÁREA 20"





SECUENCIA DE CONMUTACIÓN "ÁREA 21"

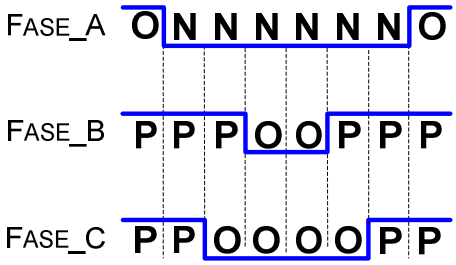
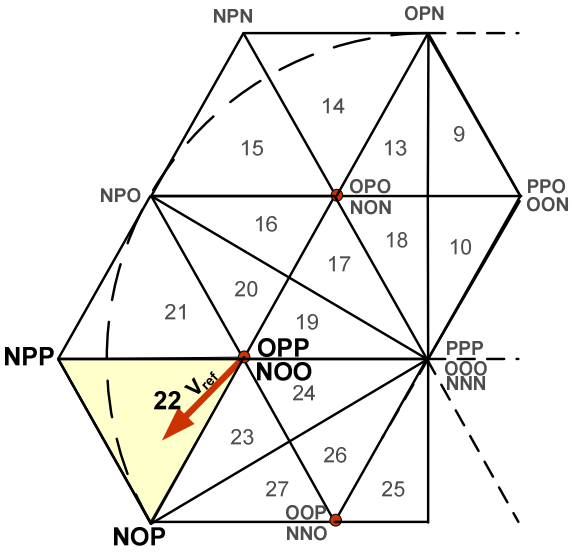
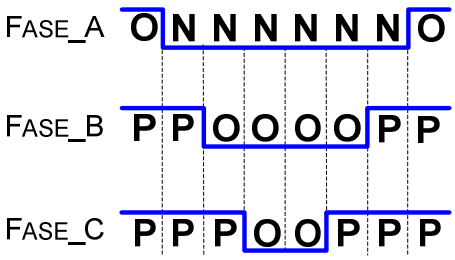
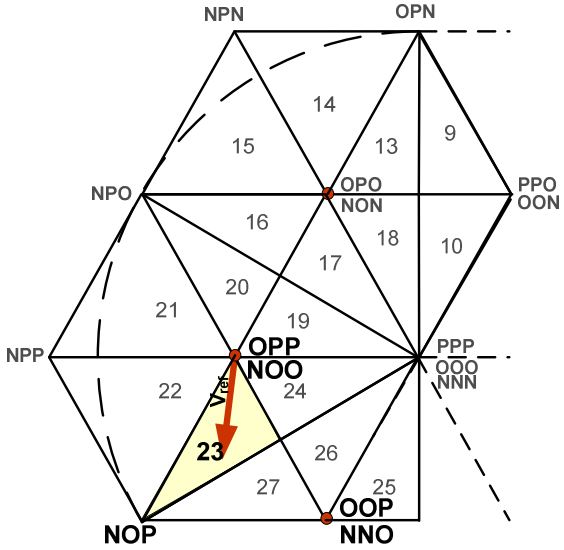


Figura B-7. Secuencias de conmutación correspondientes a las áreas 19, 20 y 21.

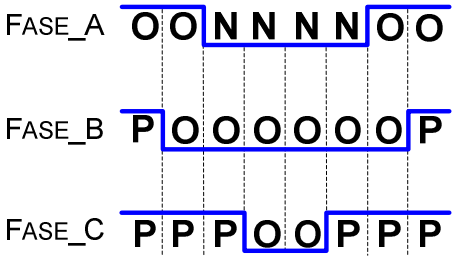


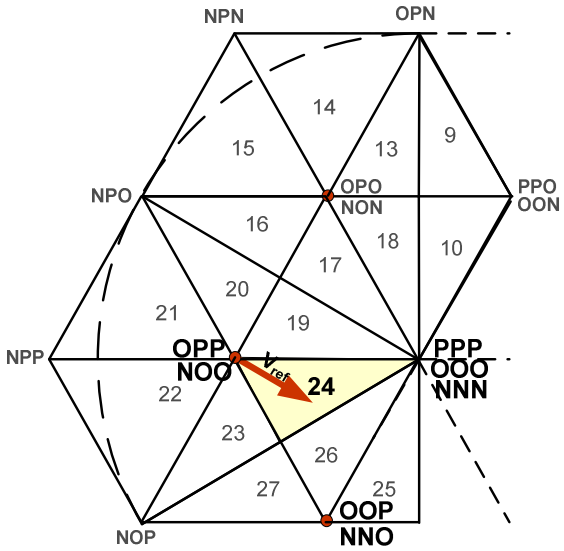
SECUENCIA DE CONMUTACIÓN "ÁREA 22"





SECUENCIA DE CONMUTACIÓN "ÁREA 23"





SECUENCIA DE CONMUTACIÓN "ÁREA 24"

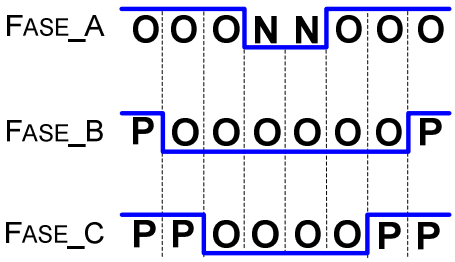
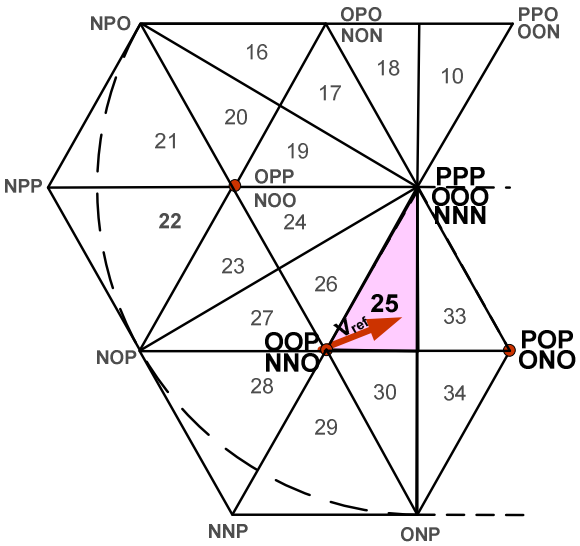
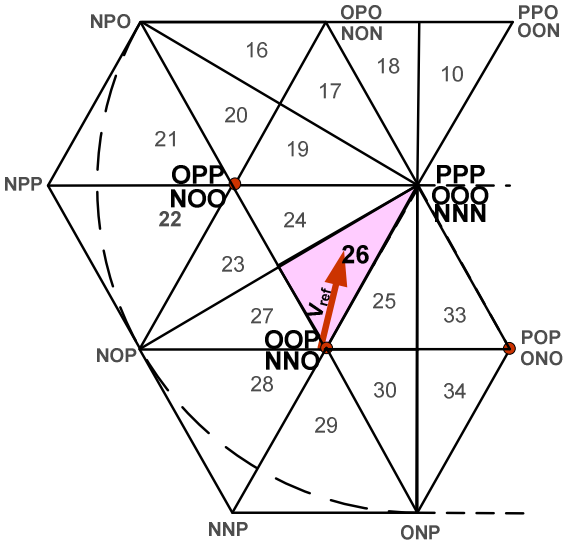


Figura B-8. Secuencias de conmutación correspondientes a las áreas 22, 23 y 24.



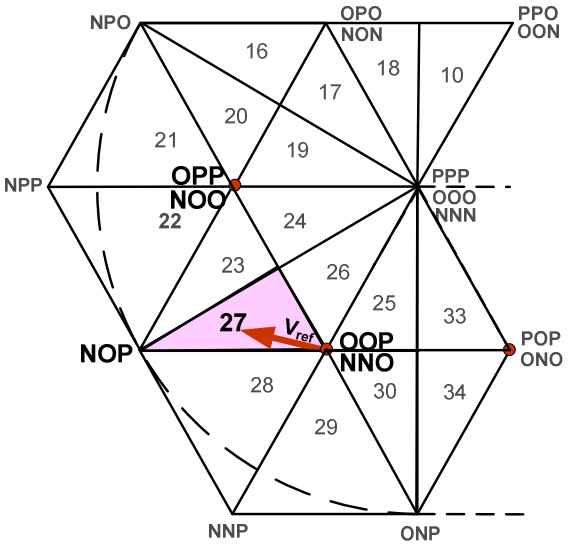
SECUENCIA DE CONMUTACIÓN "ÁREA 25"

FASE_A	O	O	O	N	N	O	O	O
FASE_B	O	O	N	N	N	N	O	O
FASE_C	P	O	O	O	O	O	O	P



SECUENCIA DE CONMUTACIÓN "ÁREA 26"

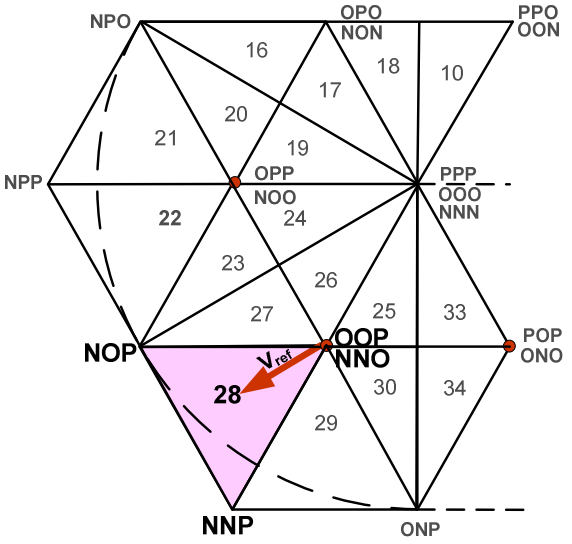
FASE_A	O	O	N	N	N	N	O	O
FASE_B	O	O	O	N	N	O	O	O
FASE_C	P	O	O	O	O	O	O	P



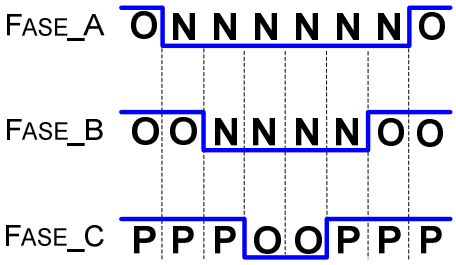
SECUENCIA DE CONMUTACIÓN "ÁREA 27"

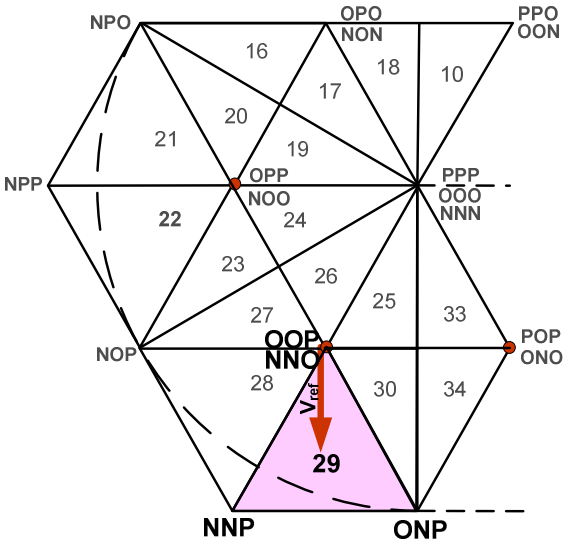
FASE_A	O	N	N	N	N	N	N	O
FASE_B	O	O	O	N	N	O	O	O
FASE_C	P	P	O	O	O	O	P	P

Figura B-9. Secuencias de conmutación correspondientes a las áreas 25, 26 y 27.

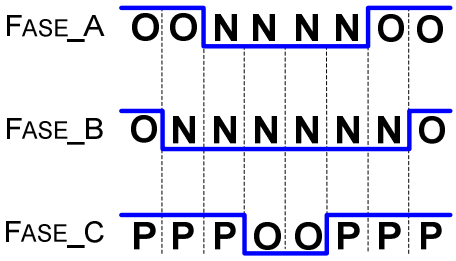


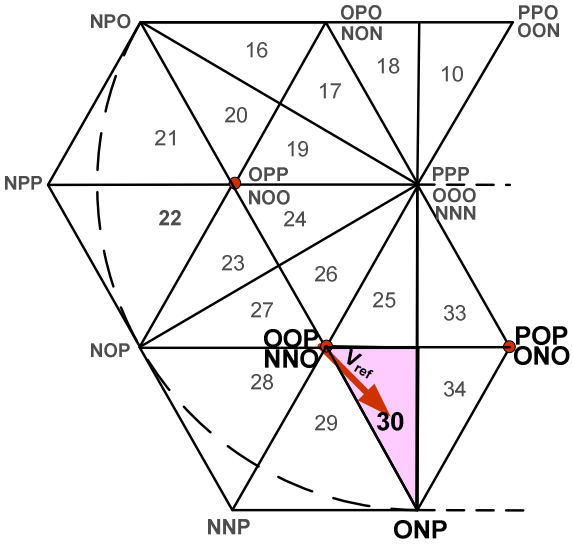
SECUENCIA DE CONMUTACIÓN "ÁREA 28"





SECUENCIA DE CONMUTACIÓN "ÁREA 29"





SECUENCIA DE CONMUTACIÓN "ÁREA 30"

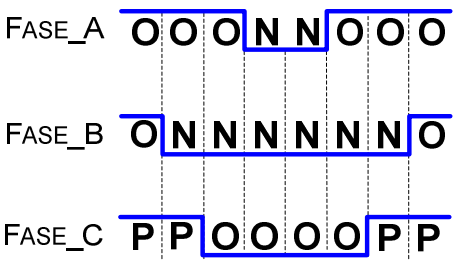
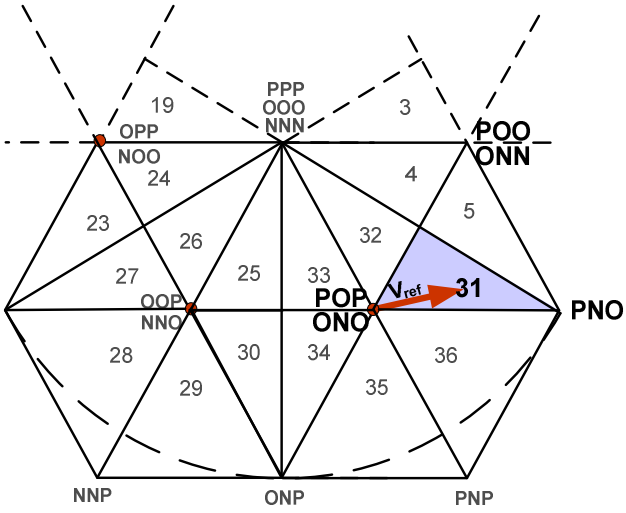
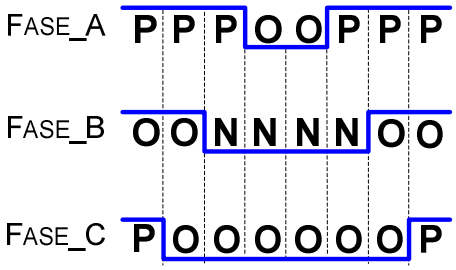
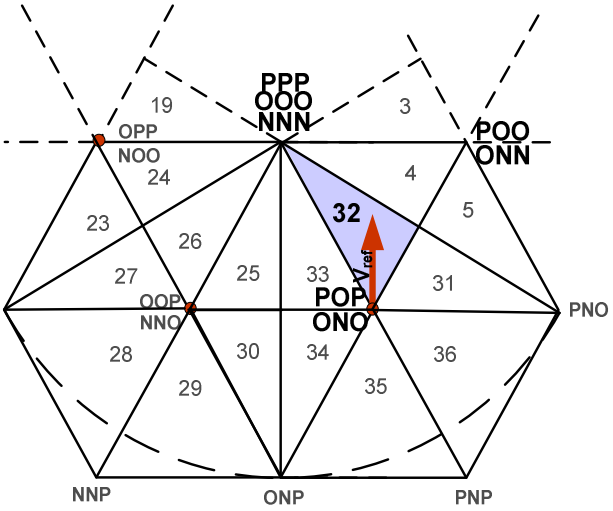


Figura B-10. Secuencias de conmutación correspondientes a las áreas 28, 29 y 30.

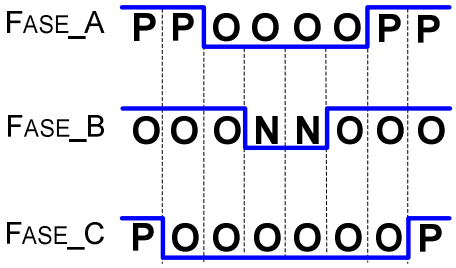


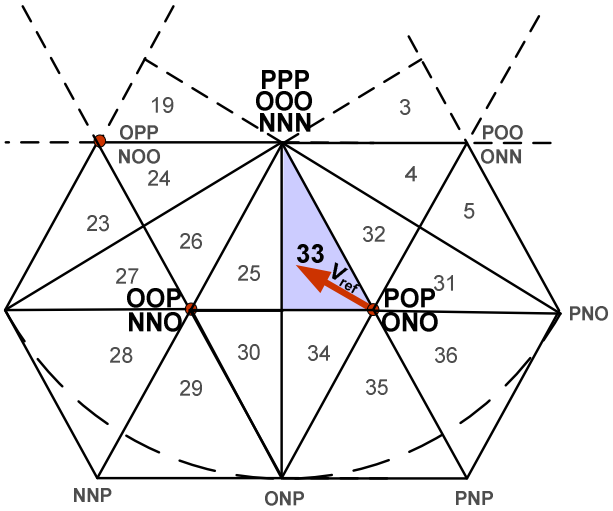
SECUENCIA DE CONMUTACIÓN "ÁREA 31"





SECUENCIA DE CONMUTACIÓN "ÁREA 32"





SECUENCIA DE CONMUTACIÓN "ÁREA 33"

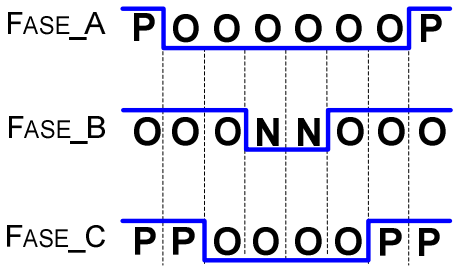
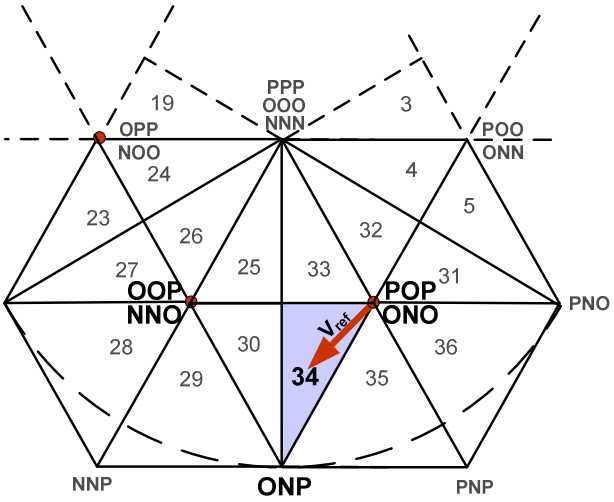
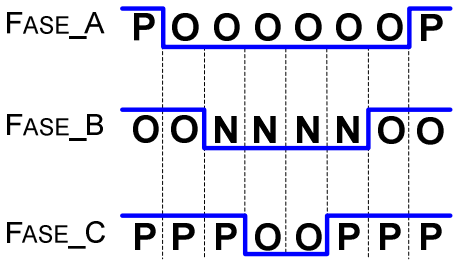
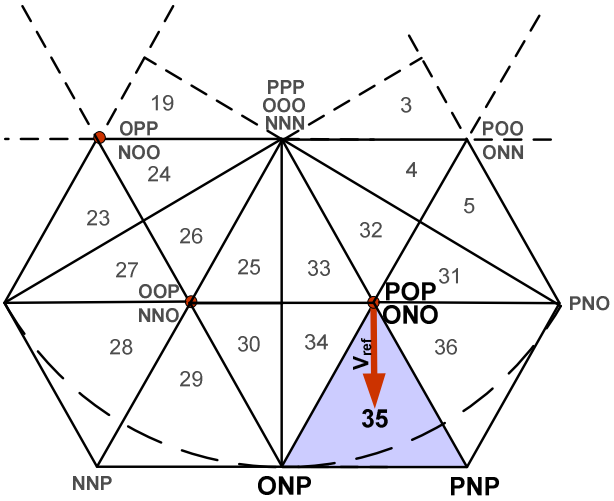


Figura B-11. Secuencias de conmutación correspondientes a las áreas 31, 32 y 33.

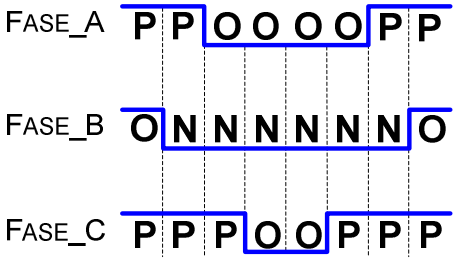


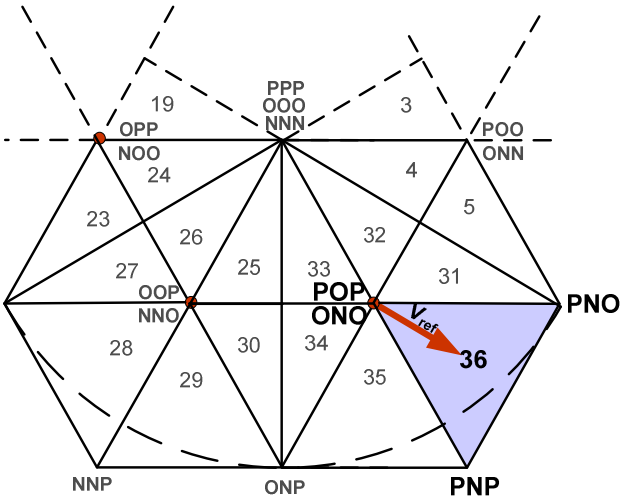
SECUENCIA DE CONMUTACIÓN "ÁREA 34"





SECUENCIA DE CONMUTACIÓN "ÁREA 35"





SECUENCIA DE CONMUTACIÓN "ÁREA 36"

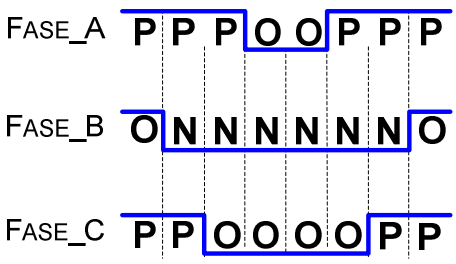


Figura B-12. Secuencias de conmutación correspondientes a las áreas 34, 35 y 36.

APÉNDICE C

SIMULACIÓN EN PSCAD DEL INVERSOR DE TRES NIVELES

C.1 INTRODUCCIÓN

En este apartado se realiza la simulación del inversor de tres niveles NPC, aplicando las técnicas de modulación basadas en portadora modificada y utilizando el software PSCAD®. Es importante mencionar que el paquete computacional PSCAD® (del inglés Power System Computer Aided Design) también conocido como PSCAD/EMTDC, es un potente medio de simulación de sistemas eléctricos de potencia.

C.2 MODULACION BASADA EN PORTADORA MODIFICADA

Los esquemas de modulación basados en portadora modificada que puede ser aplicados en el control del inversor de tres niveles NPC-VSI son: el esquema de modulación basado en portadoras en fase (PD) y el esquema de modulación basado en portadoras en oposición de fase (APOD).

C.2.1 ESQUEMA DE MODULACIÓN PD

El control del inversor de tres niveles requiere tres señales senoidales desfasadas 120º entre sí (señales de control) y dos señales triangulares (señales portadoras). Para aplicar el esquema de modulación PD, las señales triangulares deben estar distribuidas verticalmente y en fase, tal y como se muestra en la Fig. C-1.

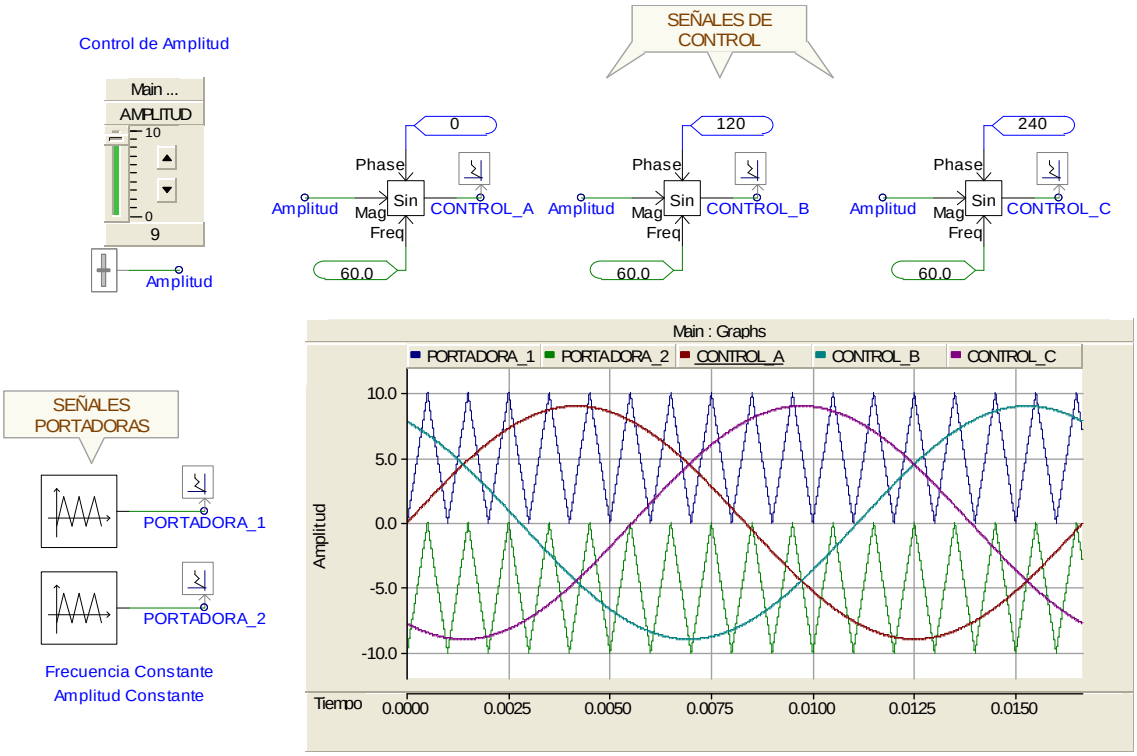


Figura C-1. Señales de control y señales portadoras requeridas para aplicar el esquema de modulación PD.

C.2.2 ESQUEMA DE MODULACIÓN APOD

Para aplicar el esquema de modulación basado en portadoras en oposición de fase, nuevamente se requiere de tres señales moduladoras y dos señales portadoras. Sin embargo, en esta ocasión las señales triangulares distribuidas verticalmente deben estar en oposición de fase, tal y como se muestra en la Fig. C-2.

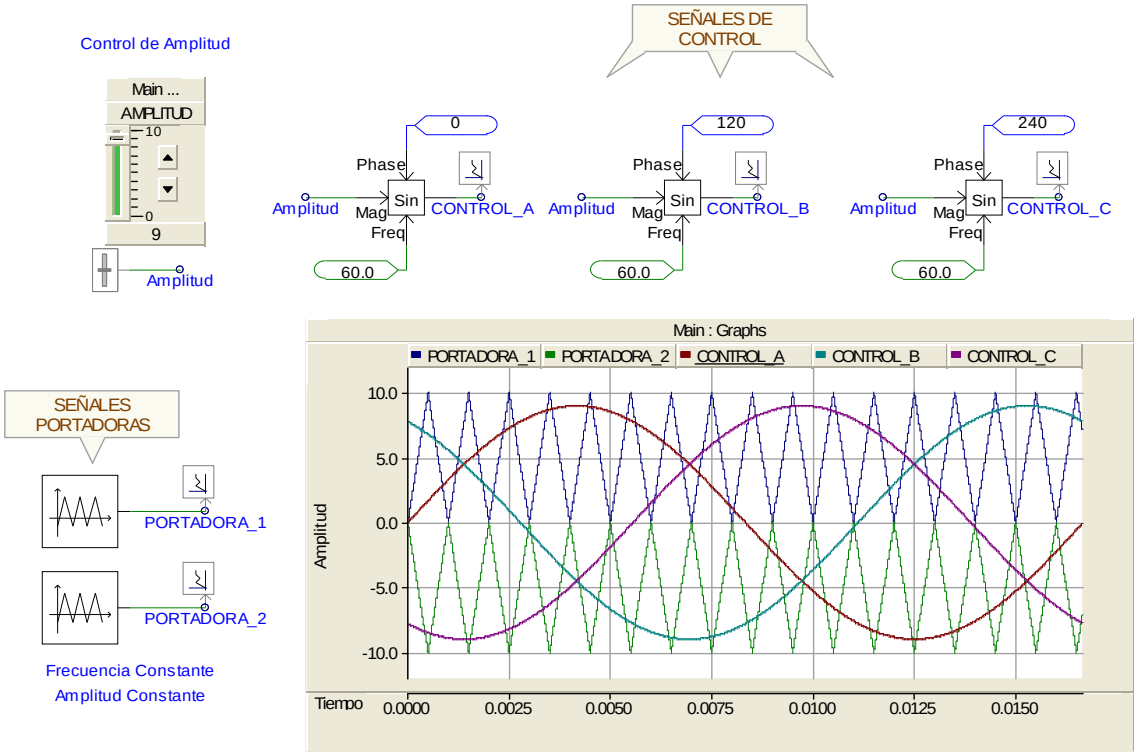


Figura C-2. Señales de control y señales portadoras requeridas para aplicar el esquema de modulación APOD.

C.2.3 COMPARACIÓN DE SEÑALES MODULADORAS Y PORTADORAS

Ahora es necesario realizar un proceso de comparación entre las señales de control y las señales portadoras para de esta forma obtener las señales de control PWM del inversor. Esto aplica para ambos esquemas de modulación. En la Fig. C-3 se muestra que a partir de la comparación de la señal de CONTROL_A y las señales portadoras, se obtienen las señales PWM que controlan a los IGBT's de la fase A del inversor.

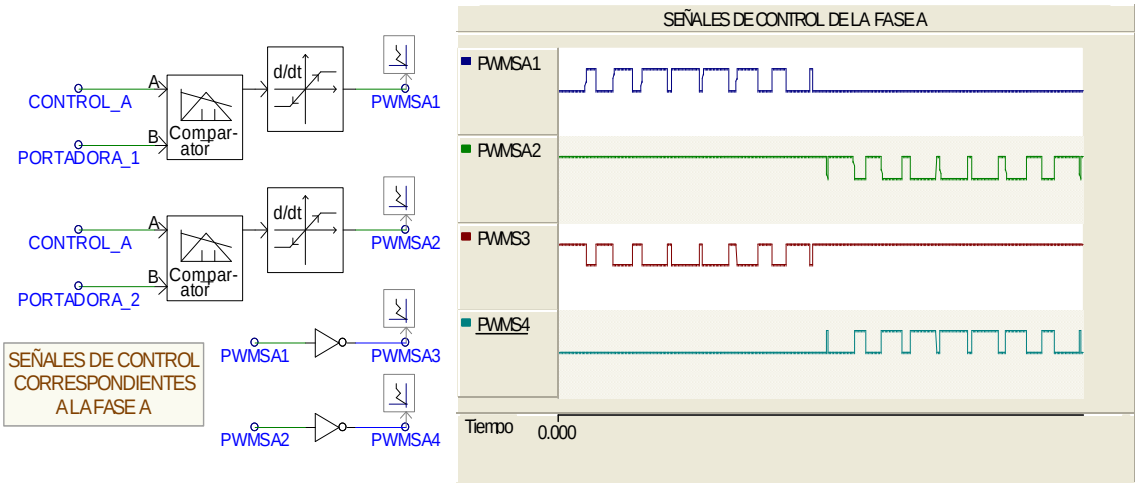


Figura C-3. Señales de control PWM de la fase a.

En la Fig. C-3 se observa que la señal CONTROL_A se compara con la señal PORTADORA_1 y la señal PORTADORA_2, con lo cual se obtiene la señal PWMSA1 que comanda al IGBT SA1 y la señal PWMSA2 que comanda al IGBT SA2. Después es necesario invertir las señales PWMSA1 Y PWMSA2 para obtener las señales de control de los IGBT's SA3 y SA4 (Estados complementarios). El procedimiento descrito previamente, debe realizarse nuevamente para obtener las señales de control de los IGBT's de las ramas B y C, pero ahora utilizando las señales CONTROL_B y CONTROL_C. Una vez obtenidas las señales de control es necesario utilizar los bloques que disparan a cada uno de los IGBT's, tal y como se muestra en la Fig. C-4.

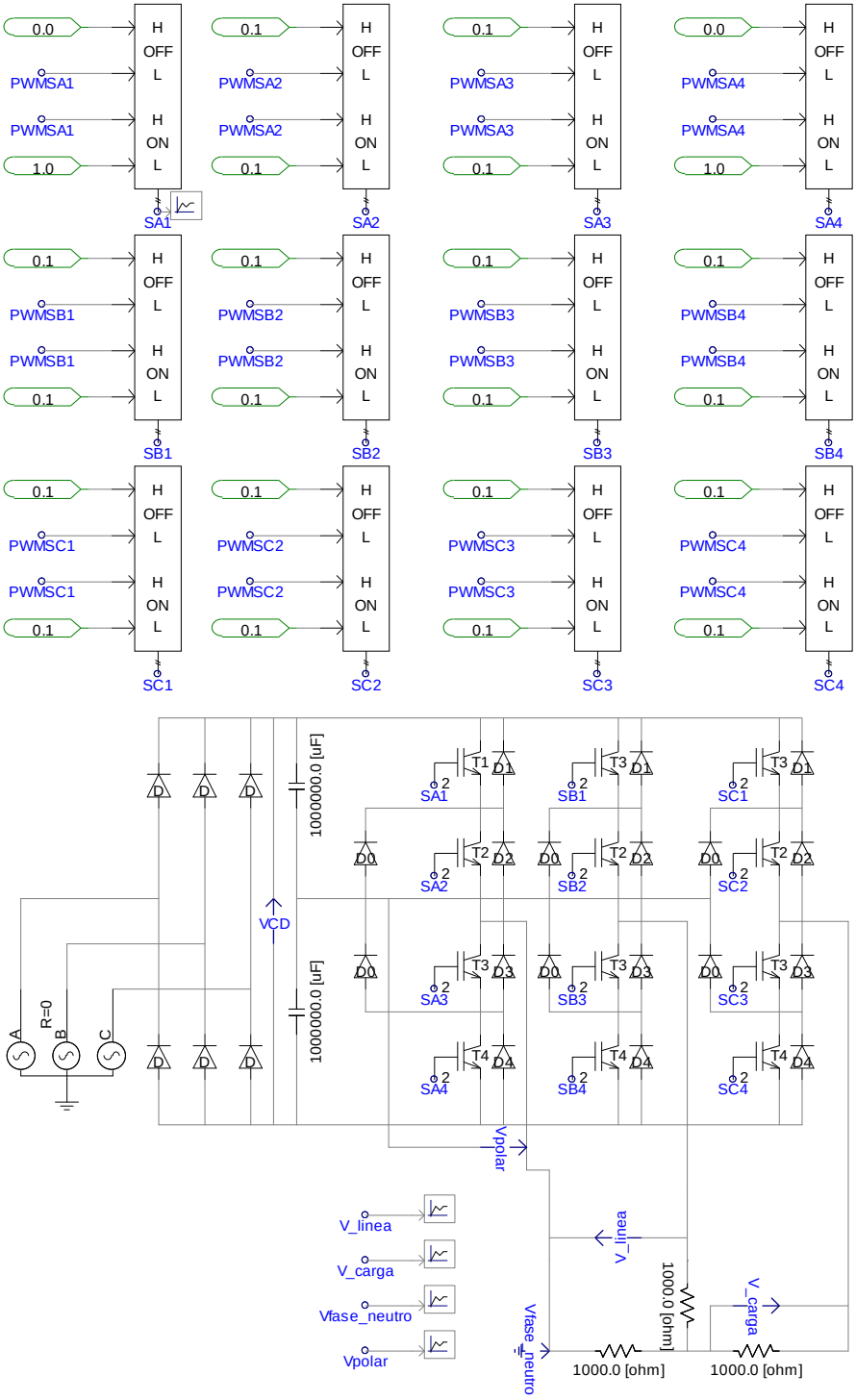


Figura C-4. Inversor de tres niveles NPC-VSI con sus correspondientes bloques de disparo.

Finalmente en las Figs. C-5 y C-6, se muestran las formas de onda del voltaje polar, el voltaje de línea y el voltaje de fase en la carga, los cuales son obtenidos cuando se aplica el esquema de modulación PD y APOD respectivamente.

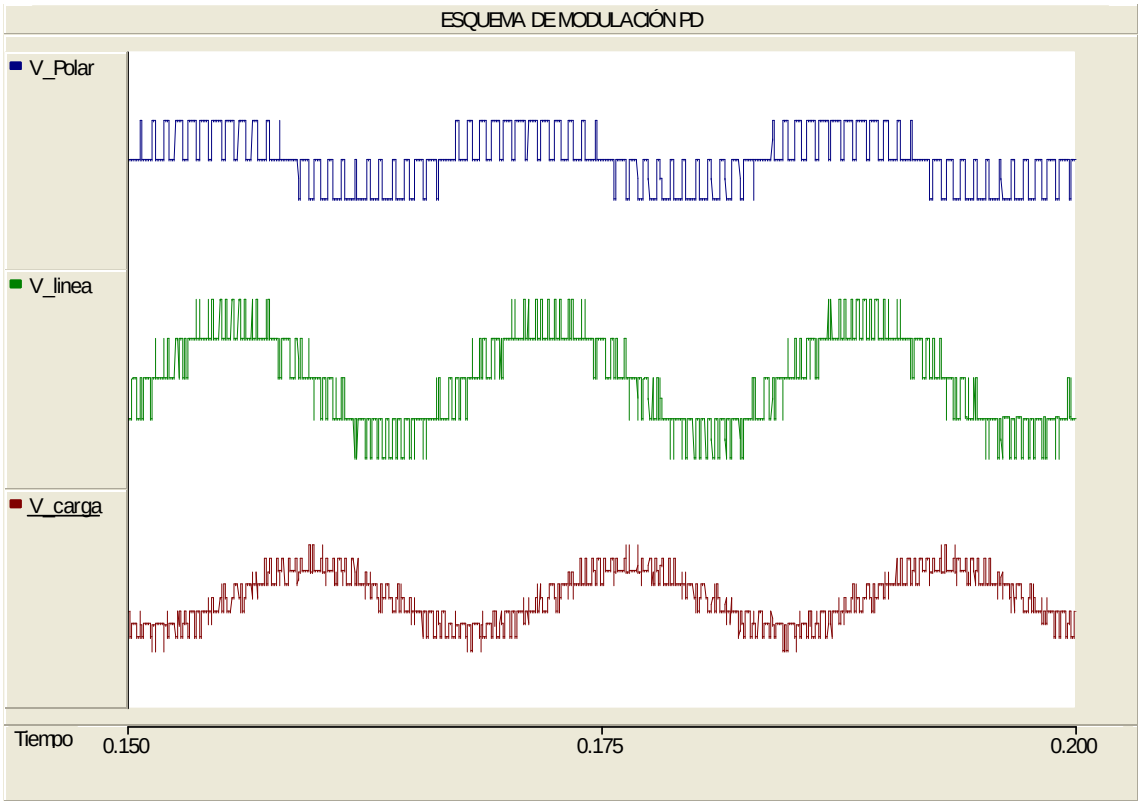


Figura C-5. Formas de onda de voltaje en el inversor al utilizar el esquema de modulación PD.

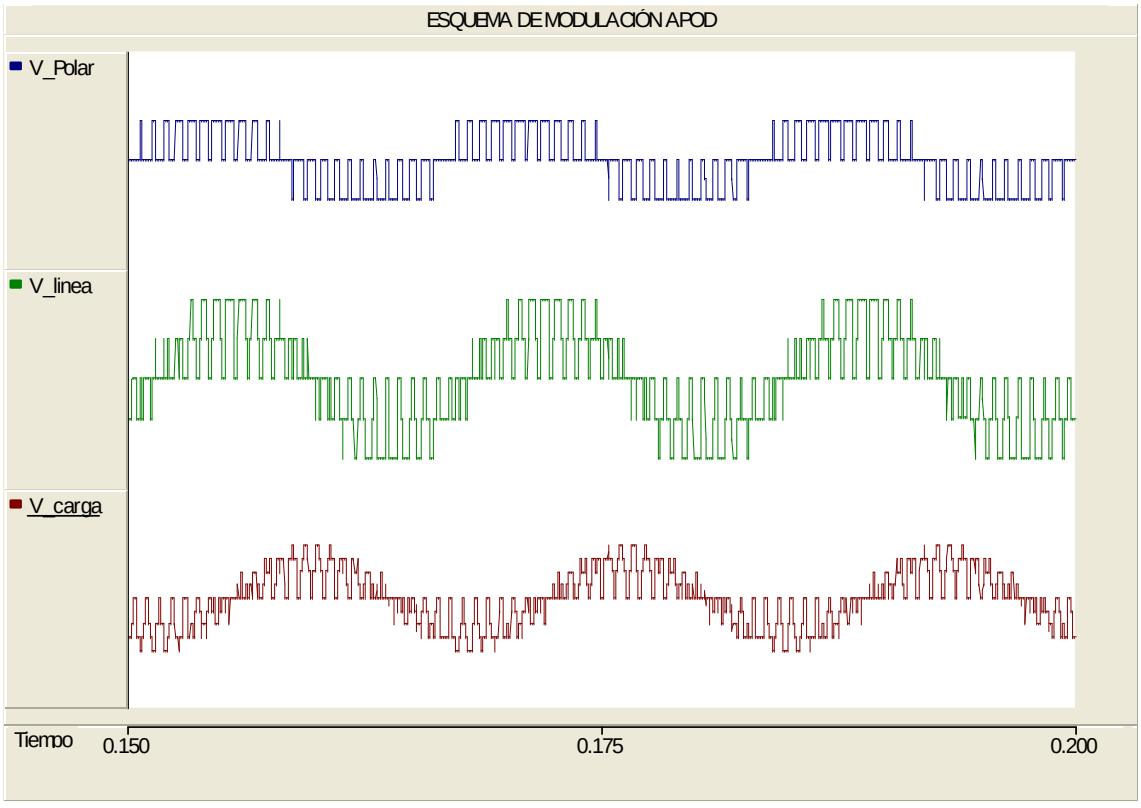


Figura C-6. Formas de onda de voltaje en el inversor al utilizar el esquema de modulación APOD.

APÉNDICE D

PROGRAMA SVM SIMPLIFICADO

En esta sección se muestra el programa SVM simplificado, el cual genera seis señales de control principales.

```
/** ###################################################################
**     Filename  : THREELEVELS.C
**     Project   : THREELEVELS
**     Processor : 56F8037
**     Version   : Driver 01.12
**     Compiler  : Metrowerks DSP C Compiler
**     Date/Time : 11/02/2010, 01:53 a.m.
**     Abstract  :
**         Main module.
**         Here is to be placed user's code.
**     Settings  :
**     Contents  :
**         No public methods
**
**     (c) Copyright UNIS, spol. s r.o. 1997-2006
**     UNIS, spol. s r.o.
**     Jundrovska 33
**     624 00 Brno
**     Czech Republic
**     http      : www.processorexpert.com
**     mail      : info@processorexpert.com
** ###################################################################*/
/* MODULE THREELEVELS */

/* Including used modules for compiling procedure */
#include "Cpu.h"
#include "Events.h"
#include "TI1.h"
#include "MC1.h"
#include "MC2.h"
#include "PWMC1.h"
#include "Aumenta.h"
#include "Disminuye.h"
#include "Inicia.h"
#include "DA1.h"
#include "DA2.h"
#include "SENAL.h"
/* Include shared modules, which are used for whole project */
#include "PE_Types.h"
#include "PE_Error.h"
#include "PE_Const.h"
#include "IO_Map.h"
#define OFFSET 32767

char intervalo,signoseno,signocoseno,entra,inicio=1;
int indice,seno,coseno;
int mod;

void main(void)
{
```

```
mc_sPhase            twoPhSystem,pAlphaBeta;     //variables del tipo struct
mc_s3PhaseSystem   threePhSystem,p_abc;
char HEXA,a,b;
int sector;
int Va,Vb,Vc,Valpha_3,Vbeta_3,Varesta,Vbresta,Vcresta,Vaajuste,Vbajuste,Vcajuste;
int tpha,tphb,tphc,tinicio,PWM1,PWM2,PWM3,PWM4,PWM5,PWM6;
long Valpha_2, Vbeta_2, modula,modu;
unsigned int periodo,*valor=0, *hexagonos=0;


/*** Processor Expert internal initialization. DON'T REMOVE THIS CODE!!! ***/
PE_low_level_init();
/*** End of Processor Expert internal initialization.                    ***/
/* Write your code here */

/*********************FLUJO***************************/
//////////////////////////////////////////////////////////////////////////////////////////////
/*                    Coordenadas (Valpha , Vbeta)                          */
//////////////////////////////////////////////////////////////////////////////////////////////

//////////////////////////////////////////////////////////////////////////////////////////////
/*                    Transformada Inversa de Clarke                        */

/*                    Va   [   1          0      ][Valpha]                  */
/*                    Vb= [ -1/2   sqrt(3)/2 ][Vbeta ]                      */
/*                    Vc   [ -1/2  -sqrt(3)/2 ]                             */

//////////////////////////////////////////////////////////////////////////////////////////////

//////////////////////////////////////////////////////////////////////////////////////////////

/*                    Secuencia de Identificacion de Hexagonos              */

//////////////////////////////////////////////////////////////////////////////////////////////

//////////////////////////////////////////////////////////////////////////////////////////////
/*                    Correccion del Vector de Referencia                   */

/*                    Va-ref = a*1/sqrt(12)                                 */
/*                    Vb-ref = b*1/sqrt(12)                                 */
/*                    Vc-ref = -Va-refa - Vb-ref                            */
//////////////////////////////////////////////////////////////////////////////////////////////

//////////////////////////////////////////////////////////////////////////////////////////////
/*          Obtencion de Coordenadas Bifasicas Corregidas                   */

/*                    Valpha= 2[ 1       -1/2        -1/2   ]   [Va]        */
/*                    Vbeta = 3[ 0   sqrt(3)/2   -sqrt(3)/2 ][Vb]          */
//////////////////////////////////////////////////////////////////////////////////////////////

//////////////////////////////////////////////////////////////////////////////////////////////
/*          Caculo de tiempos en un Hexagono de 2 Niveles                   */

/*          MC2_svmStd(&twoPhSystem,&threePhSystem);                        */
//////////////////////////////////////////////////////////////////////////////////////////////
```

```
////////////////////////////////////////////////////////////////////////////////////////////////////
/*              Secuencia de Identificacion de las 6 señales                    */
/*          ------------------------------------------------------------
                              Phase_a   | Phase_b    |  Phase_c    |
           Hexagono_1 |       P         |       N        |       N          |
           Hexagono_2 |       P         |       P        |       N          |
           Hexagono_3 |       N         |       P        |       N          |
           Hexagono_4 |       N         |       P        |       P          |
           Hexagono_5 |       N         |       N        |       P          |
           Hexagono_6 |       P         |       N        |       P          |
           ------------------------------------------------------------          */

/*                              P >> S1 = PWM1 = tpha
                                     S2 = PWM2 = 0%

                                N >> S1 = PWM1 = 100%
                                     S2 = PWM2 = tpha                        */

////////////////////////////////////////////////////////////////////////////////////////////////////


  for(;;) {

  while(inicio)
  {
//////////////////////////////////Condicion de inicio ///////////////////////////////////////
   intervalo=1; indice=0;  mod=50;
   tinicio=0;
   PWMC1_SetRatio15(0,tinicio);
   PWMC1_SetRatio15(2,tinicio);
   PWMC1_SetRatio15(4,tinicio);
   tinicio=32767;
   PWMC1_SetRatio15(1,tinicio);
   PWMC1_SetRatio15(3,tinicio);
   PWMC1_SetRatio15(5,tinicio);
   PWMC1_Load();
  }
////////////////////////////////////////////////////////////////////////////////////////////////////////

/////////////////Evita saturacion con indice de modualcion maximo///////////////
   if(mod==100)
   modu=99;
   else
   modu=mod;
/////////////////////////////////////////////////////////////////////////////////////////////////////////

////////////// Porcentaje de Modulación expresado formato Q15 /////////////////
   modula=(modu*32767)/100;
/////////////////////////////////////////////////////////////////////////////////////////////////////////

/////AJUSTE DE PERIODO (solo si se modifica el índice de modulacion)///
    if(entra)
  {
    periodo=18400/modu;                  // Condición V/F Constante
    TI1_SetPeriodTicks16(periodo);   //Modifica el periodo de interrupción
     entra=0;
  }
  ////////////////////////////////////////////////////////////////////////////////////////////////////////
```

```
  ////////////////////////////////Se aplica MODULACIÓN////////////////////////////////
  Valpha_2=(modula*coseno)/32767; //Se aplica la modulación
  Vbeta_2=(modula*seno)/32767;
  ////////////////////////////////////////////////////////////////////////////////////////////////

//////////////////////////////Se observa Referencia beta (senoidal)/////////////////////
  *valor=Vbeta_2+OFFSET;  //OFFSET para observar la señal senoidal
  DA1_SetValue16(valor);
  ////////////////////////////////////////////////////////////////////////////////////////////////

/////////ALGORITMO PARA IDENTIFICACION DE HEXAGONOS///////
   pAlphaBeta.alpha=Valpha_2;      ////////Introduce datos a estructura
   pAlphaBeta.beta=Vbeta_2;

   MC2_cptrfmClarkeInv(&p_abc,&pAlphaBeta);  ////Transformada Inversa de Clarke

   Va=p_abc.PhaseA;                ////////Obtención de componentes trifásicas
   Vb=p_abc.PhaseB;
   Vc=p_abc.PhaseC;

   if(Vc<=0)                       //////Comparacion de voltajes
           if(Vb<=0)
           {
    HEXA=1;
    a=2;
    b=-1;
           }
    else if(Va<=0)
            {
             HEXA=3;
             a=-1;
             b=2;
            }
        else
        {
         HEXA=2;
         a=1;
         b=1;
        }

  else if(Vb>0)
                  {
             HEXA=4;
             a=-2;
             b=1;
                  }
       else if(Va>0)
                   {
            HEXA=6;
            a=1;
            b=-2;
                   }
           else
           {
           HEXA=5;
           a=-1;
           b=-1;
           }

 ////////////////////////////////////////////////////////////////////////////////////////////////
```

```
//////////CALCULO DEL VECTOR QUE SE NECESITA RESTAR//////////

  Varesta=a*9459;                    ///Componentes trifásicas del vector
  Vbresta=b*9459;
  Vcresta=-Varesta-Vbresta;

 ////////////////////////////////////////////////////////////////////////////////////////////////////

  ////////////////////AJUSTE DE VECTOR DE 3 A 2 NIVELES//////////////////////

  Vaajuste=Va-Varesta;      //Componentes trifásicas del nuevo vector
  Vbajuste=Vb-Vbresta;
  Vcajuste=Vc-Vcresta;

 ////////////////////////////////////////////////////////////////////////////////////////////////////

/////OBTENCION DE COORDENADAS BIFASICAS CORREGIDAS///

  p_abc.PhaseA=Vaajuste;
  p_abc.PhaseB=Vbajuste;
  p_abc.PhaseC=Vcajuste;

  MC2_cptrfmClarke(&pAlphaBeta,&p_abc);

  Valpha_3=pAlphaBeta.alpha;
  Vbeta_3=pAlphaBeta.beta;

 ////////////////////////////////////////////////////////////////////////////////////////////////////

//////////OBTENCION DE TIEMPOS (rutina SVM de dos Niveles)//////////

 twoPhSystem.alpha=Valpha_3;     //Se introducen valores a la estructura
 twoPhSystem.beta =Vbeta_3;

          sector=  MC1_svmStd(&twoPhSystem,&threePhSystem); //Rutina SVM

 tpha=threePhSystem.PhaseA;    //Obtención de tiempos para cada fase
 tphb=threePhSystem.PhaseB;    //Unicamente 3 tiempos
 tphc=threePhSystem.PhaseC;

 ////////////////////////////////////////////////////////////////////////////////////////////////////

////SECUENCIA DE OBTENCION Y ASIGNACION DE 6 SEÑALES///

          if(HEXA==1)
          {
          PWM1=tpha;                 // ('P N N');
          PWM2=32767;
          PWM3=0;
          PWM4=tphb;
          PWM5=0;
          PWM6=tphc;
          *hexagonos=sector;         //Algoritmo de validacion
          }
          else if(HEXA==2)
          {
        PWM1=tpha;                   //  ('P P N');
        PWM2=32767;
        PWM3=tphb;
        PWM4=32767;
```

```
        PWM5=0;
        PWM6=tphc;
        *hexagonos=6+sector;        //Algoritmo de validacion
          }

          else if (HEXA==3)
          {
         PWM1=0;                    // ('N P N');
         PWM2=tpha;
         PWM3=tphb;
         PWM4=32767;
         PWM5=0;
         PWM6=tphc;
         *hexagonos=12+sector;      //Algoritmo de validacion
          }

          else if(HEXA==4)
          {
         PWM1=0;                    //  ('N P P');
         PWM2=tpha;
         PWM3=tphb;
         PWM4=32767;
         PWM5=tphc;
         PWM6=32767;
         *hexagonos=18+sector;      //Algoritmo de validacion
          }

          else if(HEXA==5)
          {
         PWM1=0;                    //  ('N N P');
         PWM2=tpha;
         PWM3=0;
         PWM4=tphb;
         PWM5=tphc;
         PWM6=32767;
         *hexagonos=24+sector;      //Algoritmo de validacion
          }

          else if(HEXA==6)
          {
         PWM1=tpha;                 //  ('P N P');
         PWM2=32767;
         PWM3=0;
         PWM4=tphb;
         PWM5=tphc;
         PWM6=32767;
         *hexagonos=30+sector;      //Algoritmo de validacion
          }
          ////////////////////Algoritmo de validación//////////////////
          *hexagonos=*hexagonos*1820;//1820;
          DA2_SetValue16(hexagonos);       ////Trayectoria del Vector
          ////////////////////////////////////////////////////////////////////
          PWMC1_SetRatio15(0,PWM1);    ////////CICLOS UTILES
          PWMC1_SetRatio15(1,PWM2);
          PWMC1_SetRatio15(2,PWM3);
          PWMC1_SetRatio15(3,PWM4);
          PWMC1_SetRatio15(4,PWM5);
          PWMC1_SetRatio15(5,PWM6);
          PWMC1_Load();
//////////////////////////////////////////// FIN ////////////////////////////////////////////////////
```

```
  }
}

/* END THREELEVELS */
/*
** ###################################################################
**
**     This file was created by UNIS Processor Expert 2.98.03 [03.79]
**     for the Freescale 56800 series of microcontrollers.
**
** ###################################################################
*/
```

PROGRAMA DE EVENTOS

```
/** ###################################################################
**     Filename  : Events.C
**     Project   : THREELEVELS
**     Processor : 56F8037
**     Beantype  : Events
**     Version   : Driver 01.03
**     Compiler  : Metrowerks DSP C Compiler
**     Date/Time : 11/02/2010, 02:08 a.m.
**     Abstract  :
**         This is user's event module.
**         Put your event handler code here.
**     Settings  :
**     Contents  :
**         TI1_OnInterrupt - void TI1_OnInterrupt(void);
**
**     (c) Copyright UNIS, spol. s r.o. 1997-2006
**     UNIS, spol. s r.o.
**     Jundrovska 33
**     624 00 Brno
**     Czech Republic
**     http      : www.processorexpert.com
**     mail      : info@processorexpert.com
** ###################################################################*/
/* MODULE Events */

#include "Cpu.h"
#include "Events.h"
#define positivo 1
#define negativo -1
extern char intervalo,signoseno,signocoseno,entra,inicio;
extern int indice,seno,coseno,mod;
int arreglo[181]=
{
0,286,572,858,1144,1429,1715,2000,2286,2571,2856,3141,3425,3709,3993,4277,4560,4843,
5126,5408,5690,5971,6252,6533,6813,7092,7371,7649,7927,8204,8481,8757,9032,9306,9580,
9853,10126,10397,10668,10938,11207,11475,11743,12009,12275,12539,12803,13066,13328,
13588,13848,14107,14364,14621,14876,15130,15383,15635,15886,16135,16383,16631,16876,
17121,17364,17606,17846,18085,18323,18559,18794,19028,19260,19491,19720,19947,20173,
20398,20621,20842,21062,21280,21497,21712,21925,22137,22347,22555,22762,22967,23170,
23371,23571,23768,23964,24158,24351,24541,24730,24916,25101,25284,25465,25644,25821,
25996,26169,26340,26509,26676,26841,27004,27165,27324,27481,27635,27788,27938,28087,
28233,28377,28519,28659,28796,28932,29065,29196,29324,29451,29575,29697,29817,29934,
30049,30162,30273,30381,30487,30591,30692,30791,30888,30982,31074,31163,31250,31335,
31418,31498,31575,31650,31723,31794,31862,31927,31990,32051,32109,32165,32218,32269,
```

```
32318,32364,32407,32448,32487,32523,32556,32587,32616,32642,32666,32687,32706,32722,
32736,32747,32756,32762,32766,32767
};          /////////////// 181 muestras en formato Q15 (0-180)

** ===================================================================
**     Event      :  TI1_OnInterrupt (module Events)
**
**     From bean   :  TI1 [TimerInt]
**     Description :
**         When a timer interrupt occurs this event is called (only
**         when the bean is enabled - "Enable" and the events are
**         enabled - "EnableEvent").
**     Parameters  : None
**     Returns     : Nothing
** ===================================================================
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property */
                    /* is set to 'yes' (#pragma interrupt saveall is generated before the ISR)      */

  /*************************FLUJO*****************************/
//////////////////////////////SEÑAL DE REFERENCIA/////////////////////////////////////
////////////////////////////////////Senoidal y Cosenoidal/////////////////////////////////////////////
                            Intervalo 1 = (0º-90º) ?
                        SI  {
                            Indice de tabla ++
                            Signo_seno positivo
                            Signo_cosenoseno positivo
                            }
                        NO
                             Intervalo 2 = (90º-180º) ?
                        SI  {
                             Indice de tabla --
                             Signo_seno positivo
                             Signo_cosenoseno negativo
                             }
                            Intervalo 3 = (180º-270º) ?
                        SI  {
                             Indice de tabla ++
                             Signo_seno negativo
                             Signo_cosenoseno negativo
                             }
                            Intervalo 4 = (270º-360º) ?
                        SI  {
                             Indice de tabla --
                             Signo_seno negativo
                             Signo_cosenoseno positivo
                             }

            Senoidal = signoseno*Arreglo[Indice de tabla];        //Valor de seno
            Cosenoidal = signocoseno*Arreglo[180-Indice de tabla];  //Valor de coseno

                             Indice tabla = 180 or 0 (termino recorrido)  ?
                        SI  {
                             Intervalo ++;
                             }
                            Intervalo >4 (aun no termina los 360º)?
                        SI  {
                             Intervalo ++
                             }
//////////////////////////////////////////////// FIN ////////////////////////////////////////////////////
```

```
void TI1_OnInterrupt(void)
{
  /* Write your code here ... */
  if(intervalo==1)
  {
            indice++;
            signoseno=positivo;
            signocoseno=positivo;
  }
  if(intervalo==2)
  {
            indice--;
            signoseno=positivo;
            signocoseno=negativo;
  }
  if(intervalo==3)
  {
            indice++;
            signoseno=negativo;
            signocoseno=negativo;
  }
  if(intervalo==4)
  {
            indice--;
            signoseno=negativo;
            signocoseno=positivo;
  }

  seno=signoseno*arreglo[indice];
  coseno=signocoseno*arreglo[180-indice];

   if(indice==180||indice==0)
  intervalo++;
  if(intervalo>4)
  intervalo=1;
}

/*
** ===================================================================
**     Event       :  Inicia_OnInterrupt (module Events)
**
**     From bean   :  Inicia [ExtInt]
**     Description :
**         This event is called when an active signal edge/level has
**         occurred.
**     Parameters  : None
**     Returns     : Nothing
** ===================================================================
*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property */
                         /* is set to 'yes' (#pragma interrupt saveall is generated before the ISR)      */
////////////////////////////////// CONDICIÓN DE INICIO ////////////////////////////////
void Inicia_OnInterrupt(void)
{
  /* place your Inicia interrupt procedure body here */
   if(inicio)
  inicio=0;
  else
  inicio=1;
}
```

```
** ===================================================================
**     Event      :  Disminuye_OnInterrupt (module Events)
**
**     From bean  :  Disminuye [ExtInt]
**     Description :
**         This event is called when an active signal edge/level has
**         occurred.
**     Parameters  : None
**     Returns     : Nothing
** ===================================================================
*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property */
                         /* is set to 'yes' (#pragma interrupt saveall is generated before the ISR)      */

//////////////////////DISMINUYE INDICE DE MODULACION//////////////////////
//////////////////////(Se define en limite mínimo de modulación)//////////////////////

void Disminuye_OnInterrupt(void)
{
  /* place your Disminuye interrupt procedure body here */
  if(mod>50)
  mod=mod-5;
  else
  mod=50;
  entra=1;            /////Modifica periodo de interrupción del Timer
}

** ===================================================================
**     Event      :  Aumenta_OnInterrupt (module Events)
**
**     From bean  :  Aumenta [ExtInt]
**     Description :
**         This event is called when an active signal edge/level has
**         occurred.
**     Parameters  : None
**     Returns     : Nothing
** ===================================================================
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property */
                         /* is set to 'yes' (#pragma interrupt saveall is generated before the ISR)      */

//////////////////////AUMENTA INDICE DE MODULACION//////////////////////
//////////////////////(Se define en límite máximo de modulación)//////////////////////

void Aumenta_OnInterrupt(void)
{
  /* place your Aumenta interrupt procedure body here */
  if(mod<100)
  mod=mod+5;
  else
  mod=100;
  entra=1;
}
/* END Events */

** ###################################################################
**
**     This file was created by UNIS Processor Expert 2.98.03 [03.79]
**     for the Freescale 56800 series of microcontrollers.
**
** ###################################################################
```

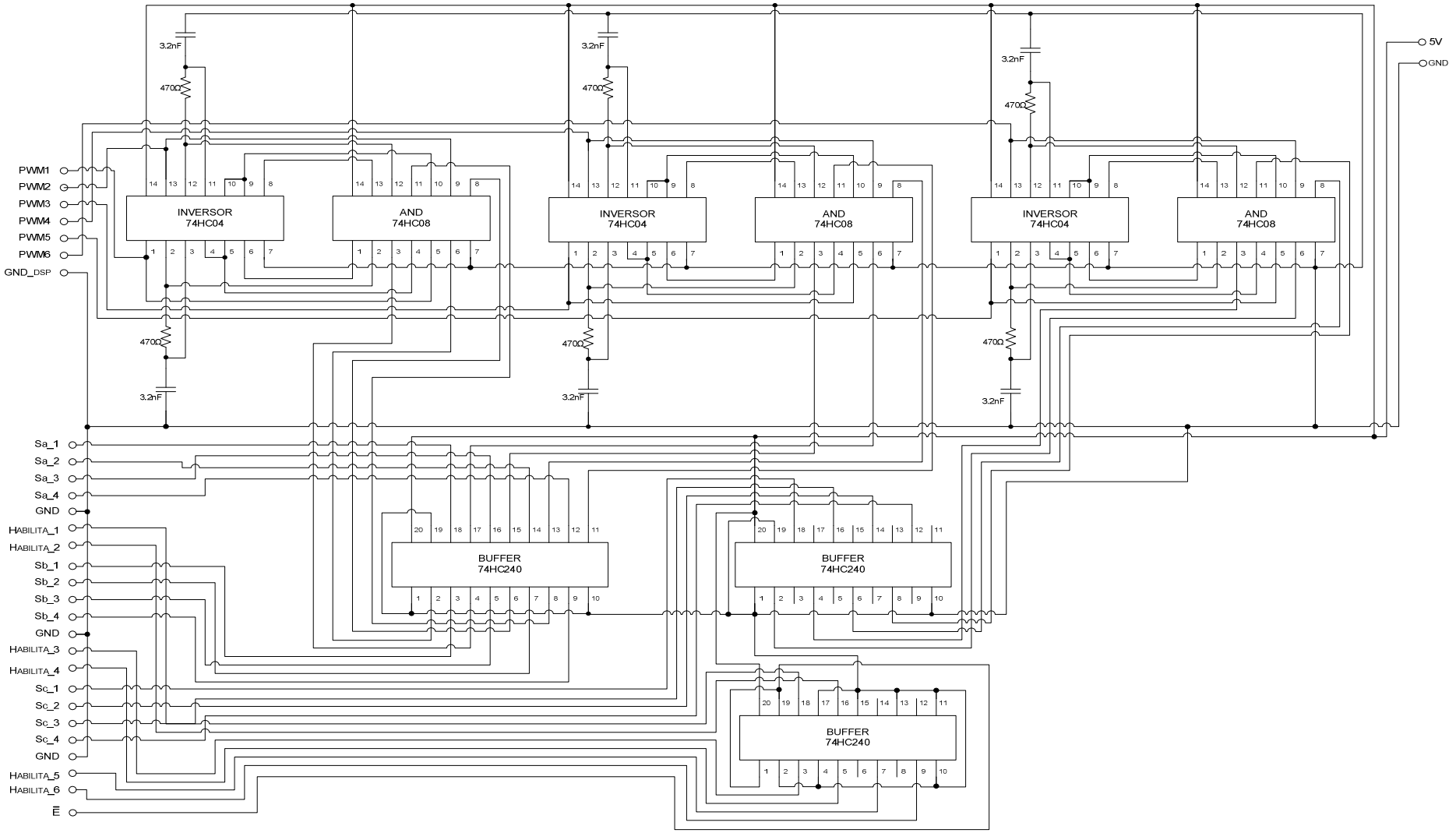


Figura E-1. Diagrama eléctrico del circuito de control del inversor de tres niveles.

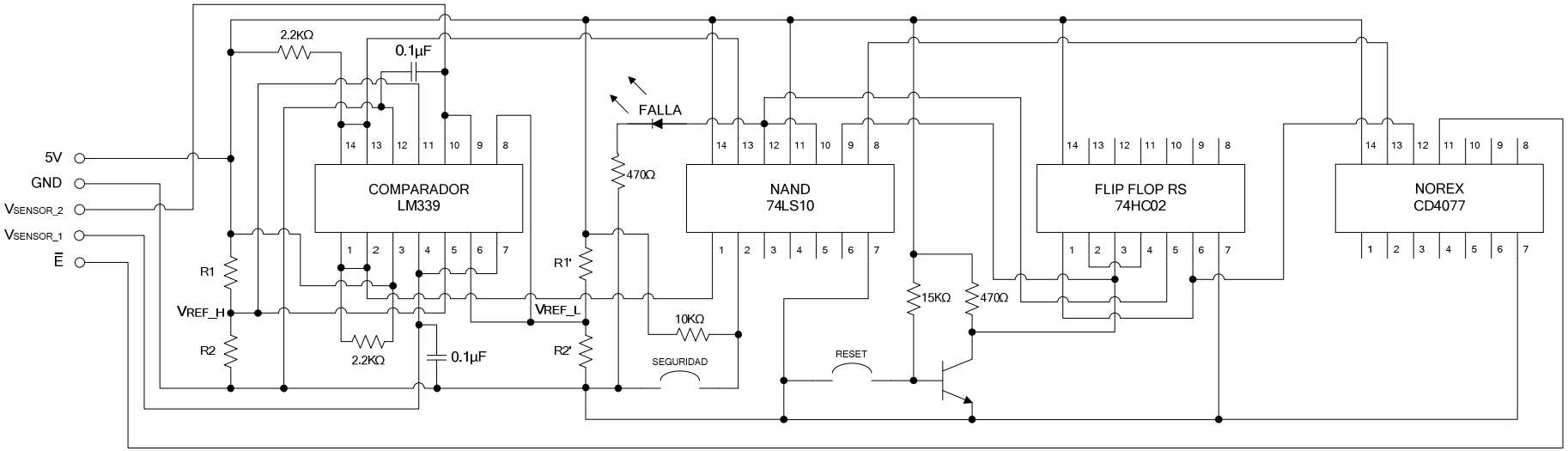


Figura E-2. Diagrama eléctrico del circuito de protección del inversor de tres niveles.

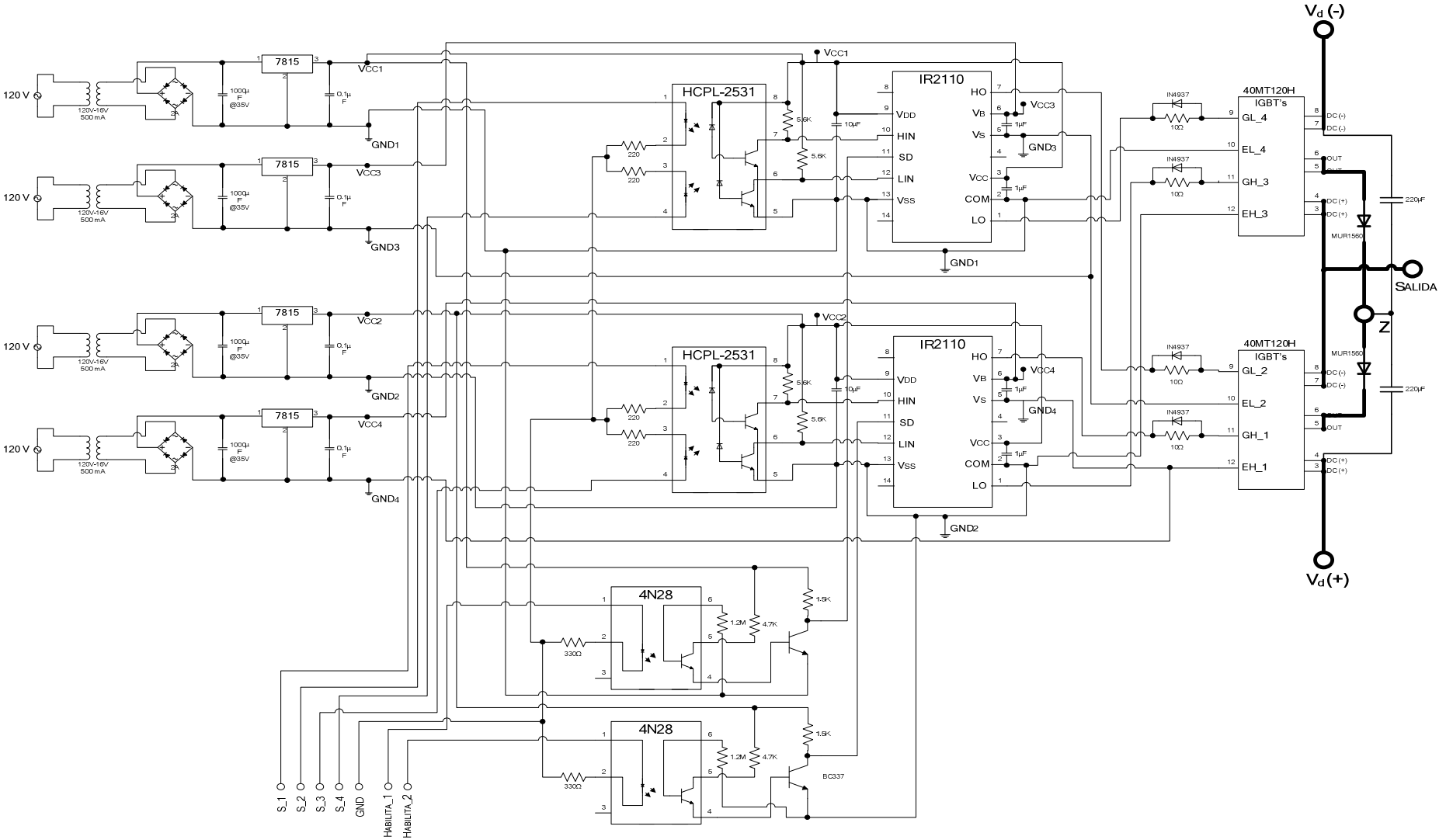


Figura E-3. Diagrama eléctrico de una rama del inversor, en el que se incluye el circuito aislador, el circuito manejador de compuertas y el circuito de deshabilitación.

APÉNDICE F

HOJAS DE DATOS

Este apéndice está dedicado a la presentación de las hojas de datos de los elementos principales que fueron empleados en el presente trabajo de tesis. Para mayor información se ha incluido la dirección web en donde se puede descarga la documentación completa de cada dispositivo.

International
IOR Rectifier

I27126 rev. C 02/03

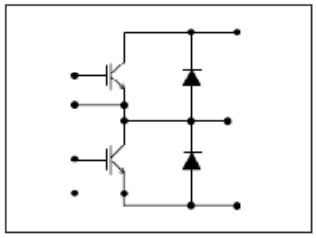
40MT120UH

"HALF-BRIDGE" IGBT MTP

UltraFast NPT IGBT

Features

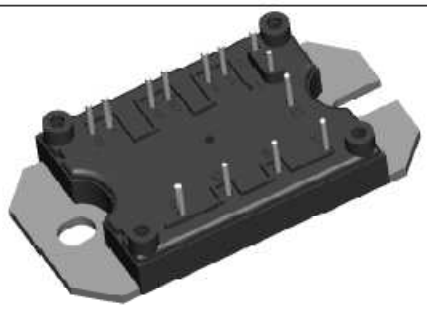
- UltraFast Non Punch Through (NPT) Technology
- Positive $V_{CE(ON)}$ Temperature Coefficient
- 10µs Short Circuit Capability
- HEXFRED ™ Antiparallel Diodes with UltraSoft Reverse Recovery
- Low Diode V_F
- Square RBSOA
- Aluminum Nitride DBC
- Optional SMT Thermistor (NTC)
- Very Low Stray Inductance Design for High Speed Operation
- UL approved (file E78996)



V_{CES} = 1200V
I_C = 80A
T_C = 25°C

Benefits

- Optimized for Welding, UPS and SMPS Applications
- Rugged with UltraFast Performance
- Benchmark Efficiency above 20KHz
- Outstanding ZVS and Hard Switching Operation
- Low EMI, requires Less Snubbing
- Excellent Current Sharing in Parallel Operation
- Direct Mounting to Heatsink
- PCB Solderable Terminals



MTP

Absolute Maximum Ratings

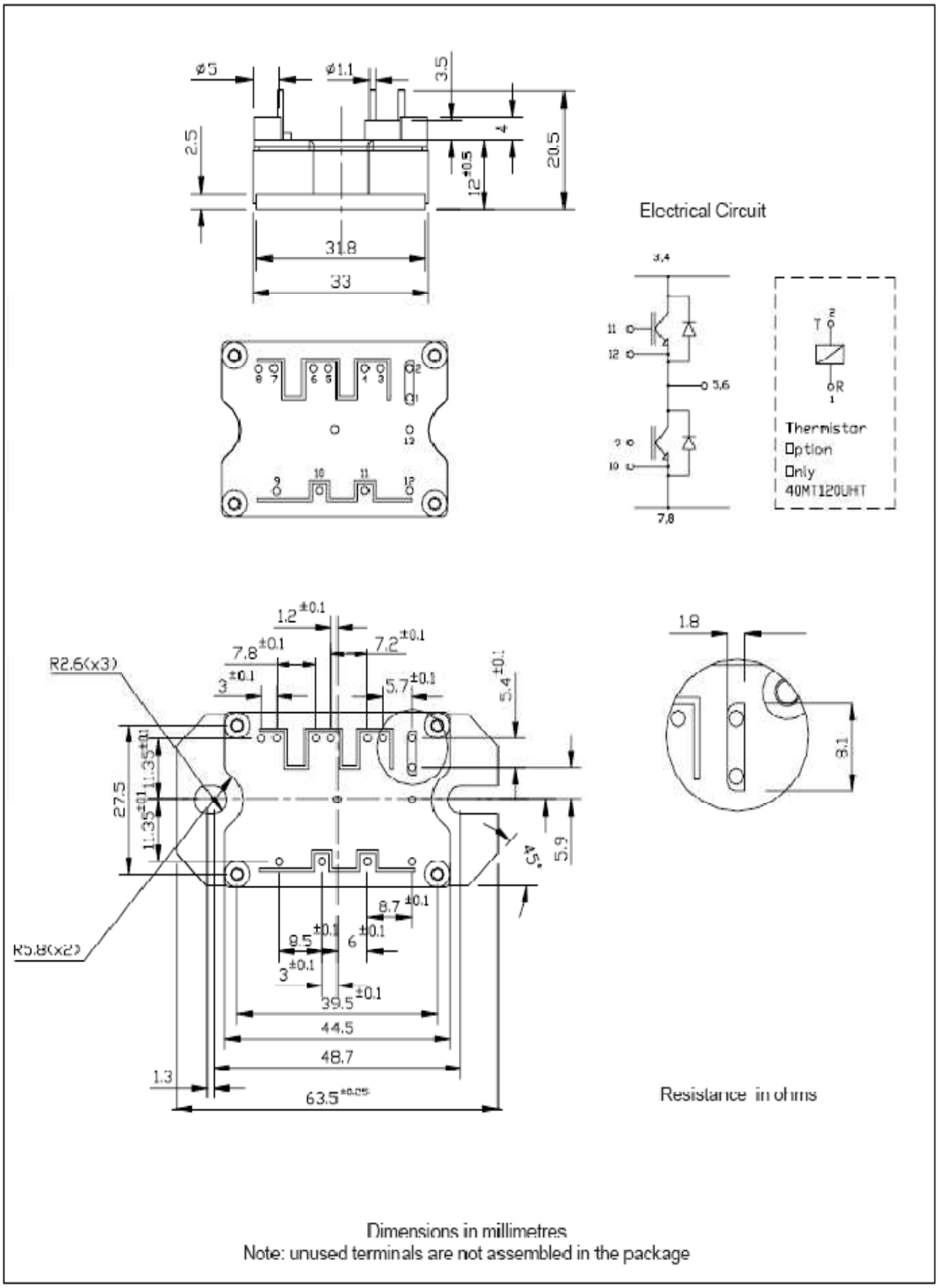
	Parameters		Max	Units
V_{CES}	Collector-to-Emitter Breakdown Voltage		1200	V
I_C	Continuos Collector Current	@ T_C = 25°C	80	A
		@ T_C = 105°C	40	
I_{CM}	Pulsed Collector Current		160	
I_{LM}	Clamped Inductive Load Current		160	
I_F	Diode Continuous Forward Current	@ T_C = 105°C	21	
I_{FM}	Diode Maximum Forward Current		160	
V_{GE}	Gate-to-Emitter Voltage		± 20	V
V_{ISOL}	RMS Isolation Voltage, Any Terminal to Case, t = 1 min		2500	
P_D	Maximum Power Dissipation (only IGBT)	@ T_C = 25°C	463	W
		@ T_C = 100°C	185	

www.irf.com 1

40MT120UH
I27126 rev. C 02/03

International
IOR Rectifier

Outline Table



http://www.datasheetcatalog.com/datasheets_pdf/4/0/M/T/40MT120UH.shtml

International
IOR Rectifier

Data Sheet No. PD60147 Rev.T

IR2110(S)/IR2113(S) & (PbF)

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
  Fully operational to +500V or +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
  Separate logic supply range from 3.3V to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs
- Also available LEAD-FREE

Product Summary

V_{OFFSET}	(IR2110)	500V max.
	(IR2113)	600V max.
I_O+/-		2A / 2A
V_{OUT}		10 - 20V
$t_{on/off}$ (typ.)		120 & 94 ns
Delay Matching	(IR2110)	10 ns max.
	(IR2113)	20ns max.

Packages

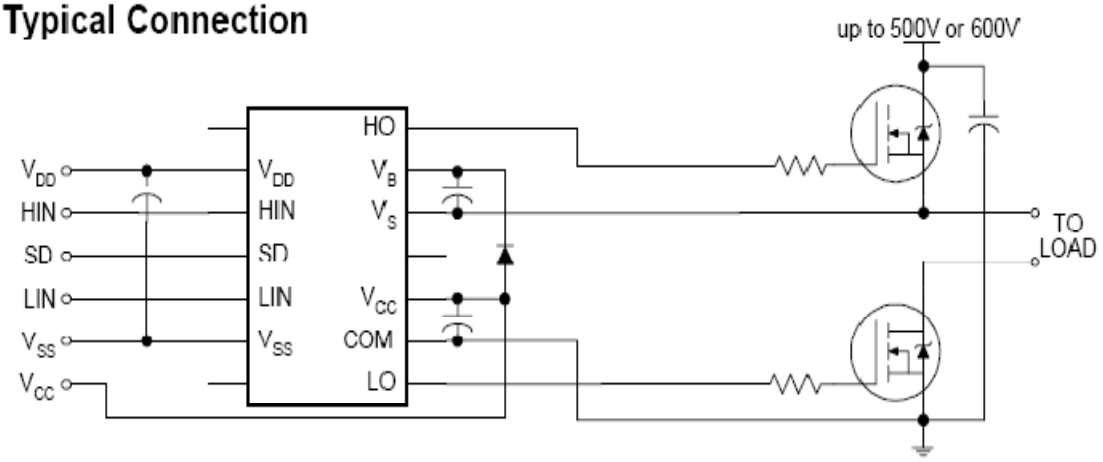
14-Lead PDIP
IR2110/IR2113

16-Lead SOIC
IR2110S/IR2113S

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and DesignTips for proper circuit board layout.

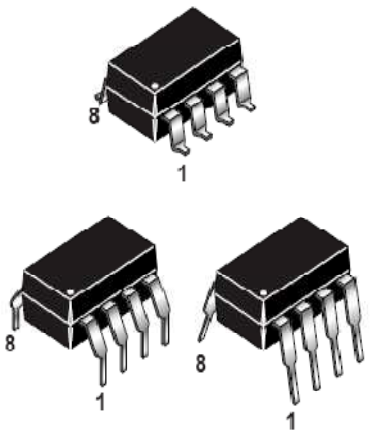
http://www.datasheetcatalog.com/datasheets_pdf/I/R/2/1/IR2110.shtml

FAIRCHILD
SEMICONDUCTOR®

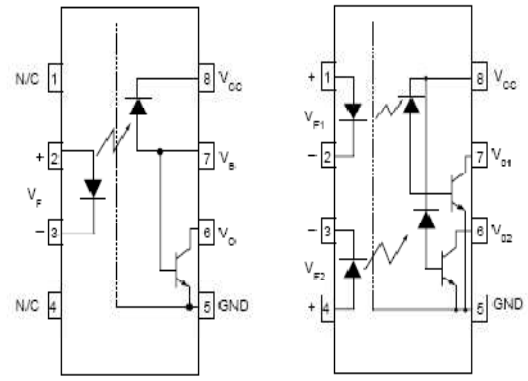
HIGH SPEED TRANSISTOR OPTOCOUPLERS

SINGLE-CHANNEL: 6N135 6N136 HCPL-2503 HCPL-4502
DUAL-CHANNEL: HCPL-2530 HCPL-2531

PACKAGE



SCHEMATIC



6N135, 6N136, HCPL-2503, HCPL-4502 HCPL-2530/HCPL-2531

Pin 7 is not connected in Part Number HCPL-4502

DESCRIPTION

The HCPL 4502/HCPL 2503, 6N135/6 and HCPL 2530/HCPL 2531 optocouplers consist of an AlGaAs LED optically coupled to a high speed photodetector transistor.

A separate connection for the bias of the photodiode improves the speed by several orders of magnitude over conventional phototransistor optocouplers by reducing the base-collector capacitance of the input transistor.

An internal noise shield provides superior common mode rejection of 10kV/µs. An improved package allows superior insulation permitting a 480 V working voltage compared to industry standard of 220 V.

FEATURES

- High speed-1 MBit/s
- Superior CMR-10 kV/µs
- Dual-Channel HCPL-2530/HCPL-2531
- Double working voltage-480V RMS
- CTR guaranteed 0-70°C
- U.L. recognized (File # E90700)

APPLICATIONS

- Line receivers
- Pulse transformer replacement
- Output interface to CMOS-LSTTL-TTL
- Wide bandwidth analog coupling

© 2004 Fairchild Semiconductor Corporation

http://www.datasheetcatalog.com/datasheets_pdf/H/C/P/L/HCPL2531.shtml

Current Transducer LTS 25-NP

I_{PN} = 25 At

For the electronic measurement of currents : DC, AC, pulsed, mixed, with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).

16054

Electrical data

I_{PN}	Primary nominal r.m.s. current		25	At
I_P	Primary current, measuring range		0 .. ± 80	At
V_{OUT}	Analog output voltage @ I_P		2.5 ± (0.625·I_P/I_{PN})	V
	I_P = 0		2.5 [1]	V
N_S	Number of secondary turns (± 0.1 %)		2000	
R_L	Load resistance		≥ 2	kΩ
R_{IM}	Internal measuring resistance (± 0.5 %)		50	Ω
TCR_{IM}	Thermal drift of R_{IM}		< 50	ppm/K
V_C	Supply voltage (± 5 %)		5	V
I_C	Current consumption @ V_C = 5 V	Typ	28+I_S [2]+(V_{OUT}/R_L)	mA

Accuracy - Dynamic performance data

X	Accuracy @ I_{PN}, T_A = 25°C		± 0.2		%
	Accuracy with R_{IM} @ I_{PN}, T_A = 25°C		± 0.7		%
ε_L	Linearity error		< 0.1		%
			Typ	Max	
TCV_{OUT}	Thermal drift of V_{OUT} @ I_P = 0	- 10°C .. + 85°C	50	100	ppm/K
		- 40°C .. - 10°C		150	ppm/K
$TC\varepsilon_G$	Thermal drift of the gain	- 40°C .. + 85°C		50 [3]	ppm/K
V_{OM}	Residual voltage @ I_P = 0, after an overload of 3 x I_{PN}			± 0.5	mV
		5 x I_{PN}		± 2.0	mV
		10 x I_{PN}		± 2.0	mV
t_{ra}	Reaction time @ 10 % of I_{PN}		< 100		ns
t_r	Response time @ 90 % of I_{PN}		< 400		ns
di/dt	di/dt accurately followed		> 60		A/µs
f	Frequency bandwidth (0 .. - 0.5 dB)		DC .. 100		kHz
	(- 0.5 .. 1 dB)		DC .. 200		kHz

General data

T_A	Ambient operating temperature	- 40 .. + 85	°C
T_S	Ambient storage temperature	- 40 .. + 100	°C
	Insulating material group	III a	
m	Mass	10	g
	Standards [4]	EN 50178 : 1997	
		IEC 60950-1: 2001	

Notes : [1] Absolute value @ T_A = 25°C, 2.475 < V_{OUT} < 2.525

[2] I_S = I_P/N_S

[3] Only due to TCR_{IM}

[4] Specification according to IEC 1000-4-3 are not guaranteed between 180 and 220 MHz.

Features

- Closed loop (compensated) multi-range current transducer using the Hall effect
- Unipolar voltage supply
- Insulated plastic case recognized according to UL 94-V0
- Compact design for PCB mounting
- Incorporated measuring resistance
- Extended measuring range.

Advantages

- Excellent accuracy
- Very good linearity
- Very low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

Application domain

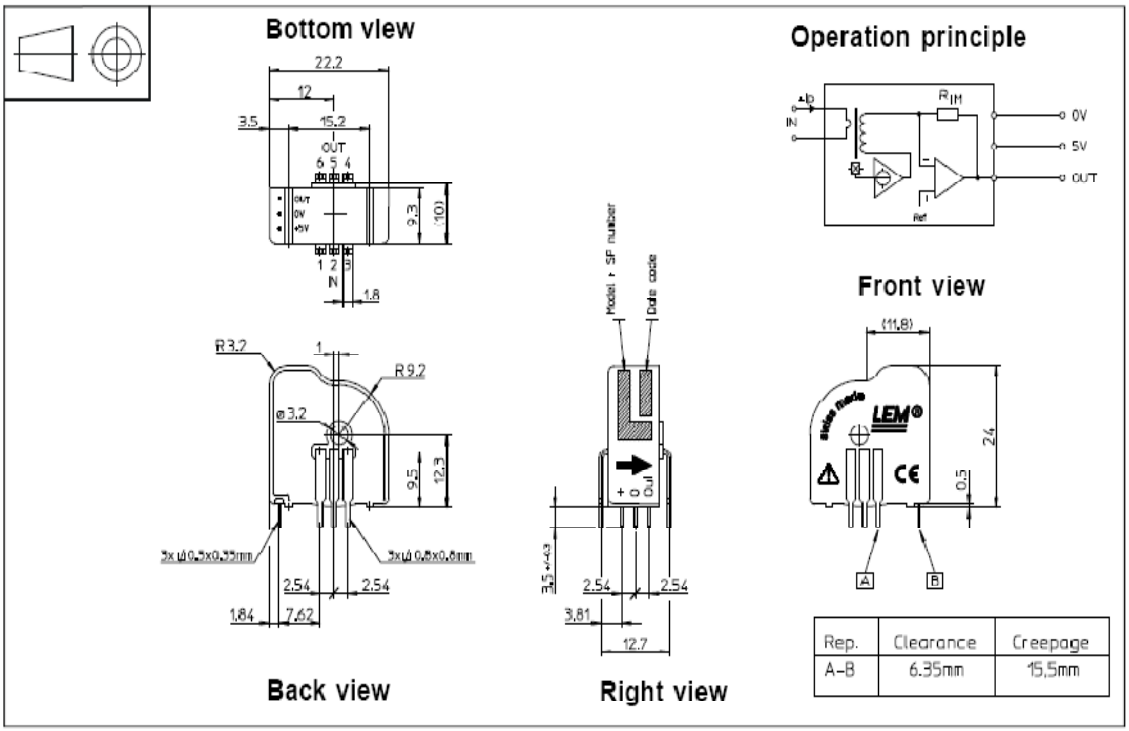
- Industrial.

Copyright protected.

LEM reserves the right to carry out modifications on its transducers, in order to improve them, without previous notice.

LEM www.lem.com
TOPE Co., Ltd. **Tel: (02) 8228-0658** **Fax: (02) 8228-0659** **http://www.sensor.tw** **e-mail: tope@ms1.hinet.net**

Dimensions LTS 25-NP (in mm. 1 mm = 0.0394 inch)



Number of primary turns	Primary nominal r.m.s. current I_{PN} [A]	Nominal output voltage V_{OUT} [V]	Primary resistance R_p [mΩ]	Primary insertion inductance L_p [µH]	Recommended connections
1	± 25	2.5 ± 0.625	0.18	0.013	OUT 6 5 4 / IN 1 2 3
2	± 12	2.5 ± 0.600	0.81	0.05	OUT 6 5 4 / IN 1 2 3
3	± 8	2.5 ± 0.600	1.62	0.12	OUT 6 5 4 / IN 1 2 3

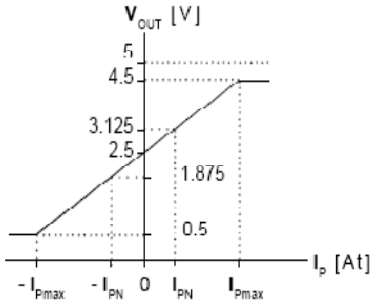
Mechanical characteristics

- General tolerance ± 0.2 mm
- Fastening & connection of primary 6 pins 0.8 x 0.8 mm
  Recommended PCB hole 1.3 mm
- Fastening & connection of secondary 3 pins 0.5 x 0.35 mm
  Recommended PCB hole 0.8 mm
- Additional primary through-hole ∅ 3.2 mm

Remarks

- V_{OUT} is positive when I_p flows from terminals 1, 2, 3 to terminals 6, 5, 4.
- Temperature of the primary jumper should not exceed 100°C.

Output Voltage - Primary Current



LEM reserves the right to carry out modifications on its transducers, in order to improve them, without previous notice.

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MUR1520/D

SWITCHMODE™ Power Rectifiers

. . . designed for use in switching power supplies, inverters and as free wheeling diodes, these state–of–the–art devices have the following features.

- Ultrafast 35 and 60 Nanosecond Recovery Time
- 175°C Operating Junction Temperature
- Popular TO–220 Package
- High Voltage Capability to 600 Volts
- Low Forward Drop
- Low Leakage Specified @ 150°C Case Temperature
- Current Derating Specified @ Both Case and Ambient Temperatures

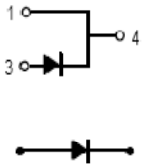
Mechanical Characteristics:

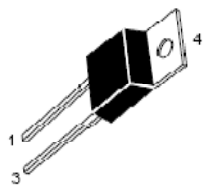
- Case: Epoxy, Molded
- Weight: 1.9 grams (approximately)
- Finish: All External Surfaces Corrosion Resistant and Terminal Leads are Readily Solderable
- Lead Temperature for Soldering Purposes: 260°C Max. for 10 Seconds
- Shipped 50 units per plastic tube
- Marking: U1520, U1540, U1560

MUR1520
MUR1540
MUR1560

Motorola Preferred Devices

ULTRAFAST RECTIFIERS
15 AMPERES
200–400–600 VOLTS





CASE 221B–03
TO–220AC
PLASTIC

MAXIMUM RATINGS

Rating	Symbol	MUR 1520	MUR 1540	MUR 1560	Unit
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	200	400	600	Volts
Average Rectified Forward Current (Rated V_R)	$I_{F(AV)}$	15 @ T_C = 150°C		15 @ T_C = 145°C	Amps
Peak Rectified Forward Current (Rated V_R, Square Wave, 20 kHz)	I_{FRM}	30 @ T_C = 150°C		30 @ T_C = 145°C	Amps
Nonrepetitive Peak Surge Current (Surge applied at rated load conditions halfwave, single phase, 60 Hz)	I_{FSM}	200	150		Amps
Operating Junction Temperature and Storage Temperature	T_J, T_{stg}	–65 to +175			°C

THERMAL CHARACTERISTICS

Maximum Thermal Resistance, Junction to Case	$R_{\theta JC}$	1.5			°C/W

ELECTRICAL CHARACTERISTICS

Maximum Instantaneous Forward Voltage (1) (i_F = 15 Amps, T_C = 150°C) (i_F = 15 Amps, T_C = 25°C)	v_F	 0.85 1.05	 1.12 1.25	 1.20 1.50	Volts
Maximum Instantaneous Reverse Current (1) (Rated dc Voltage, T_C = 150°C) (Rated dc Voltage, T_C = 25°C)	i_R	 500 10	 500 10	 1000 10	µA
Maximum Reverse Recovery Time (I_F = 1.0 Amp, di/dt = 50 Amps/µs)	t_{rr}	35	60		ns

(1) Pulse Test: Pulse Width = 300 µs, Duty Cycle ≤ 2.0%.

SWITCHMODE is a trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.

Rev 1

© Motorola, Inc. 1996

MOTOROLA

http://www.datasheetcatalog.com/datasheets_pdf/M/U/R/1/MUR1560.shtml

SBR25/35A SERIES

SILICON PASSIVATED THREE PHASE BRIDGE RECTIFIERS

REVERSE VOLTAGE - **50** to **1600** Volts
FORWARD CURRENT - **15/25/35** Amperes

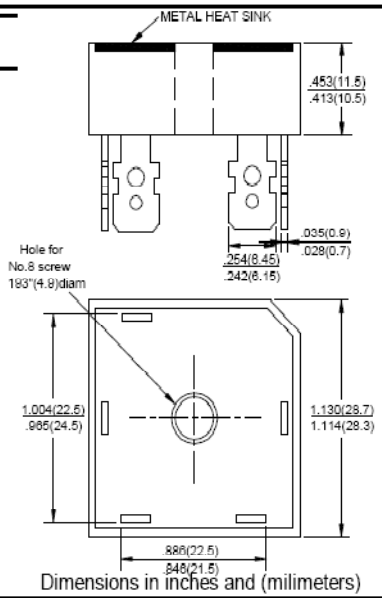
FEATURES

- Diffused Junction
- Low Forward Voltage Drop
- High Current Capability
- High Reliability
- High Surge Current Capability
- Ideal for Printed Circuit Boards

MECHANICAL DATA

- Case:Epoxy Case with Heat Sink Interally Mounted in the Bridge Encapsulation
- Terminals:Plated Leads Soiderable per MIL-STD-202,Method 208
- Polarity:As Marked on Body
- Weight:20 grams(approx.)
- Mounting Position: Bolt Down on Heatsink With Silicone Thermal Compound Between Bridge and Mounting Surface for Maximum Heat Transfer Efficiency
- Mounting Torque:20 in lbs. Max.
- Marking:Type Number

SBR



Dimensions in inches and (milimeters)

MAXIMUM RATINGS AND ELECTRICAL CHARACTERISTICS

Rating at 25℃ ambient temperature unless otherwise specified.
Single phase, half wave, 60Hz, resistive or inductive load.For capacitive load, derate current by 20%

VOLTAGE RATINGS

CHARACTERISTICS	SYMBOL	-00	-01	-02	-04	-06	-08	-10	-12	-14	-16	UNIT
Peak Repetitive Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	50	100	200	400	600	800	1000	1200	1400	1600	V
Peak Non_Repetitive Reverse Voltage	V_{RSM}	75	150	275	500	725	900	1100	1300	1500	1700	V
RMS Reverse Voltage	$V_{R(RMS)}$	35	70	140	280	420	560	700	840	980	1120	V

FORWARD CONDUCTION

CHARACTERISTICS	SYMBOL	SBR25	SBR35	UNIT
Maximum Average Forward Rectified Current @TC=100℃	I_O	25	35	A
Non-Repetitive Peak Forward Surge Current (No Voltage Reapplied t=8.3ms at 60HZ) (No Voltage Reapplied t=10ms at 50HZ) (100% VRRM Reapplied t=8.3ms at 60HZ) (100% VRRM Reapplied t=10ms at 50HZ)	I_{FSM}	 375 360 314 300	 500 475 420 400	A
I2t Rating for fusing (No Voltage Reapplied t=8.3ms at 60HZ) (No Voltage Reapplied t=10ms at 50HZ) (100% VRRM Reapplied t=8.3ms at 60HZ) (100% VRRM Reapplied t=10ms at 50HZ)	I^2t	 580 635 410 450	 1030 1130 730 800	A^2S
Forward Voltage (per element) @TJ=25℃,@IFM=40APK per single junction	V_F	1.26	1.19	V
Peak Reverse Current (per leg) @TJ=25℃ At Rated DC Blocking Voltage @TJ=125℃	I_R	10 5.0		uA mA
RMS Isolation Voltage from Case to Lead	V_{ISO}	2500		V

THERMAL CHARACTERISTICS

Operating Temperature Range	T_J	-55 to +150		℃
Storage Temperature Range	T_{STG}	-55 to +150		℃
Thermal Resistance Junction to Case at DC Operation per Bridge	$R_{\theta JC}$	1.42	1.16	K/W
Thermal Resistance Case to Heatsink Mounting Surface, Smooth, Flat and Greased	$R_{\theta CS}$	0.2		K/W

http://pdf1.alldatasheet.com/datasheet-pdf/view/222941/HY/SBR35.html

AMETHERM
Circuit Protection Thermistors

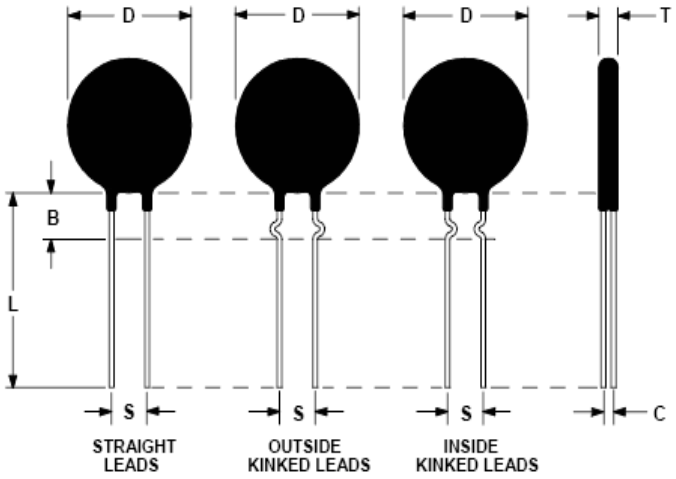
DATA SHEET

Part Number: SL32 0R530

Ordering Different Lead Types:

Inside Kinked Leads	Not available
Outside Kinked Leads	Use –**B** after Ametherm's Part #

For example: to order an outside kinked lead use part number SL32 0R230-**B**



Resistance @ 25°C	0.5 Ω ± 20%
Max Steady State Current Up to 65°C	30.0 A
Max Recommended Energy Rating	150.0 J
Actual Failure Point of Instantaneous Energy	295.0 J
Resistance @ 100 % of Maximum Current	0.011 Ω
Resistance @ 50% of Maximum Current	0.058 Ω
Body Temperature @ Max Current	214°C
Dissipation Constant	45.4 mW/°C
Thermal Time Constant	194 seconds
Material Type	"B"
Maximum Capacitance @ 120/240/440 VAC	10000µF/ 2500 µF/775 µF

D	30.0 ± 2.5 mm
T	5.0 ± 1.0 mm
Lead Diameter	1.0 ± 0.1 mm
S	7.8 ± 2.0 mm
L	38.0 ± 9.0 mm
Coating Run Down Straight Leads	5.0 ± 1.0 mm
B	7.8 mm Nom
C	3.82 ± 1.0 mm

Revision Date April 26, 2005

Ametherm, Inc. 3111 N. Deer Run Road #4 Carson City, NV 89701
Telephone: (800) 808-2434 (775) 884-2434 Fax: (775) 884-0670
www.ametherm.com

Octal buffer/line driver; 3-state; inverting 74HC/HCT240

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$1\overline{OE}$	output enable input (active LOW)
2, 4, 6, 8	$1A_0$ to $1A_3$	data inputs
3, 5, 7, 9	$2Y_0$ to $2Y_3$	bus outputs
10	GND	ground (0 V)
17, 15, 13, 11	$2A_0$ to $2A_3$	data inputs
18, 16, 14, 12	$1Y_0$ to $1Y_3$	bus outputs
19	$2\overline{OE}$	output enable input (active LOW)
20	V_{CC}	positive supply voltage

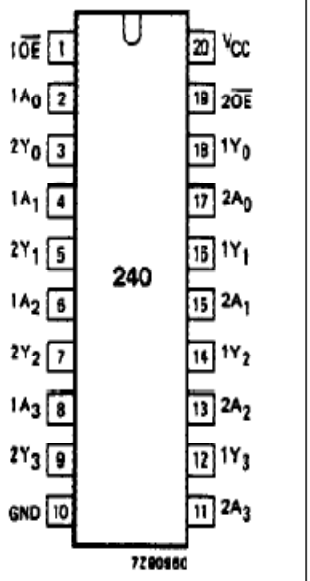


Fig.1 Pin configuration.

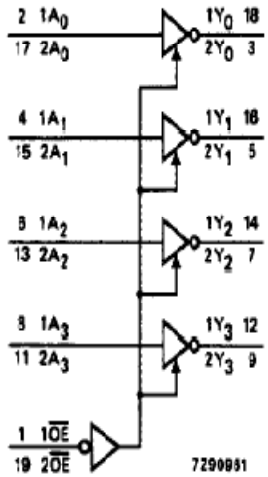


Fig.2 Logic symbol.

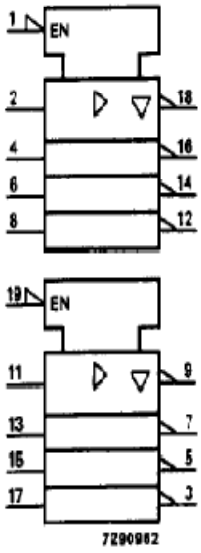


Fig.3 IEC logic symbol.

Quad 2-input AND gate 74HC/HCT08

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 4, 9, 12	1A to 4A	data inputs
2, 5, 10, 13	1B to 4B	data inputs
3, 6, 8, 11	1Y to 4Y	data outputs
7	GND	ground (0 V)
14	V_{CC}	positive supply voltage

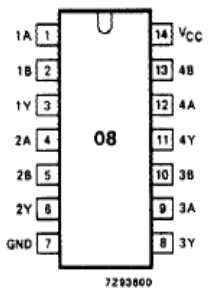


Fig.1 Pin configuration.

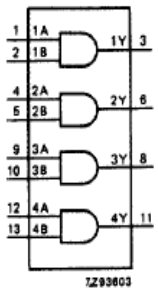


Fig.2 Logic symbol.

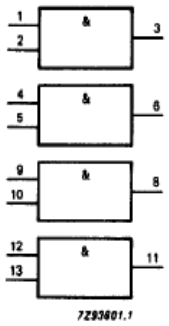


Fig.3 IEC logic symbol.

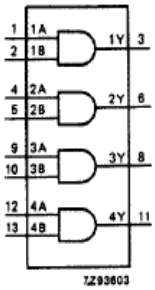


Fig.4 Functional diagram.

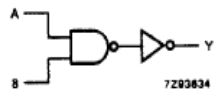


Fig.5 HC logic diagram (one gate).

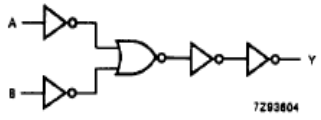


Fig.6 HCT logic diagram (one gate).

FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	L
L	H	L
H	L	L
H	H	H

Note

1. H = HIGH voltage level
   L = LOW voltage level

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS10
Triple 3-Input NAND Gate

General Description

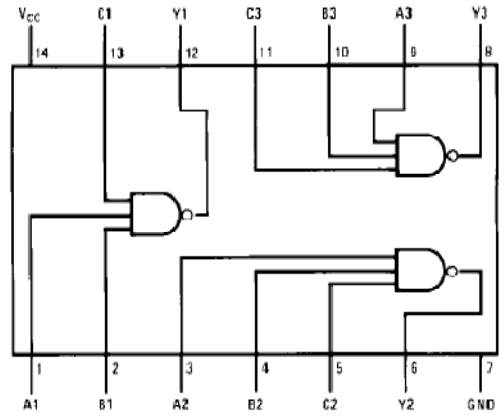
This device contains three independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS10M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS10N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{ABC}$$

Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

© 2000 Fairchild Semiconductor Corporation DS006349 www.fairchildsemi.com

Hex inverter 74HC/HCT04

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V_{CC}	positive supply voltage

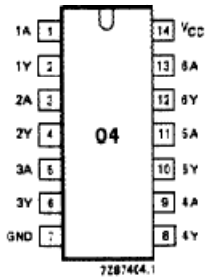


Fig.1 Pin configuration.

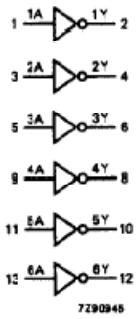


Fig.2 Logic symbol.

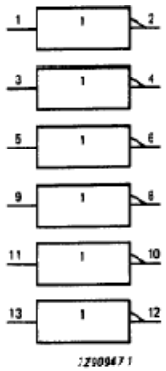


Fig.3 IEC logic symbol.

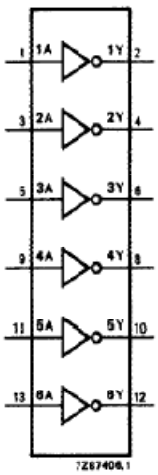


Fig.4 Functional diagram.

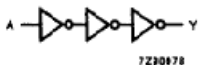


Fig.5 Logic diagram (one inverter).

FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

Notes

1. H = HIGH voltage level
   L = LOW voltage level